

Démarches du prototypage rapide de la commande d'un onduleur à commutation douce

Kenza HASSANI^{1,2}, Modar JOMAA², Marwan ALI¹.

¹Safran Tech. Paris, France.

²Ecole Centrale Lyon, Ampère CNRS. Lyon, France.

RESUME - Les onduleurs à commutations douces sont de plus en plus investigués afin d'augmenter la densité de puissance globale de la chaîne de conversion électromécanique. L'utilisation de la modulation de largeur d'impulsion (MLI) est aujourd'hui une technique indispensable pour générer les commandes des convertisseurs électroniques de puissance. Elle permet d'assurer un contrôle précis des applications nécessitant une variation de fréquence avec une densité de puissance élevée. Dans cet article, nous abordons le développement des lois de commande de la MLI pour un onduleur monophasé à commutation douce, et leurs implémentations sur une cible FPGA (Field Programmable Gate Array), permettant un contrôle rapide en temps réel.

Mots-clés - Onduleur monophasé, Commutation douce, ARCPI, Modulation à largeur d'impulsion, FPGA, Emulation en temps réel.

1. INTRODUCTION

Dans le cadre des programmes d'électrification des avions, le système de dégivrage piézoélectrique à basses énergies devient de plus en plus étudié [1]. Son efficacité commence à être significative en excitant des modes de déformations à des hautes fréquences (40 kHz-120 kHz). L'alimentation de puissance électrique dans ce domaine fréquentiel nécessite un système de conversion de puissance, avec des composants actifs de commutation à très grandes vitesses. Ceci va nous permettre d'obtenir des performances élevées en termes de réponse dynamique, de volume et de poids. Toutefois, l'utilisation des fréquences de découpage élevées dans les techniques à commutation dure entraîne une augmentation importante des pertes par commutation, ainsi qu'une utilisation des composants rapides amplifie les interférences électromagnétiques. Afin de limiter les problèmes mentionnés précédemment, la technique de commutation douce est généralement adoptée [2].

Pour donner suite à des études sur les onduleurs à commutation douce à base de composants semi-conducteurs à large bande interdite (GaN et SiC), cet article propose une approche de commande numérique pour la génération de leurs commandes spécifiques basées sur de la MLI unipolaire.

Une implémentation numérique de la MLI est nécessaire pour gagner en précision et en rapidité du pilotage des convertisseurs de puissance. Contrairement aux solutions analogiques, les implémentations numériques permettent une meilleure flexibilité dans la génération des ordres de commande. En effet, l'utilisation des cartes FPGA est une solution pertinente, elles offrent une capacité de traitement parallèle élevée, une forte puissance de calcul, et une faible latence d'exécution. Leurs fréquences d'horloge élevées permettent

également d'augmenter la fréquence de découpage des convertisseurs [3]. De plus, leurs architectures reconfigurables offrent une grande souplesse de développement pour les algorithmes de MLI ainsi que pour des approches intégrant des boucles de contrôle. Par conséquent, le FPGA s'impose comme un choix stratégique pour le développement de la commande MLI qui demande de la haute performance.

Dans cet article, nous nous sommes focalisés sur la génération des signaux de commande MLI unipolaire, pour une structure de conversion DC/AC monophasé à commutation douce. Le principe de l'onduleur est mis en évidence dans la section 2. Les spécifications de la cible FPGA sont présentées dans la section 3. Ainsi, la démarche de développement de la commande est détaillée dans la section 4. Les résultats d'implémentation de la MLI, ainsi que la démarche de développement d'un modèle dynamique permettant de varier les points de fonctionnement, seront présentés respectivement, dans la section 5 et 6.

2. SPECIFICATIONS ET CAHIERS DES CHARGES

Plusieurs topologies d'onduleurs à commutation douce existent dans la littérature [3],[4]. Leur principal objectif est de diminuer les pertes associées aux transitions de commutation et de limiter les émissions électromagnétiques par rapport aux onduleurs conventionnels. En fonction de la position du circuit auxiliaire dans l'architecture, ces onduleurs à commutation douce se divisent en deux grandes familles : « Resonant Link Inverters, RLI »[5], et « Resonant Pole Inverters, RPI »[6]. Parmi ces topologies, nous citons un exemple typique de la famille des onduleurs « RPI », l'onduleur à circuit résonant auxiliaire (ARCPI - Auxiliary Resonant Commutated Pole Inverter) [7], [8] à base de composants semi-conducteurs à grand gap "GaN" [9], illustré sur la figure 1.

Pour ce type de topologie, une commande MLI unipolaire est nécessaire. Cette modulation est basée sur un signal de référence sinusoïdale lié au fonctionnement de la charge de notre application (200 Vac, 62,5 kHz), et un signal porteur (1,25 MHz) lié à la capacité de fonctionnement des transistors ainsi qu'aux qualités des signaux en entrée et en sortie du convertisseur. L'onduleur monophasé étudié est constitué de trois bras principaux (voir fig. 1) : un bras BF (basses fréquences), commuté à la fréquence du signal modulant, il pourra être remplacé par un pont capacitif pour une charge à plus basse tension. Ce dernier est mis en parallèle sur le même bus DC avec un bras HF (hautes fréquences) commuté à la fréquence du signal porteur à tension nulle « ZVS ». Afin d'assurer cette

commutation douce sur le bras HF, un circuit auxiliaire connecté entre son point milieu et le pont capacitif. Ce bras commute à zéro de courant « ZCS » au début de la charge et en fin de la décharge de son inductance (L), qui résonne avec les capacités intrinsèques aux composants K1 et K2. Des diodes optionnelles (en série avec R1 et R2) sont mis en place afin d'écarter les oscillations hors phase du fonctionnement du bras auxiliaire.

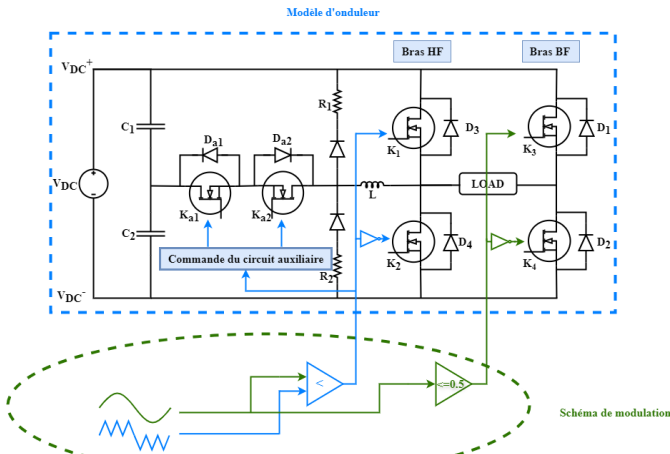


Fig.1. Circuit équivalent d'un onduleur monophasé à commutation douce (ARCPI).

3. CIBLES NUMERIQUES

La génération des ordres de commandes doit se faire avec une cible numérique dotée d'une faible latence, d'une forte puissance de calcul, et d'une fréquence d'horloge élevée afin d'atteindre des fréquences de découpage élevées. Les cibles numériques de type DSP ont été écartées, dû à leurs limitations en rapidité. Elles ne peuvent exécuter qu'un nombre limité d'instructions par cycle, et beaucoup de temps est perdu dans le pipeline, les appels mémoire, etc. Ainsi, la cible choisie est de type FPGA permettant de générer plusieurs signaux de commande MLI en parallèle, chacun avec une précision temporelle à l'échelle de la période d'horloge.

Le choix s'est porté sur la carte de développement Zynq-XC7Z020-1CLG400C, illustrée sur la figure 2, dont les spécifications répondent à nos besoins [10] :

- Un processeur double cœurs ARM Cortex-A9.
- Une logique programmable : 13300 tranches logiques, comportant chacune quatre LUT à six entrées, 220 tranches de DSP, et un bloc de 630 Ko de RAM.
- Une mémoire de 512 MB DDR3 et Flash Quad-SPI de 16 MB.
- Une fréquence d'horloge de 125 MHz.
- Quatre boutons-poussoirs et quatre leds qui serviront à contrôler les paramètres de commande.
- 56 GPIO (General Purpose Input/Output) dont une partie servira comme sorties lors de l'implémentation de la commande en boucle ouverte, et une autre partie comme entrées lors du développement de l'asservissement en boucle fermée, plus tard.

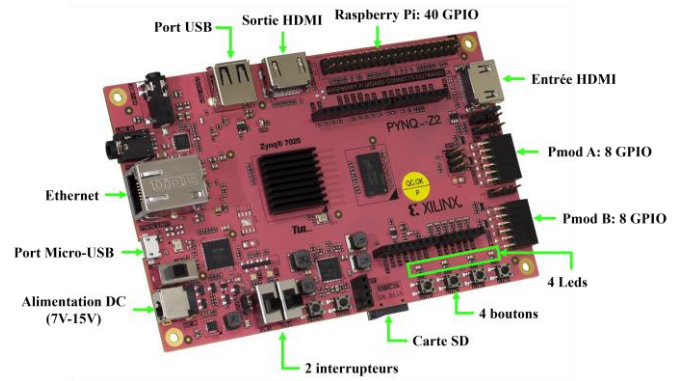


Fig. 2. Détails des composants de la carte Zynq-XC7Z020-1CLG400C.

4. DEVELOPPEMENT DE LA COMMANDE

4.1. Présentation de la méthodologie utilisée

La génération des ordres de commande peut se faire soit en développant directement le code VHDL par un spécialiste en systèmes embarqués, soit en suivant une démarche destinée aux électroniciens de puissance, n'ayant pas forcément des connaissances poussées en FPGA, qui se résume par trois étapes tel qu'illustré sur la figure 3.

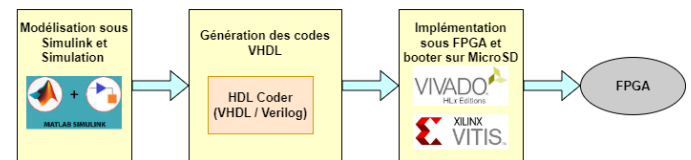


Fig. 3. Méthodologie (Workflow) de l'implémentation des lois de commande.

➤ Modélisation sous Simulink :

Les blocs fonctionnels discrétisés sont développés sous Simulink, en utilisant la bibliothèque HDL Coder pour garantir la compatibilité avec une cible FPGA. Les différentes données doivent être soumises à une représentation en virgule fixe, afin d'optimiser l'espace dans le FPGA.

➤ Génération du code VHDL :

Après vérification des résultats en simulation, il est nécessaire de regrouper la modélisation réalisée dans un sous-système et de définir la cible. Ainsi, la génération du code VHDL est effectuée automatiquement via MATLAB/HDL Coder.

➤ Implémentation sur Vivado :

Les codes VHDL sont importés dans Vivado pour créer la conception schématique du système en associant les broches du FPGA aux entrées et aux sorties du modèle, à l'horloge du système ainsi qu'à un analyseur logique interne ILA (Integrated Logic Analyzer). Ce dernier permet de visualiser, en temps réel, l'état des différents signaux.

➤ Chargement sur FPGA :

Le fichier binaire est généré et déployé sur une carte mémoire pour un fonctionnement autonome du FPGA.

4.2. Modèle conceptuel du système de commande

La modélisation du système discret de commande, compatible avec une cible FPGA, est réalisée en trois étapes détaillées ci-dessous.

➤ Création de la modulante :

Le signal modulant sinusoïdal de fréquence 62,5 kHz, illustré sur la figure 4, est obtenu à partir d'un synthétiseur numérique direct DDS (Direct Digital Synthesizer). Cette méthode repose sur un accumulateur de phase qui s'incrémente à chaque cycle d'horloge par une valeur définie, déterminant la fréquence du signal généré. La valeur de phase obtenue est ensuite utilisée comme adresse d'accès dans une table de correspondance (Look-Up Table) contenant les échantillons d'une sinusoïde. Ces valeurs numériques sont ensuite converties en un signal analogique via un convertisseur numérique-analogique (DAC), permettant ainsi de générer un signal sinusoïdal.

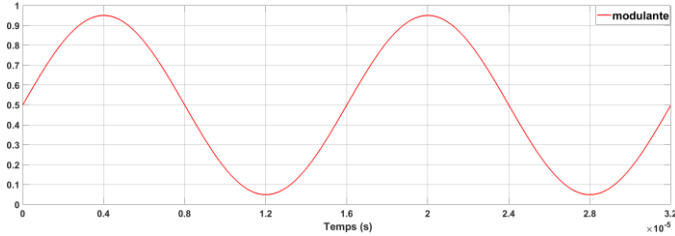


Fig. 4. Signal modulant généré sous Simulink.

➤ Création de la porteuse :

Afin de générer la commande MLI unipolaire, nous avons créé un signal triangulaire de fréquence 1,25 MHz, à trois niveaux compris entre 0,5 et 1 pendant la première demi-période de la modulante, et entre 0 et 0,5 pendant la deuxième demi-période de la modulante illustrée sur la figure 4. Le signal triangulaire est synthétisé et quantifié en utilisant le compteur HDL ayant un nombre entier N comme limite afin de définir la fréquence de découpage souhaitée tel que $T_{sw} = 2 \times N \times T_{clk}$. La porteuse simulée sur Simulink, ayant une fréquence de 1,25 MHz, est illustrée sur la figure 5.

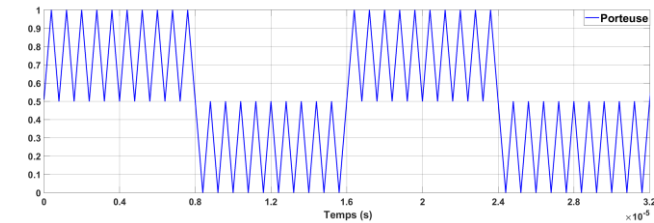


Fig. 5. Porteuse générée sous Simulink.

➤ Comparateur et commande du circuit auxiliaire :

Le comparateur a pour rôle de comparer la porteuse triangulaire avec la modulante sinusoïdale afin de générer les signaux de la MLI unipolaire. Ces signaux permettront de commander les transistors de l'onduleur ARCPI. Des détecteurs de front montant et descendant des signaux de commande du bras HF ainsi que des retards ont été ajoutés afin de générer la commande du circuit auxiliaire comme illustré sur la figure 6. Cette commande (Aux1 et Aux2) consiste à amorcer les transistors avant les temps morts du bras HF, assurer la phase de résonance pendant les temps morts, puis bloquer les transistors après les temps morts.

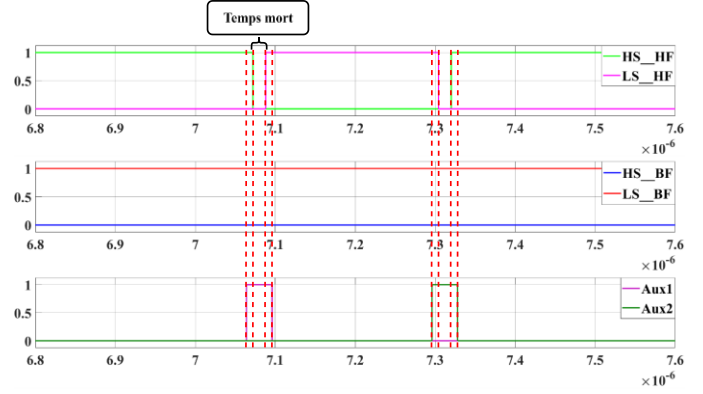


Fig. 6. Ordres de commande de la MLI unipolaire générés sous Simulink.

5. IMPLEMENTATION SUR FPGA ET VERIFICATION

Le modèle complet discrétisé de la MLI unipolaire ayant été validé par simulation, nous avons instancié le modèle dans une conception globale à la fréquence d'horloge de la carte FPGA. Ainsi, nous avons vérifié les ordres de commande en temps réel à l'aide de l'ILA de Vivado.

La figure 7 présente les résultats obtenus en temps réel sur l'ILA. Le premier marqueur indique le nombre de périodes "N" d'horloge du système ($T_{clk} = 8 \text{ ns}$) nécessaire pour atteindre une période de porteuse ($T_{sw} = 0,8 \mu\text{s}$), ce qui permet de valider la fréquence de la porteuse. Sur le même principe, le deuxième marqueur, montrant un rapport " $N \times R$ ", permet de valider la période de modulante ($T_{mod} = 16 \mu\text{s}$). Où, R est un nombre entier pair qui définit le rapport entre la fréquence de la modulante et celle de la porteuse, et N est un nombre entier qui définit la limite du compteur permettant de générer le signal triangulaire de la porteuse.

$$\begin{cases} N = \frac{T_{sw}}{T_{clk}} = 100 \\ N \times R = \frac{T_{mod}}{T_{clk}} = 2000 \end{cases}$$

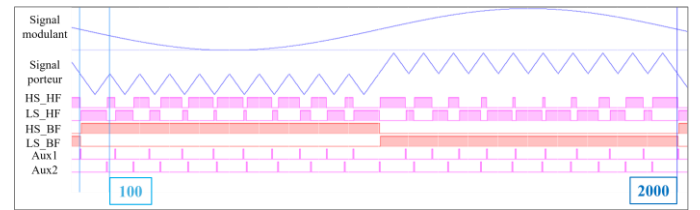


Fig. 7. Emulation de la MLI en temps réel sur l'ILA.

6. IMPLEMENTATION D'UN MODELE DYNAMIQUE DE LA MLI

6.1. Méthodologie d'implémentation

Dans le but d'explorer plusieurs points de fonctionnement de l'onduleur, une commande est implémentée avec des fréquences de découpage, des fréquences et amplitudes de modulation, ainsi que des temps morts variables. Pour cela, un modèle dynamique basé sur le multiplexage, tel qu'illustré dans la figure 8, a été développé sous Simulink, permettant la duplication locale de certains blocs MLI avec des paramètres ajustables en temps réel à l'aide de signaux de sélection externes.

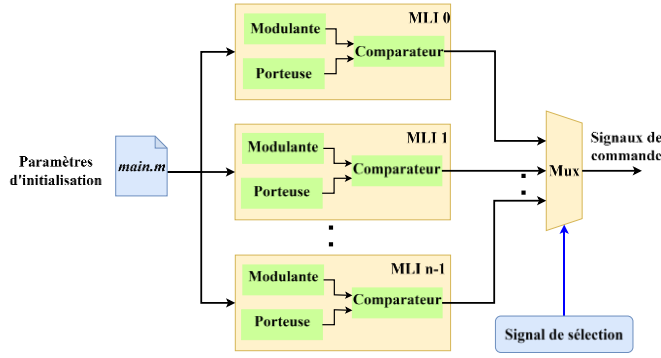


Fig. 8. Multiplexage de plusieurs MLI.

Le tableau ci-dessous présente le nombre de valeurs implémentées pour chacun des paramètres configurables. Les fréquences de la porteuse sont définies par les valeurs de « N », ainsi que les fréquences et les amplitudes de la modulante sont définies respectivement par les valeurs de « R » et de « Amplitude ». Les temps morts appliqués avant et après la conduction sont définies par les valeurs de « DT » (Dead Time) et « DT_Aux ». Ce tableau indique également, pour chaque paramètre, le nombre de bits nécessaires pour son codage, ainsi que le nombre de registres requis afin de couvrir l'ensemble des valeurs. Afin de contrôler les signaux de sélections en utilisant les différents GPIO de la carte FPGA, une unité de contrôle basée sur une machine à états est réalisée.

Tableau 1. Représentation de nombres de valeurs, de bits, et de registres implémentés pour chaque paramètre.

Paramètres	Amplitude	DT_Aux	DT	N	R
Nombres de valeurs	16	16	16	256	256
Nombres de bits	4	4	4	8	8
Nombres de registres	2	2	2	4	4

Le diagramme de la machine à états implémentée est représenté à la figure 9. Cette dernière comprend 15 états définis comme suit :

- l'état « Waiting » associé à la phase d'attente,
- huit états « T1_N1, T0_N1, T1_N0, T0_N0, T1_R1, T0_R1, T1_R0, T0_R0 » correspondant aux différentes combinaisons de variation de la fréquence de la modulante et de la porteuse,
- deux états « T1_Amp, T0_Amp » liés au changement d'amplitude de la modulante,
- deux états « T1_DT, T0_DT » dédiés à la variation du temps mort,
- et deux états supplémentaires « T1_DT_Aux, T0_DT_Aux » associés au réglage différencié du temps mort en avant et après conduction.

Dans chacun de ces états, le bit correspondant est activé (à 1) dans le signal de sortie S_State. Ce dernier est codé sur 14 bits, en cohérence avec le nombre d'états définis, à l'exception de l'état waiting.

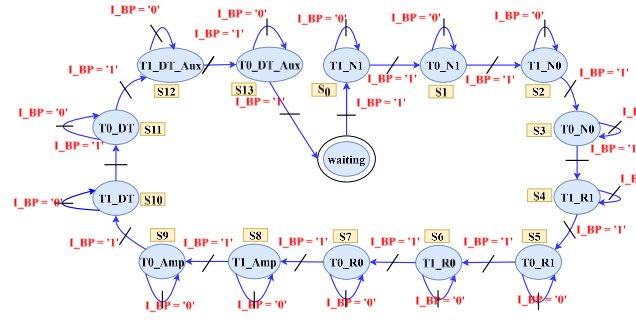


Fig. 9. Diagramme de la machine à états.

6.2. Émulation du modèle dynamique en temps réel

Afin d'évaluer la fiabilité de la machine à états et de l'unité de contrôle développées, une phase de validation de la MLI dynamique a été réalisée à l'aide de l'ILA. Cette validation repose sur la vérification des paramètres clés : la fréquence de découpage, la fréquence et l'amplitude de la modulante, ainsi que le temps mort. Pour cela, une variation de ces paramètres a été effectuée en temps réel à l'aide des boutons poussoirs et des interrupteurs disponibles sur la carte Pynq-Z2.

➤ Variation de la fréquence :

Pour une fréquence de découpage f_{sw} cible de 1 MHz, nous avons défini la valeur de N, qui est égale à 125, à partir de la table de correspondance. Ensuite, en fonction des fréquences de modulante souhaitées, nous avons défini différentes valeurs de R. Une variation de R a été effectuée directement depuis les boutons poussoirs et les interrupteurs de la carte FPGA afin de vérifier que les formes d'onde de la modulante sinusoïdale obtenues correspondent bien aux fréquences attendues : $f_{mod1} = 38,5 \text{ kHz}$ (figure 10) et $f_{mod2} = 19,95 \text{ kHz}$ (figure 11).

Le premier marqueur indique une valeur 125, qui correspond au nombre de périodes d'horloge correspondant à une période complète de la porteuse, ce qui permet de valider la fréquence de découpage introduite (1 MHz). Selon le même principe, le deuxième marqueur sur les figures 10 et 11 indique un rapport de 3500 et de 6750, qui correspondent respectivement au produit des valeurs de N=116 et R (R₁=28 sur la figure 10 et R₂=54 sur la figure 11) introduites, permettant de définir la fréquence de modulante.

$$\begin{cases} N \times R_1 = \frac{T_{mod1}}{T_{clk}} = 3500 \\ N \times R_2 = \frac{T_{mod2}}{T_{clk}} = 6750 \end{cases}$$

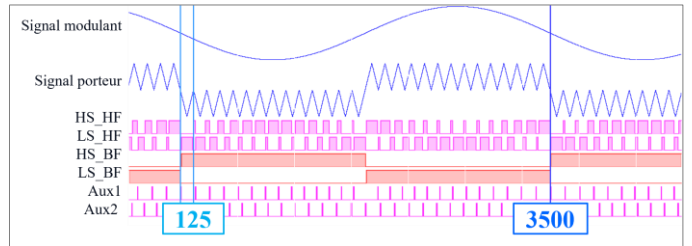


Fig. 10. Signal modulant avec une fréquence de 38,5 kHz.

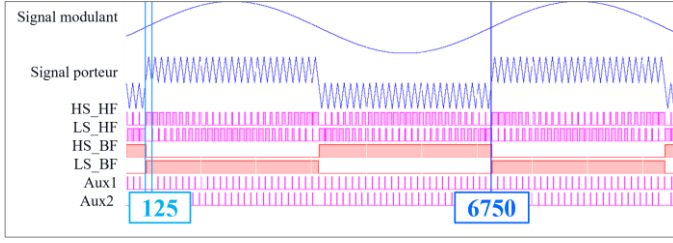


Fig. 11. Signal modulant avec une fréquence de 19,95 kHz.

➤ Variation de l'amplitude :

Une variation de l'amplitude de la modulante a été réalisée depuis la carte FPGA afin de vérifier que les formes d'ondes sinusoïdales générées présentent bien les amplitudes attendues. Les résultats montrent des signaux de modulante avec une amplitude (pic à pic) de 0,98 (figure 12) et de 0,5 (figure 13) dans le second cas, conformément aux valeurs programmées.

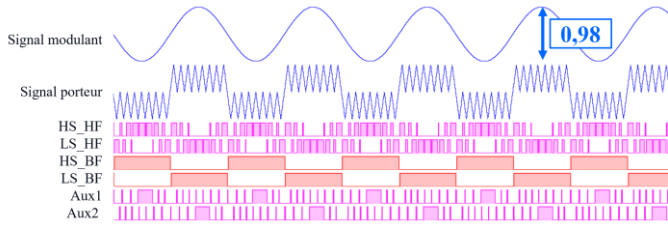


Fig. 12. Signal modulant avec une amplitude de 0,98.

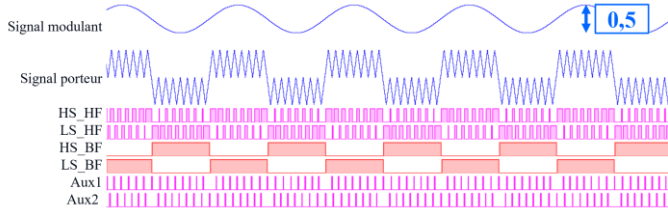


Fig. 13. Signal modulant avec une amplitude de 0,5.

➤ Variation du temps mort :

Une variation du temps mort (Dead Time, DT) a été effectuée depuis la carte FPGA afin de valider la complémentarité des signaux de commande HS_BF et LS_BF, en utilisant deux valeurs distinctes de temps mort : $5 \times T_{clk}$ et $10 \times T_{clk}$. À l'aide des marqueurs fournis par l'ILA, le nombre de périodes d'horloge séparant les deux signaux de commande a été mesuré. Les résultats obtenus confirment une durée de 5 cycles pour un temps mort de 40 ns (figure 14), et de 10 cycles pour un temps mort de 80 ns (figure 15).

Des validations expérimentales sur l'oscilloscope ont été effectuées également, en mesurant les signaux au sein du connecteur Raspberry de la carte FPGA.

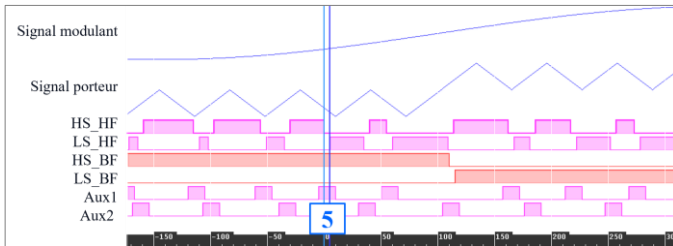


Fig. 14. Les ordres de commande pour un temps mort de $5 \cdot T_{clk}$.

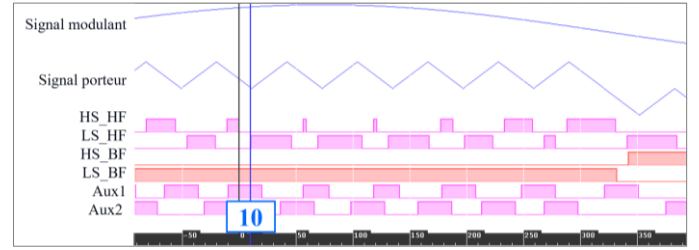


Fig. 15. Les ordres de commande pour un temps mort de $10 \cdot T_{clk}$.

7. CONCLUSION

Une démarche d'implémentation des lois de commande MLI sur une cible numérique, pour un onduleur à commutation douce, a été présentée dans cet article. Le choix final de la cible numérique s'est porté sur un FPGA en raison d'un certain nombre d'avantages présentés précédemment. La méthodologie adoptée de la modélisation du système à paramètres fixes sous Simulink a démontré sa faisabilité pour un prototypage rapide de la commande. Ainsi, le développement et l'implémentation d'un système de commande dynamique à paramètres variables à l'aide d'une machine à états sont présentés. Ce modèle nous permet d'explorer plusieurs points de fonctionnement du système commandé.

La réalisation expérimentale en cours s'appuie sur une maquette de l'onduleur ARCPI, conçue avec le logiciel Altium Designer, afin de valider les ordres de commande développés en fonctionnement sous puissance. Dans cette maquette, le choix des semiconducteurs s'est porté sur des composants GaN adaptés à la commutation à très hautes fréquences ($\sim$ MHz).

8. REFERENCE

- [1] Goraj, Zdobyslaw. "An overview of the deicing and anti-icing technologies with prospects for the future." In 24th international congress of the aeronautical sciences, vol. 29. 2004.
- [2] Lim, Jong-Yeop, Jae-hwan Soh, and Rae-Young Kim. "An improved single-phase zero-voltage transition soft-switching inverter with a subtractive coupled inductor auxiliary circuit." In 2016 IEEE Vehicle Power and Propulsion Conference (VPPC), pp. 1-6. IEEE, 2016.
- [3] Messaoudi, K., A. Saadi, L. Louze Lamri, A. Khezzar, S. Toumi, and ELBAY BOURENNANE. "Implémentation Matérielle sur FPGA pour la Commande d'un Onduleur Triphasé." 1Laboratoire d'électrotechnique de Constantine (LEC), 2Laboratoire d'étude et de recherche en instrumentation et en communication d'Annaba (LERICA).
- [4] Katsis, D. C., M. A. Herwald, Jae-Young Choi, Dushan Boroyevich, and Fred C. Lee. "Drive cycle evaluation of soft-switched electric vehicle inverter." In Proceedings of the IECON'97 23rd International Conference on Industrial Electronics, Control, and Instrumentation (Cat. No. 97CH36066), vol. 2, pp. 658-663. IEEE, 1997.
- [5] Divan, Deepakraj M. "The resonant DC link converter-a new concept in static power conversion." IEEE Transactions on Industry Applications 25, no. 2 (1989): 317-325.
- [6] McMurray, William. "Resonant snubbers with auxiliary switches." IEEE Transactions on Industry Applications 29, no. 2 (1993): 355-362.
- [7] De Doncker, R. W., and J. P. Lyons. "The auxiliary resonant commutated pole converter." In Conference Record of the 1990 IEEE Industry Applications Society Annual Meeting, pp. 1228-1235. IEEE, 1990.
- [8] Jiang, Maoh-Chin, Wei-Shiang Wang, Huang-Kai Fu, and Kuei Wu-Chang. "A novel single-phase soft-switching unipolar PWM inverter." In 8th International Conference on Power Electronics-ECCE Asia, pp. 2874-2879. IEEE, 2011.
- [9] Jomaa, M., Vasic, D., Costa, F., Lévy, P. E., Ali, M. (2023, April). "Driving power supply for an avionic piezoelectric deicing system." In Active and Passive Smart Structures and Integrated Systems XVII (Vol. 12483, pp. 527-535). SPIE.
- [10] PynqZ2, "https://www.xilinx.com/support/university/xup/boards/XUPPY NQ-Z2.html".