

Limitations de l'estimation de la durée de vie restante de composants anciens à partir de composants neufs

Corentin ROULEAU^{1,2}, Karine MANSOULIE¹, Loïc THEOLIER², Alexandrine GUEDON-GRACIA²

¹ EDF Power Network Lab - Moret-Loing-et-Orvanne, France

² Univ. Bordeaux, CNRS, Bordeaux INP, IMS, UMR 5218, F-33400 Talence, France

RÉSUMÉ – Dans les études de fiabilité, il est courant de mettre en place des vieillissements accélérés pour estimer la durée de vie de composants opérationnels. Lorsque les composants ont été fabriqués il y a 40 ans, il est nécessaire de s'assurer que les composants neufs et en service ont été conçus de façon similaire. Cette étude présente les disparités d'assemblage et de caractéristiques électriques entre les différents composants. Celles-ci doivent être prises en compte dans le déroulement de la méthodologie afin d'estimer la durée de vie restante des composants en service.

Mots-clés — *méthodologie, vieillissement, transistors bipolaires, assemblage*

1. INTRODUCTION

La prédiction de l'estimation de la durée de vie des composants électroniques constitue un enjeu majeur dans de nombreux secteurs industriels, où la fiabilité des équipements sur le long terme est essentielle. [1]

Cette étude porte sur l'estimation de la durée de vie restante de transistors bipolaires en service depuis 40 ans (O). L'étude du comportement de composants ayant plus de 40 ans est particulièrement complexe, car la mise en place de vieillissement accéléré avec des composants neufs (N) n'est valable que si les composants sont identiques structurellement et électriquement. Il est donc nécessaire de vérifier si les références similaires fabriquées en 2019 et disponibles aujourd'hui sur le marché peuvent présenter des différences notables par rapport aux composants d'origine fabriqués en 1977. Ces écarts peuvent résulter des évolutions dans les procédés de fabrication, des matériaux utilisés ou encore de normes de production, rendant plus difficile la compréhension et la reproduction des phénomènes de vieillissement équivalents avec des composants neufs.

Dans cet article, la méthodologie traditionnelle pour estimer la durée de vie restante d'un composant est présentée en rappelant les hypothèses de validité de celle-ci. Une analyse comparative des matériaux de composants opérationnels depuis 40 ans et neufs est effectuée dans l'objectif de définir si la méthodologie est employable. Une discussion s'ouvrira sur la nécessité de devoir compléter la méthodologie pour notre cas d'étude.

2. METHODOLOGIE

La figure 1 présente la méthodologie habituellement utilisée pour estimer la durée de vie restante d'un composant en fonctionnement dans son environnement réel. [2]

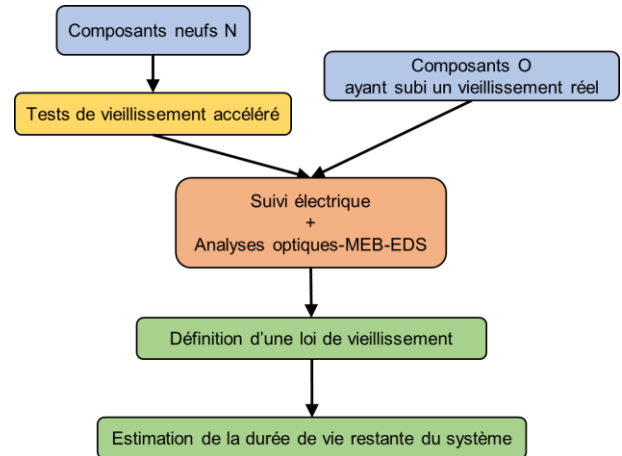


Fig. 1. Schéma de la méthodologie d'estimation de la durée de vie restante d'un système.

Dans un premier temps, après des mesures de caractéristiques électriques initiales (t_0), des composants neufs sont soumis à un vieillissement accéléré en cohérence avec le profil de mission réel. Dans cette étude, des tests de vieillissement en température et/ou en tension sont les plus adaptés. Un suivi électrique des composants, appropriés aux besoins étudiés, est mené lors du vieillissement. Des analyses optiques et chimiques, au microscope optique à balayage (MEB) et par spectroscopie de rayons X à dispersion d'énergie (EDS) sont également réalisés sur les composants N et O afin de visualiser, par exemple, l'évolution de l'état des brasures, des fils de bonding et des métallisations. Les résultats obtenus à la suite des mesures de suivi et des analyses des transistors N et O sont corrélés et permettent donc de définir une loi de vieillissement. Connaissant le temps menant à la défaillance en vieillissement accéléré ainsi que l'état des transistors O par rapport aux transistors N ayant subis les essais de vieillissement accéléré, cette loi permettra d'estimer la durée de vie restante des composants fonctionnant en environnement réel.

Pour mener à bien cette méthodologie, il faut dans un premier temps s'assurer sur les composants N et O sont similaires en tout point en effectuant des analyses des matériaux.

3. ANALYSE COMPARATIVE DES MATERIAUX INTERNES DES COMPOSANTS N ET O

Le revêtement d'encapsulation interne visible sur les figures 2A et 3A, présente des différences notables par spectroscopie à dispersion d'énergie (EDS) : les composants O possèdent un revêtement d'encapsulation interne en or (Au), tandis que les

composants N sont revêtus d'un alliage nickel/phosphore (Ni/P). De plus, sur les figures 2B et 3B, il est possible de constater que la métallisation des puces n'est pas la même entre un transistor N et un transistor O. Les dimensions de la surface des puces sont également différentes, pour le transistor N, la puce est un carré avec une surface de $350\mu\text{m}^2$ alors que celle du transistor O est de $500\mu\text{m}^2$.

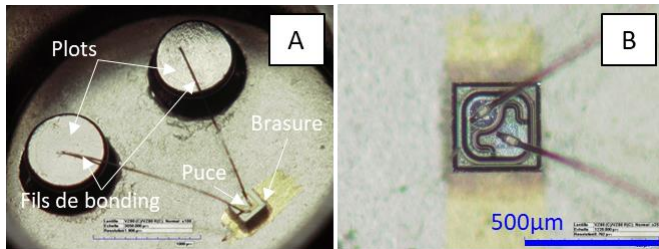


Fig. 2. Vue de dessus du boîtier d'un transistor N après décapsulation [A] et de la métallisation de la puce d'un transistor N [B]

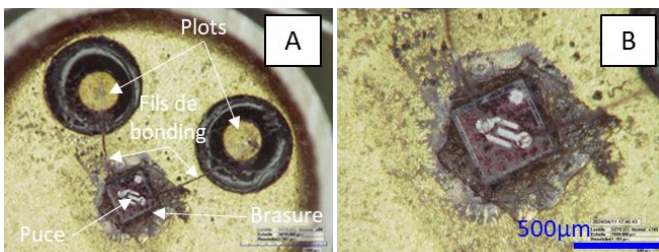


Fig. 3. Vue de dessus du boîtier d'un transistor O après décapsulation [A] et de la métallisation de la puce d'un transistor O [B]

L'étude de la structure interne des plots et des fils de bondings visible sur la figure 4 indique que leurs compositions sont identiques pour les composants N et O, à savoir de l'aluminium (Al) pour les fils de bondings et un alliage fer/nickel/cobalt (Fe/Ni/Co) pour la structure interne des plots.

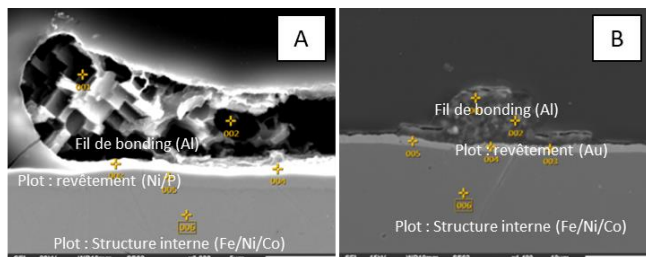


Fig. 4. Vue en coupe au MEB du fil de bonding et du plot d'un transistor N [A] et O [B]

L'analyse de la brasure entre la puce et le boîtier (fig. 5) révèle que le composant N présente une brasure d'une épaisseur de 1 à 3 micromètres alors que le composant O possède une brasure plus épaisse de l'ordre de la dizaine de micromètres toutes deux composées d'un alliage constitué à environ 80 % d'or et à 20 % de silicium (Au/Si), soit quasiment au point eutectique de l'alliage Au/Si. [3]

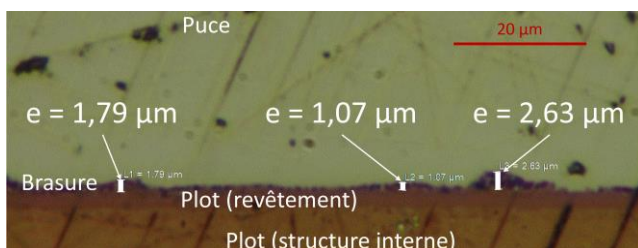


Fig. 5. Section de la brasure Au/Si d'un transistor N observée au microscope optique (x3500)

Il est aussi possible de constater, sur la figure 6, la présence d'agrégaions constituées à 100% d'or au sein de la brasure du composant O. Cependant, l'analyse d'échantillons supplémentaires serait nécessaire pour déterminer si le composant O analysé est le seul à présenter ce genre d'agregat.

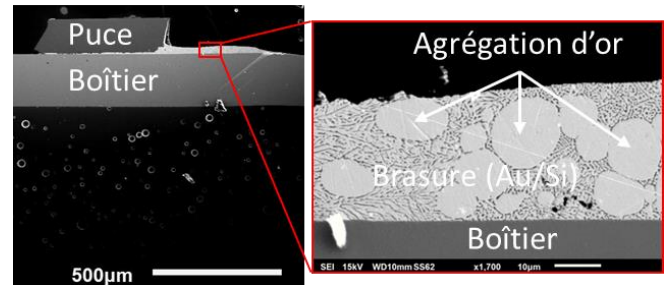


Fig. 6. Section de la brasure Au/Si d'un transistor O observée au MEB

Des différences de matériaux utilisés et de dimensions notables sont donc constatées entre les composants N et O.

Dans l'objectif de caractériser le vieillissement des puces en opération, il faut décorréliser les différences électriques dû au vieillissement et à l'assemblage. Afin de répondre à cette problématique, nous proposons d'étudier une 3^{ème} référence de composants, les composants S, qui a la particularité d'avoir été stocké 5 ans dans un environnement contrôlé constant (température, humidité, à l'abri de la lumière) mais qui n'a jamais subi de vieillissement électrique.

Les composants S (fig. 7), fabriqués seulement cinq ans avant les composants N, présentent une métallisation sur la puce.

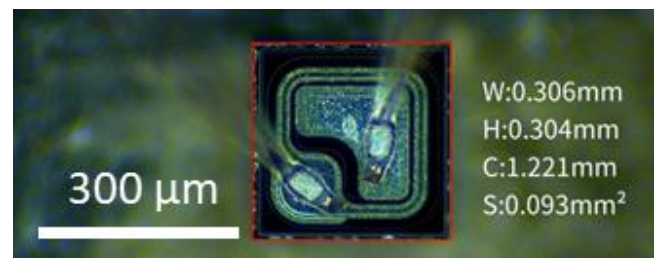


Figure 7 : Vue de dessus de la métallisation de la puce d'un transistor S

Conscients des différences structurales entre les transistors N, O et S, des mesures de caractéristiques électriques ont été réalisées afin de déterminer si ces écarts se traduisent également au niveau de leur comportement électrique.

4. MESURES DE CARACTERISTIQUES ELECTRIQUES

Afin de contrôler l'état des transistors et de vérifier les données annoncées dans les datasheets, des mesures de caractéristiques électriques ont été réalisées à l'aide d'un analyseur paramétrique B1505A de chez Keysight.

La caractéristique à l'état bloqué « I_C-V_{CBO} », la caractéristique à l'état passant « I_C-V_{CE} » ainsi que le gain « h_{FE} » pour une tension V_{CE} de 5 V ont été mesurés pour 5 échantillons de chaque catégorie (N, O et S).

4.1. Mesures à l'état bloqué

Les mesures I_C-V_{CBO} permettent de visualiser deux paramètres caractéristiques des transistors : les courants de fuites et la tenue en tension. Le courant de fuite est un courant non désiré, de l'ordre du nanoampère, qui circule à travers une jonction PN. Lorsque ce courant augmente brutalement, cela permet de déterminer la tenue en tension maximale du transistor.

Pour effectuer ces mesures à l'état bloqué, la jonction Base-Collecteur (BC) est polarisée en inverse, la base étant reliée à la masse et l'émetteur laissé flottant. L'appareil balaie la tension V_{CBO} de 0V à 200V par paliers de 1V (fig. 8). Une compliance de $I_C = 10$ nA est appliquée afin de protéger le composant.

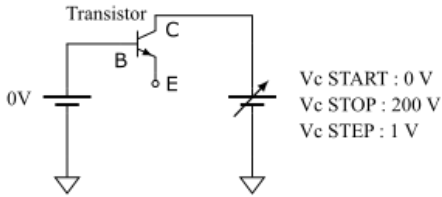


Figure 8 : Schéma du montage pour les mesures I_C - V_{CBO}

Les transistors N présentent une tenue en tension d'environ 160 V, soit une valeur supérieure de 45 % à celle des transistors O, dont la tenue en tension atteint 110 V (figure 8). On peut également constater cet écart atteint les 14 % pour les transistors S, qui présentent une tenue en tension maximale de 140 V. D'après la datasheet des composants étudiés, la tenue en tension V_{CBO} maximale est de 60V [4]. Les composants subissent donc une dégradation de la tenue en tension au cours du temps mais restent néanmoins bien au-dessus de la limite maximale indiquée sur la datasheet.

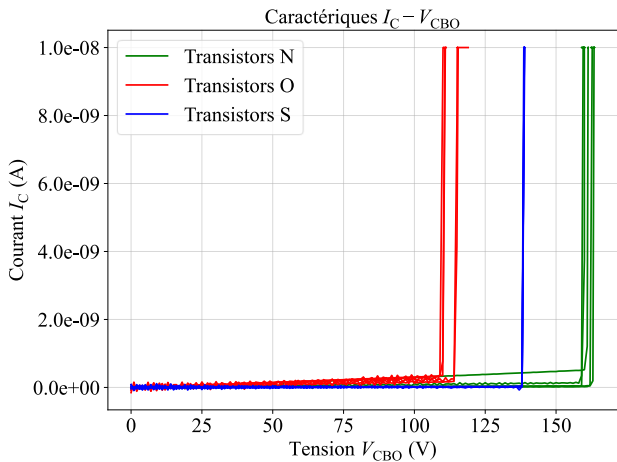


Figure 9 : Courbes des caractéristiques I_C - V_{CBO} des transistors N, O et S

4.2. Mesures à l'état passant

La génération de courbes I_C - V_{CE} pour différentes valeurs de base (I_B), permet de visualiser les deux grandes zones de fonctionnement d'un transistor bipolaire : la zone de saturation et la zone linéaire. Et ainsi de déterminer la tension de saturation et de visualiser l'effet Early [5].

Pour effectuer ces mesures à l'état passant, une tension V_{CE} est appliquée entre l'émetteur et le collecteur en mode pulsé afin de limiter l'échauffement du composant et d'obtenir une mesure plus fidèle à ses propriétés intrinsèques. La base est contrôlée en courant, avec une valeur de I_B variant de 0 A à 0,5 mA par paliers de 0,1mA. Pour chaque valeur de I_B , l'appareil balaie la tension V_{CE} de 0 V à 5 V (fig. 10).

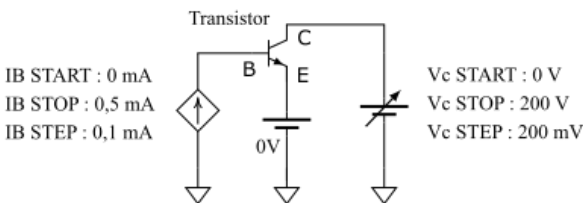


Figure 10 : Schéma du montage pour les mesures I_C - V_{CE}

La figure 11 présente les caractéristiques I_C - V_{CE} pour deux valeurs de courant de base : $I_B = 0,1$ mA et $I_B = 0,5$ mA.

Pour chaque valeur de I_B , les transistors présentent deux zones distinctes : la zone de saturation ($V_{CE} < 0,2$ V) et la zone linéaire ($V_{CE} > 0,2$ V). Ces deux zones sont deux régimes de fonctionnement différents. Dans la zone de saturation, le transistor est utilisé en mode interrupteur. La zone linéaire est utilisée pour réaliser de l'amplification de courant. Le courant de collecteur I_C est ici proportionnel au courant de base I_B : $I_C = \beta \times I_B$ [6].

Pour $I_B = 0,1$ mA, les transistors N et S présentent le même comportement. Dans la zone saturée, les pentes se confondent et se différencient des transistors O. Pour ce qui est de la zone linéaire, les transistors N et S présentent des caractéristiques parallèles à l'axe des abscisses mais présentent une valeur de courant I_C différente pour une même tension V_{CE} témoignant d'un gain en courant typique plus faible pour les transistors S par rapport aux composants N. Quant aux transistors O, il est possible de constater l'apparition de l'effet Early, induisant l'augmentation du courant de collecteur I_C en fonction de la tension V_{CE} , pour un même courant de base I_B .

Pour $I_B = 0,5$ mA, il est plus difficile d'extraire des informations exploitables, les mesures étant limitées par les contraintes techniques propres aux transistors. En effet, d'après les données issues des datasheets, les transistors étudiés supportent un courant collecteur maximal de 50 mA. Une compliance a donc été appliquée lors des mesures afin de ne pas dépasser cette valeur limite. La zone de saturation reste visible et les observations sont les mêmes que pour $I_B = 0,5$ mA, seules les valeurs de courants de collecteur évoluent. Dans la zone linéaire, l'effet Early est toujours visible pour les transistors O et le courant I_C étant nettement plus faible, à V_{CE} équivalent, que celui des transistors N et S. En raison de la compliance appliquée, il n'est pas possible d'observer les caractéristiques électriques des transistors N et S en régime linéaire.

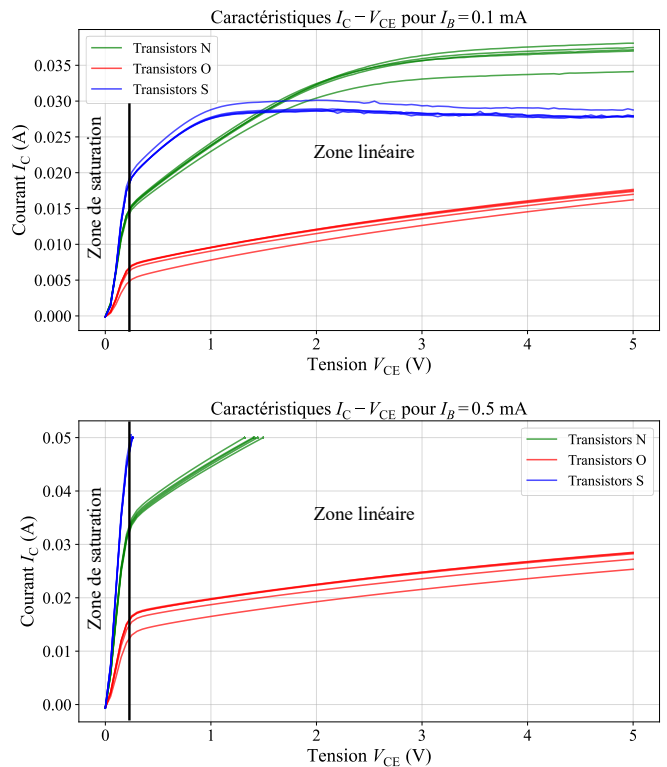


Figure 11 : Courbes des caractéristiques I_C - V_{CE} des transistors N, O et S

4.3. Mesures du Gain

Une des caractéristiques fondamentales des transistors bipolaires est le gain en courant (h_{FE} ou β), défini comme le rapport entre le courant de collecteur I_C sur le courant de base I_B ($h_{FE} = I_C / I_B$).

Pour effectuer les mesures du gain, une tension V_{CE} constante de 5V est appliquée et un courant allant de 10 nA à 200 μ A avec 45 paliers de 4 μ A est appliqué.

La figure 12 présente le gain en courant mesuré pour les transistors N, O et S, en fonction du courant collecteur I_C , pour une tension $V_{CE} = 5$ V.

Le gain des transistors varie en fonction de I_C . Il est observable qu'à très faible courant ($I_C < 10^{-5}$ A), le gain augmente pour l'ensemble des transistors. Pour des courants intermédiaires (10^{-5} A $< I_C < 1 \times 10^{-2}$ A), le gain atteint un maximum : c'est la zone optimale d'utilisation du transistor. Les transistors N présentent le gain le plus élevé, atteignant une valeur maximale de 430, tandis que les transistors S affichent le gain le plus faible, légèrement supérieur à 300. Enfin, à fort courant ($I_C > 1 \times 10^{-2}$ A), la jonction PN entre en saturation, entraînant une chute brutale du gain. Cette chute intervient plus tôt pour les transistors O (dès $I_C = 1 \times 10^{-2}$ A), alors qu'elle apparaît à environ $I_C = 3 \times 10^{-2}$ A pour les autres composants.

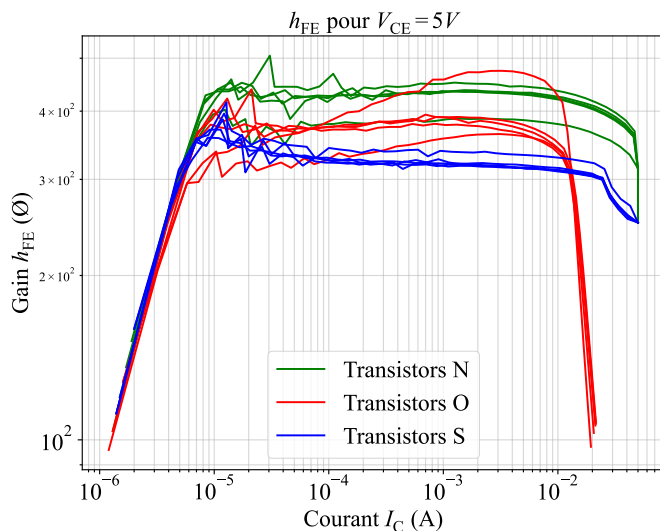


Figure 12 : Courbes des caractéristiques h_{FE} des transistors N, O et S

5. CONCLUSION ET DISCUSSION

L'analyse matériaux des transistors montrent donc que les composants O et N, qui sont de même référence, et fabriqués à 40 ans d'intervalle, utilisent des matériaux différents. L'architecture et la fabrication des puces ont évolué au fil du temps, comme en témoignent les différences de métallisation et de taille, y compris entre des composants fabriqués à seulement cinq ans d'intervalle.

Ces résultats nécessitent l'adaptation de la méthodologie initiale de l'estimation de la durée de vie restante des composants. En effet, avec ces différences, les transistors risquent de présenter des dégradations différentes pour une même contrainte appliquée lors des essais de vieillissement.

Il faut donc s'appuyer sur des éléments comparables d'un transistor à l'autre. Des transistors fabriqués entre les O et les N et stockés dans des conditions d'environnement connues (température et humidité contrôlées) sont disponibles : les composants S. La caractérisation électrique de ces transistors permet dans un premier temps de vérifier les impacts du vieillissement en stockage sur des transistors non utilisés et de constater quels sont les paramètres ayant évolué.

Les mesures de certaines caractéristiques électriques de l'ensemble de ces composants montrent des différences en fonction du vieillissement du transistor (N, O ou S). Pour les caractéristiques à l'état bloqué, plus le transistor est récent plus sa tenue en tension est élevée. Cependant, une baisse significative de cette tenue en tension est observée pour les transistors S, passant de 160 V à 140 V après seulement cinq ans de stockage. Il est donc légitime de s'interroger : cette diminution est-elle liée au vieillissement en stockage, ou bien à une tenue en tension initialement plus faible due à la différence de métallisation observée sur la puce ?

Ces interrogations subsistent pour l'ensemble des caractéristiques électriques mesurées, les transistors N, O et S présentant systématiquement des résultats différents. Dans le cas de la mesure du gain, les transistors O affichent, de manière générale, un h_{FEmax} inférieur à celui des transistors N, mais supérieurs à celui des transistors S. Cependant, la chute de gain intervient pour un courant I_C plus faible chez les transistors O que chez les autres.

Ces 3 générations de composants, qui présentent donc des caractéristiques physiques et électriques différentes, rendent difficiles les méthodes usuelles d'estimation de durée de vie.

Dans la suite de l'étude, des essais de vieillissements accélérés, en température et/ou en tension, seront mis en place uniquement sur des composants neufs permettant l'établissement d'une loi des dérivées des paramètres électriques (gain, tenue en tension). La véracité ou non de cette loi sera ensuite vérifiée en l'appliquant à des composants vieilliss. Cela permettra de vérifier si ces derniers ont les caractéristiques attendues et ainsi de parfaire la méthodologie.

6. REFERENCES

- [1] M. Schaff, D. Didier, et M. Ait-Ighil, « Gestion de la durée de vie d'un système électronique: extension de la durée de vie », 2020.
- [2] R. Ouaida, P. Brosselard, et P. Bevilacqua, « Etude sur les transistors MOSFETs en Carbone de Silicium - Potentiel d'utilisation dans les Applications Hautes Températures ». *Symposium de Génie Electrique (SGE'14)*, (juillet 2014)
- [3] Anantamula, R. P., A. A. Johnson, S. P. Gupta, et R. J. Horylev. « The Gold-Silicon Phase Diagram ». *Journal of Electronic Materials* 4, n° 3 (juin 1975): 445-63. <https://doi.org/10.1007/BF02666229>
- [4] Microsemi Corporation, "2N2484 NPN Silicon Transistor," datasheet, Microsemi, [Online]. Available : <https://www.alldatasheet.fr/datasheet-pdf/pdf/76183/MICROSEMI/2N2484.html>
- [5] B. L. Hart, « Early voltage uniqueness test for bipolar junction transistors », *Electron. Lett. (UK)*, vol. 16, n° 18, p. 703-705, août 1980, doi: [10.1049/el:19800499](https://doi.org/10.1049/el:19800499).
- [6] L. V. Phung, « Introduction aux composants de microélectronique de puissance », *Électronique*, juin 2019, doi: [10.51257/a-v2-e3960](https://doi.org/10.51257/a-v2-e3960).