

Optimisation des temps morts d'une cellule de commutation haute-fréquence par observation de la charge de grille

Corentin BOILEVE ¹, Johan LE LESLE ¹, Guillaume LEFEVRE ¹,
Nicolas GINOT ², Anne-Sophie DESCAMPS ², Christophe BATARD ²

¹ Mitsubishi Electric R&D Centre Europe, Rennes, France

² CNRS, IETR UMR 6164, Nantes Université, Nantes, France

RESUME – Les MOSFETs au carbure de silicium ayant de meilleures capacités en vitesse de commutation que leurs homologues silicium, il est nécessaire de les commander correctement pour en tirer un net avantage. En effet, une commande sous-optimale de ces composants peut induire une augmentation des pertes en commutation principalement liée à la diode Body intrinsèque (recouvrement et conduction dans le 3ème quadrant). Dans ce contexte, augmenter la fréquence de découpage n'est pas envisageable sans compromettre le rendement de conversion. Pour permettre une réduction significative de ces effets, une stratégie de commande minimisant les temps morts est présentée dans ce papier. Les principes fondamentaux de cette dernière, basée sur l'observation de la charge de grille (Q_g), sont détaillés, une analyse expérimentale de l'évolution de Q_g en fonction des conditions opératoires permet de mettre en évidence certaines contraintes de design du circuit. Pour finir, les performances du gate driver sont démontrées par simulation. Une réduction des temps morts à environ 40 ns est obtenue, induisant une réduction de 20% des pertes en commutation dont la conduction de la body-diode.

Mots-clés—charge de grille, temps morts, SiC, body diode, miroir de courant.

1. INTRODUCTION

La diminution des pertes et l'augmentation de la fréquence de commutation au sein des convertisseurs sont des problématiques centrales pour réduire l'impact écologique, miniaturiser les systèmes ainsi qu'améliorer leur fiabilité. L'utilisation de transistors SiC est devenue quasi-systématique pour atteindre ces objectifs, du fait d'excellentes performances statique (conduction) et dynamiques (commutation), complétées par une température de fonctionnement accrue en comparaison des semi-conducteurs à base de Silicium. Cependant, la commande de ces composants nécessite un soin particulier pour exploiter leur plein potentiel et justifier un surcoût initial en comparaison de MOSFETs Si à super-jonction (650 V) ou d'IGBT conventionnels pour les tensions plus élevées (typiquement 1.2 kV). En effet, les pertes en commutation et notamment les effets liés à la diode intrinsèque (reverse recovery, conduction dans le 3ème quadrant) peuvent devenir prépondérantes avec l'augmentation de la fréquence de découpage (f_{sw}). Ces limitations peuvent être réduites en appliquant une stratégie d'optimisation des temps morts, réduisant ainsi la durée de conduction de la diode intrinsèque ce qui par extension permet un meilleur contrôle de la quantité de charge stockée dans la zone de drift (et donc l'effet de reverse recovery) [1], tout en conservant une protection vis-à-vis des courts-circuits de bras.

Certaines méthodes ont été présentées pour contrôler les temps morts à l'aide de mesures de tension ou de courant traitées par un microcontrôleur calculant un temps mort optimal grâce à un modèle analytique. Cependant celles-ci présentent

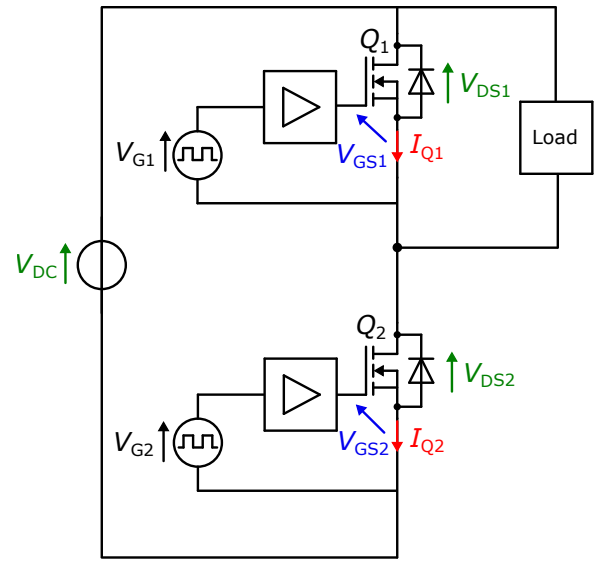


FIG. 1. Cellule en demi-pont

l'inconvénient de devoir passer la barrière d'isolation pour la transmission de l'information [2, 3, 4]. D'autres méthodes ont-elles permis une observation locale [5, 6], mais présentent l'inconvénient d'ajouter des composants de puissance, augmentant les risques d'avarie et le coût. D'autres méthodes utilisent enfin un couplage magnétique entre les circuits de grille des interrupteurs de la cellule de commutation assurant un temps-mort minimal [7]. Malgré l'efficacité de ce type de dispositif, le principal point d'achoppement est la dégradation de l'inductance de maille de la boucle de grille, notamment du fait des fuites des transformateurs. La méthode présentée dans ce papier est basée sur l'observation de la charge de grille des transistors de puissance, les principaux avantages de cette solution sont sa vitesse de réaction et sa faible invasivité. Dans un premier temps, les principes du circuit d'optimisation seront présentés, complétés par des mesures de charge de grille et enfin le circuit est simulé afin de quantifier les gains apportés par le concept.

2. ANALYSE THÉORIQUE ET APPROCHE PAR LA CHARGE DE GRILLE

En analysant les formes d'ondes théoriques de commutation d'une cellule en demi-pont (Figure 1), comme celles présentées en Figure 2, il s'avère que le premier événement de la commutation est le blocage de l'interrupteur conduisant le courant de

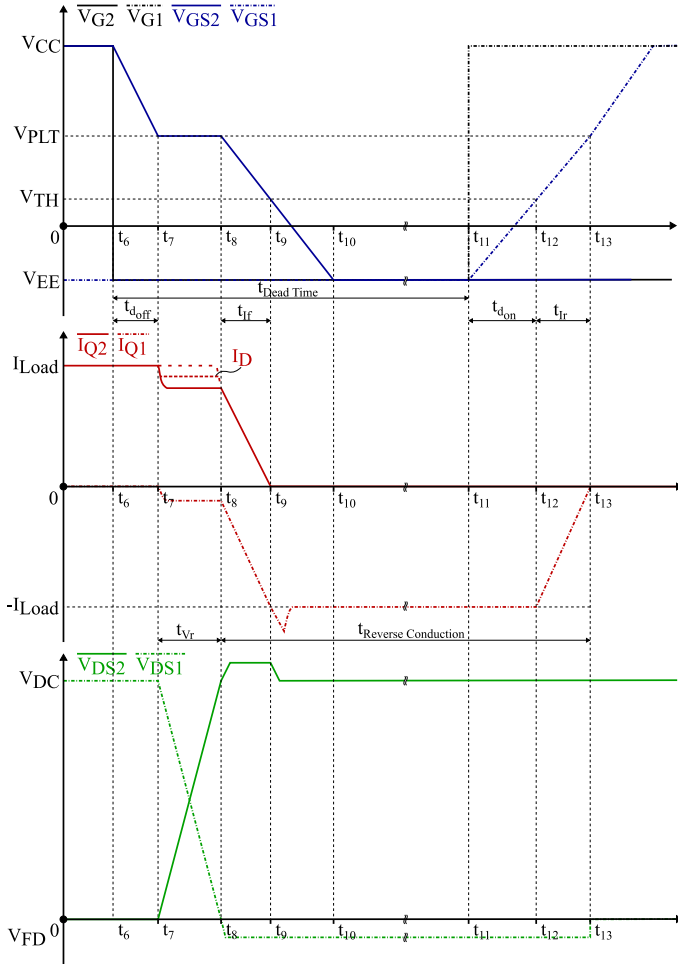


FIG. 2. Cellule demi-pont et formes d'ondes théoriques de commutation associées.

charge. Par conséquent, la tension de grille (v_{GS}) passe d'une tension positive (V_{cc}) à une tension négative (V_{ee}). L'évolution de cette tension informe également sur l'état de la commutation, e.g phase courant ou phase tension et reflète également le niveau de charge de la grille.

La courbe caractéristique $v_{GS} = f(q_G)$ est généralement donnée dans les datasheets. Cette courbe peut changer en fonction du point d'opération, des évolutions du courant i_{DS} et/ou de la tension v_{DS} . La phase courant correspond à l'évolution de v_{GS} entre la valeur de la tension de seuil V_{Th} et le début du plateau Miller. Plus le courant est élevé, plus le début du plateau Miller se trouve à une tension v_{GS} élevée. Quant à la phase tension, elle correspond au plateau Miller. Plus la tension de bus est élevée, plus le plateau est large. Une représentation de ce phénomène sur la caractéristique du MOSFET Wolfspeed C3M0065090J est présentée en Figure 3.

La fin de la phase tension, coordonnée à la fin du plateau Miller est le moment le plus important dans cette stratégie de réduction des temps morts, marquant le moment où l'interrupteur complémentaire peut être amorcé sans créer de pertes supplémentaires. Ainsi de part cette analyse il est possible de définir un niveau de charge de grille (ΔQ_G) indiquant l'instant de commutation minimisant le temps mort. Le cas le plus critique à la décharge est alors pour la plus forte tension V_{DS} et le plus faible courant I_{DS} désirés. Par exemple, si le cas critique correspond à la courbe donnée dans la datasheet, alors le niveau de charge assurant un temps mort minimal est de $\Delta Q_G = 29 \text{ nC} - 8 \text{ nC} = 21 \text{ nC}$ (cf. Figure 3).

Sur l'interrupteur de roue libre, le plateau Miller n'existe pas. En effet, la commutation s'effectue en ZVS et ainsi la caracté-

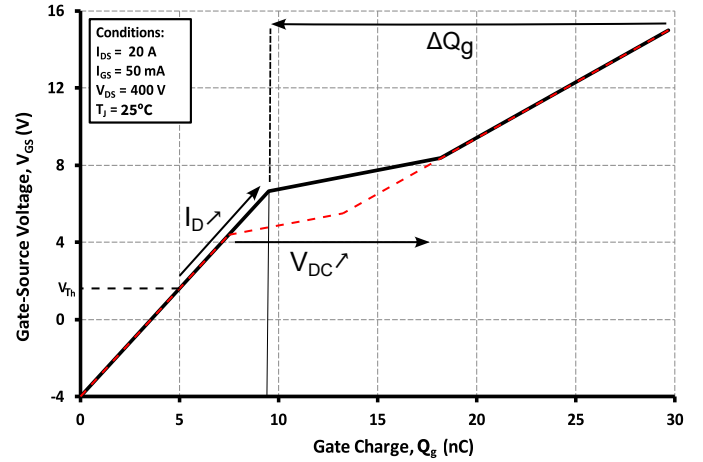


FIG. 3. Évolution de la tension V_{GS} en fonction de Q_G pour un MOSFET SiC C3M0065090J

ristique de charge est linéaire, le ΔQ_G doit alors être défini par rapport aux formes d'ondes de puissance.

3. CIRCUIT D'ATTAQUE DE GRILLE BASÉ SUR LES MIROIRS DE COURANTS

L'estimation de la charge de grille peut se faire par intégration du courant de grille (1).

$$Q_G = \int i_G(t).dt \quad (1)$$

Le courant de grille peut être mesuré par différentes méthodes, chacune présentant ses avantages et inconvénients. La méthode la plus simple est une mesure de type shunt, soit en ajoutant une résistance dédiée ou bien en utilisant directement la résistance de grille externe. Ce type de mesure peut ne pas être applicable, notamment sur des cellules de commutation intégrées comme celle présentées dans [8]. En effet le gate driver est placé au plus proche des interrupteurs de puissance, eux-mêmes intégrés au PCB. De plus le gate driver attaque les puces sans résistance de grille externe.

Une seconde méthode consisterait à utiliser une sonde Rogowski afin de mesurer la dérivée du courant puis intégrer le signal obtenu correspondant à l'équation (2).

$$V_{ROG} = M \cdot \frac{di_G(t)}{dt} \quad (2)$$

L'avantage majeur de cette méthode est son isolation galvanique. Cependant, le couplage magnétique entre le capteur et le circuit de grille peut induire une augmentation de l'inductance de boucle de grille.

Une troisième méthode, qui est celle présentée dans ce papier, consiste à placer un miroir de courant afin de recopier le courant de grille. L'implémentation la plus simple est présentée dans la Figure 4. Ce circuit est composé de deux miroirs indépendants copiant les courant de grille à l'amorçage (Source) et au blocage (Sink). Le miroir opérant lors du blocage est celui qui recopie le courant de décharge et donc celui qui est utilisé pour la réduction des temps morts.

Cette méthode présente plusieurs avantages, le premier étant la capacité de fonctionner sans résistance de grille externe et donc de permettre l'application à des cellules de commutation intégrées comme celle présentées dans [8]. Le second porte sur l'aspect de l'intégration. Grâce au miroir, il est possible d'optimiser au mieux la boucle de grille et de faire le traitement de la mesure de manière « déportée ». Enfin pour faire fonctionner au mieux le miroir, les transistors le constituant sont appariés et montés

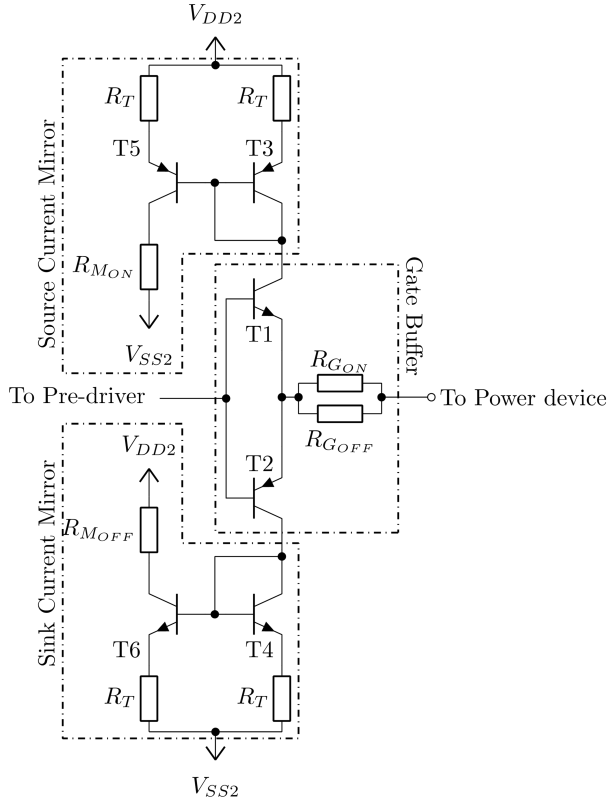


FIG. 4. Circuit d'attaque de grille avec miroirs de courant.

sur la même puce de silicium, ce qui confère également à celui-ci une certaine immunité à la gigue liée aux différences de température possibles. Il est également possible de faire une recopie du courant tout en appliquant un coefficient diviseur ($\times$) par l'ajout de transistors bipolaires en parallèle de T3 ou T4. Ainsi l'alimentation du gate driver ne se trouve pas sur-contrainte. De plus, cette division permet de maintenir les transistors dans une plage de fonctionnement offrant un bon produit gain-bande en courant. L'inconvénient principal de cette structure est le fait de diminuer légèrement les tensions d'attaque de grille à cause des deux transistors en série ($V_{DD} - 2.V_{CESat}$). L'image de la charge de grille est obtenue grâce à la tension aux bornes d'un condensateur chargé par le courant recopié par le miroir, selon l'équation (3).

$$u_G(t) = \frac{q_G(t)}{C.x} \quad (3)$$

Lorsque la tension du condensateur atteint une valeur seuil correspondante à la charge minimale à extraire de la grille pour que la phase tension soit terminée, le circuit de contre-réaction va mettre en conduction le composant complémentaire. Pour ce faire, un comparateur commande un transistor venant piloter directement le buffer complémentaire au travers d'un isolateur. La tension de base et par conséquent la tension de grille peut se calculer par le théorème de Millman. Les ordres de commande du pré-driver ne sont pas modifiés, ainsi le circuit de contre-réaction n'est actif que lors des temps morts et le pré-driver prends le relais par la suite.

A chaque période, le condensateur d'émulation est déchargé. Cette décharge est synchronisée sur la commande fixe de l'interrupteur complémentaire, ainsi, dès que le pré-driver du composant commandé prend le relais sur le circuit de contre-réaction, le condensateur se décharge. Le temps mort effectif est alors principalement lié aux temps de propagation des composants, à savoir le comparateur, les isolateurs et le temps de commutation du MOSFET de contre réaction. Le schéma simplifié du gate driver est présenté dans la Figure 5.

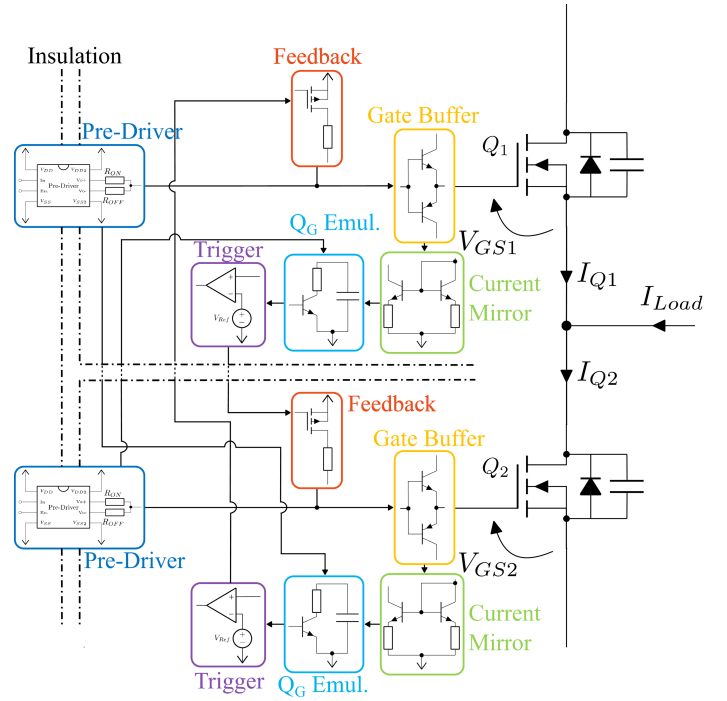


FIG. 5. Schéma bloc du gate driver pour réduction des temps-morts par estimation de la charge de grille

Comme évoqué précédemment, la tension de seuil du circuit de réduction des temps morts doit être définie pour le point d'opération le plus critique, pour s'assurer qu'aucun micro-circuit ne survienne durant la commutation. Par conséquent il est important que la phase tension durant le blocage soit terminée avant d'amorcer le composant complémentaire, ce qui correspond à la fin du plateau Miller.

4. CARACTÉRISATION EXPÉRIMENTALE DE QG

Afin de correctement définir la tension de seuil correspondante au ΔQ_G optimal, plusieurs mesures de charge de grille ont été réalisées pour différents points de fonctionnement, e.g tension de bus et courant de charge. De plus, la charge de grille a été mesurée dans le cas d'une commutation dure (HS) et dans le cas d'une commutation douce (ZVS). Ces mesures, présentées sur la figure 6, ont été réalisées sur des MOSFETs SiC Wolf-speed C3M0065090J de type planar et ROHM SCT3040KW7 de type trench. Une résistance de grille (R_{GExt}) relativement élevée (216 Ω) est volontairement choisie pour caractériser aisément de la charge de grille. La diminution de la valeur de résistance de grille augmente à la fois l'amplitude et la dynamique du courant de grille, il en est de même pour le courant de drain. Le package discrets utilisés (TO-263-7L) impliquent des inductances de mailles non négligeable dans les boucles de commande et de mesures. De plus des couplages inductifs existent entre la puissance et la commande. Par conséquent, la mesure de $v_{GS}(t)$ n'est pas réellement l'image de la tension aux bornes de la puce, cf équation 4, avec R_{GInt} , L_G , L_{SK} et M étant respectivement la résistance de grille interne, l'inductance de grille, l'inductance de la source Kelvin et la mutuelle inductance entre la puissance et la commande.

$$v_{GS Mes}(t) = R_{GInt}i_G(t) + (L_G + L_{SK})\frac{di_G(t)}{dt} + M\frac{di_{DS}(t)}{dt} \quad (4)$$

Par conséquent la forme de la caractéristique $v_{GS} = f(Q_G)$ mesurée se trouve impactée. Il devient compliqué d'identifier les différentes phases de commutation notamment le plateau de Miller. Ces différents éléments justifient le choix d'une résis-

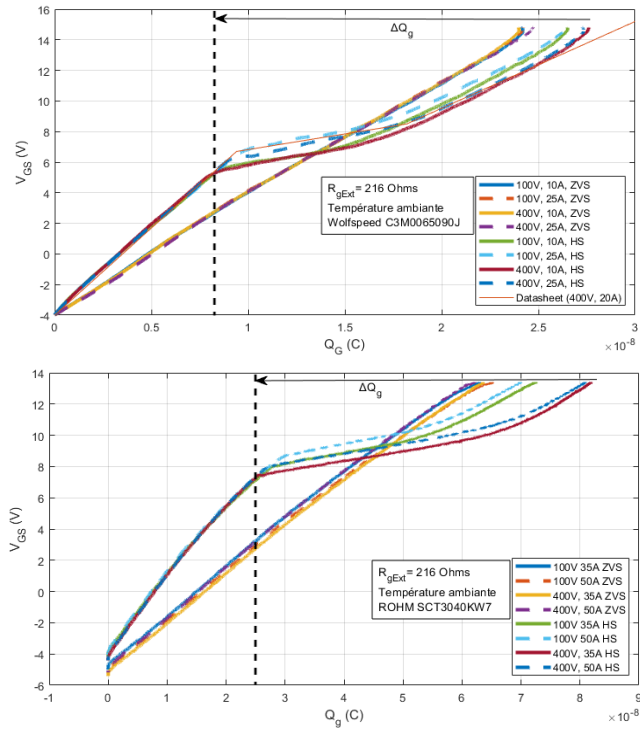


FIG. 6. Caractéristiques de charge mesurées sur des MOSFET Wolfspeed C3M0065090J et ROHM SCT3040KW7

tance de grille de valeur élevée pour réduire l'impact des termes liés à la dérivée du courant. Le premier point notable est l'invariance de la charge grille lorsque le composant commute en ZVS, et ce pour les deux technologies. En ZVS, le gate driver charge la capacité d'entrée (C_{iss}) qui est quasiment constante à V_{DS} proche de zéro. Il est également intéressant de noter la variation de charge entre commutation dure et commutation douce. La diminution de charge due au ZVS est bien plus marquée pour une technologie trench que planar. En effet, la technologie trench, de part sa construction implique de plus grandes capacités parasites, notamment C_{GD} . A contrario, un composant proposant une ratio C_{GS}/C_{GD} élevé comme pour la technologie planar présentée ici n'induit qu'une variation de grille relativement faible. Le gain sur les pertes du gate driver ne sera pas si notable que pour la technologie trench.

L'objectif principal de ces mesures est de définir le seuil de déclenchement du circuit gate driver. Les résultats de simulation présentés dans la section suivante sont obtenues pour des MOSFETs Wolfspeed C3M0065090J, le seuil de déclenchement est déterminé en considérant la caractéristique de charge en commutation dure et/ou douce pour une tension de bus élevée (400 V) et un courant de drain faible (10 A), ce qui correspond au cas critique. Dans le cas présent, pour une commutation douce, la charge de grille utile au circuit, ΔQ_g est égale à 19 nC, ainsi pour obtenir une tension de seuil de 3 V la valeur du condensateur d'émulation doit être égale à 6.3 nF/x, avec « x » étant le coefficient diviseur appliqué dans le miroir. En effet, si le convertisseur est unidirectionnel en puissance, le composant assurant la fonction « interrupteur » et celui assurant la fonction « diode » sont bien définis, aux exceptions de fonctionnement à faible charge près. Il est donc possible de définir des niveaux de seuil distincts afin d'optimiser le contrôle des interrupteurs au mieux, ce qui est d'autant plus vrai pour une technologie trench, comme évoqué ci-dessus. Comme indiqué, les résultats expérimentaux présentés ici ont servi aux simulations spice du circuit.

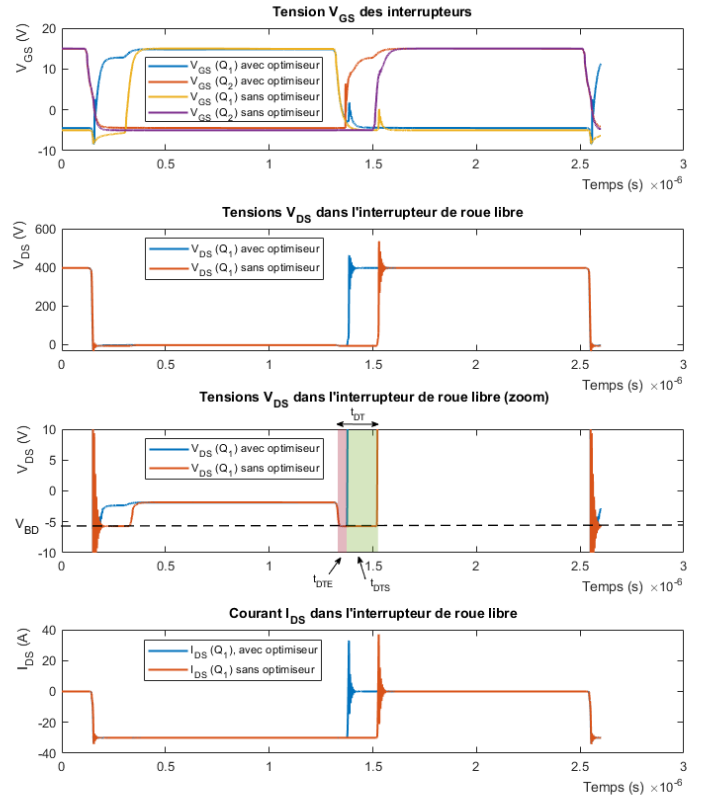


FIG. 7. Tensions $v_{GS}(t)$ (Q1 & Q2), $v_{DS}(t)$ et courants $i_{DS}(t)$ (Q1) pour une commutation classique et une commutation avec temps-mort réduit

5. RÉSULTATS DE SIMULATIONS

En complément de ces premiers résultats expérimentaux, le gate driver incluant le circuit de réduction de temps mort a été caractérisé par simulation sous LTSpice. Cette simulation consiste à piloter les deux interrupteurs (Wolfspeed C3M0065090J) d'un demi-pont avec un temps-mort fixe et d'y associer le circuit présenté précédemment. Les formes d'ondes importantes sont présentées dans la figure 7 et sont comparées avec et sans ajout du circuit de réduction. En analysant les tensions $v_{GS}(t)$ et $v_{DS}(t)$ il est possible de voir le gain sur les temps-mort, la valeur effective de ce temps mort (t_{DTE}) se trouvant réduite à 40 ns, soit une réduction de 120 ns (t_{DTS}) par rapport au temps mort fixe programmé (t_{DT} , ici fixé à 160 ns). Cette réduction engendre également une baisse des oscillations de v_{DS} et i_{DS} à l'amorçage de l'interrupteur en commutation dure. Cette baisse d'oscillations peut être due aux effets de reverse recovery, limités par une conduction plus courte de la diode intrinsèque. Le gain principal se trouve sur les pertes en conduction de la diode intrinsèque du transistor, avec une réduction proportionnelle au temps réduit. Cela peut s'observer sur la tension v_{DS} , ne chutant à V_{BD} que pendant 40 ns.

Pour quantifier davantage le gain de cette stratégie de réduction des temps morts, les pertes en commutation ont été calculées à partir des données de simulation pour différents courants I_{DS} et températures de jonction sur une période (un turn-on et un turn-off de l'interrupteur). Les résultats de cette étude sont présentés au travers de la Figure 8. Les pertes sont séparées en deux ensembles, l'un comprenant la conduction de la diode intrinsèque et/ou du canal, cf équation 5, l'autre prenant en compte le crossover lors de la commutation, calculé selon la méthodologie proposée dans [9], cf équation 6.

$$E_{BD} = \int_{t_2}^{t_1} v_{DS}(t) \cdot i_{BD}(t) dt + \int_{t_3}^{t_2} R_{DS(on)} \cdot i_{DS}^2(t) dt \quad (5)$$

$$E_{SW} = E_{ON} + E_{OFF} \quad (6)$$

$$E_{ON} = \int_{t_{DSQ2=0.1I_{load}}}^{t_{V_{dsQ2}=0.1V_{dc}}} v_{DSQ1}(t) \cdot i_{DS1}(t) + v_{DS2}(t) \cdot i_{DS2}(t) dt \quad (7)$$

$$E_{OFF} = \int_{t_{V_{dsQ2}=0.1V_{dc}}}^{t_{I_{dsQ2}=0.1I_{load}}} v_{DS1}(t) \cdot i_{DS1}(t) + v_{DS2}(t) \cdot i_{DS2}(t) dt \quad (8)$$

avec $[t_1; t_2]$ l'intervalle de conduction de la diode intrinsèque et $[t_2; t_3]$ l'intervalle de conduction du canal (temps de conduction de la diode optimisé). A titre de comparaison, le calcul théorique est également effectué en considérant la chute de tension de la body diode à courant fixe, information donnée dans la data-sheet au travers de la caractéristique de conduction dans le 3^{ème} quadrant, cf équation 9.

$$E_{BD} = V_{DS} \cdot I_{DS} \cdot t_{DTS} \quad (9)$$

De manière générale, l'ajout du circuit d'optimisation de temps-mort permet de réduire les pertes en commutation. En effet, une réduction de l'énergie dissipée de près de 20% est obtenue pour un courant $I_{DS} = 30$ A à une température de jonction de 25 °C et une tension de bus de 400 V, 100 µJ contre 125 µJ. Cette réduction de pertes est principalement due à la réduction du temps de conduction de la body diode, avec une réduction de 50% de la contribution de celle-ci (toujours à 30 A et 25 °C), 25 µJ contre 50 µJ sans optimiseur et de 70% à 10 A, 25 °C, 4 µJ contre 14 µJ. Les pertes sont ainsi réduites de manière significative par rapport à un temps mort fixe de 160 ns. Cependant, les pertes de la body diode sont remplacées par des pertes en conduction du canal, plus faibles mais toujours existantes. Cela explique que l'énergie économisée en réduisant la durée de conduction de la diode ne se retrouve pas totalement sur l'énergie totale de commutation. Ce phénomène est d'ailleurs visible avec l'augmentation de la température, le canal devenant plus résistif à mesure qu'elle augmente. Ce gain sur les pertes en commutation peut permettre deux axes d'amélioration distincts :

1. Maintenir le fonctionnement du convertisseur tel-qu'il ($f_{sw} = c_{st}$) afin d'atteindre un meilleur rendement tout en réduisant légèrement la taille du refroidisseur,
2. Travailler à isoperthes, ce qui signifie une augmentation de f_{sw} permettant ainsi de réduire la taille des composants passifs, notamment des inductances de filtrage.

Il est à noter que ce gain est proportionnel au temps optimisé, cf équation 5 et pourrait être encore amélioré grâce à l'utilisation de composants offrant de meilleurs temps de propagation, ou bien en faisant le lien entre temps de propagation et charge de grille, ce qui se traduirait par un niveau de seuil revu légèrement à la baisse afin de compenser ce temps de propagation. De même, il est également intéressant de noter que les effets liés au reverse recovery s'intensifient avec l'augmentation de la température et ainsi le gain pourrait être meilleur à haute température de ce point de vue.

6. CONCLUSIONS

Ce papier présente un circuit de gate driver visant à réduire les temps morts d'une cellule de commutation utilisant des MOSFET SiC à l'aide d'une mesure du courant de grille grâce à un miroir de courant. Le concept consiste à faire une estimation de la charge de grille au travers du miroir de courant, afin de définir un niveau permettant de faire le basculement d'un interrupteur à l'autre sans risque de court-circuit. Dans le but d'optimiser au mieux le circuit d'estimation de charge et de définir le

Energies totales de commutation et contribution de la diode body de la cellule demi-pont à 25°C et 150°C (Wolfspeed C3M0065090J)

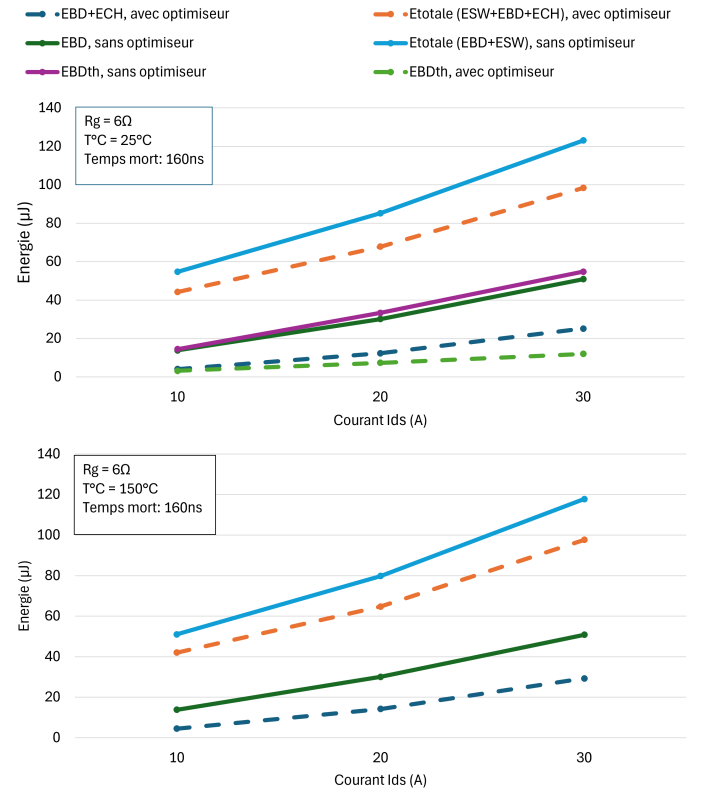


FIG. 8. Pertes en commutation totales et contribution de la diode body simulées sur une période avec et sans optimiseur de temps morts pour un demi-pont composé de MOSFETs Wolfspeed C3M0065090J à 25 °C et 150 °C

seuil de déclenchement adéquat, des mesures expérimentales de la charge de grille ont été réalisées pour différents points d'opération. Ces mesures permettent de mettre en évidence l'impact du courant de charge et de la tension de bus sur la caractéristique de charge. Dans le but d'une optimisation fine des temps-mort il est important de prendre en considération la commutation douce car la diminution de Q_g en ZVS peut être significative, notamment dans le cas de MOSFET de type trench. Pour compléter ces premiers résultats expérimentaux le circuit de gate driver a été caractérisé en simulation sous LTSpice afin de mettre en évidence le gain potentiel sur les pertes en commutation. Les résultats montrent que le temps-mort peut être réduit à 40 ns. Cette réduction représente jusqu'à 20% de pertes en commutation en moins, avec une réduction de la contribution de la body-diode jusqu'à 70% par rapport à un temps mort fixe de 160 ns. Ce gain non négligeable ouvre de nouvelles perspectives pour le design de convertisseurs haut-rendement ou bien de forte densité grâce à l'augmentation de la fréquence de découpage afin de fonctionner à isoperthes. Les prochaines étapes de ce projet portent sur la fabrication d'un prototype de ce gate driver afin d'en réaliser la caractérisation, et de confirmer expérimentalement les résultats obtenus en simulation.

7. RÉFÉRENCES

- [1] Roman Horff, Andreas Maerz, and Mark-M. Bakran. Analysis of reverse-recovery behaviour of sic mosfet body-diode - regarding dead-time. In *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pages 1–8, 2015. 1
- [2] Vahid Yousefzadeh and Dragan Maksimovic. Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers. *IEEE Transactions on Power Electronics*, 21(4) :994–1002, 2006. 1

- [3] Di Han and Bulent Sarlioglu. Deadtime effect on gan-based synchronous boost converter and analytical model for optimal deadtime selection. *IEEE Transactions on Power Electronics*, 31(1) :601–612, 2016. [1](#)
- [4] Zheyu Zhang, Haifeng Lu, Daniel J. Costinett, Fred Wang, Leon M. Tolbert, and Benjamin J. Blalock. Model-based dead time optimization for voltage-source converters utilizing silicon carbide semiconductors. *IEEE Transactions on Power Electronics*, 32(11) :8833–8844, 2017. [1](#)
- [5] Akimasa Niwa, Takanori Imazawa, Ryota Kojima, Masahiro Yamamoto, Takanari Sasaya, Takanori Isobe, and Hiroshi Tadano. A dead-time-controlled gate driver using current-sense fet integrated in sic mosfet. *IEEE Transactions on Power Electronics*, 33(4) :3258–3267, 2018. [1](#)
- [6] Viktoria Schwarzott, Carsten Kuring, Nick Wieczorek, and Sibylle Dieckhoff. Self-controlled driver circuit optimizing dead time in fast gan converters. *CIPS 2024 - 13th International Conference on Integrated Power Electronics Systems*, pages 446–452, 2024. [1](#)
- [7] Anja Zajc, Franci Zajc, Ivica Zajc Zdesar, and Franc Zajc. Nzid (near zero interlock delay) driving principle. In *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pages 1–9, 2014. [1](#)
- [8] Julien Morand, Remi Perrin, Johan Le Lesle, and Guillaume Lefevre. Design and evaluation of a building block for a 100kw dc/dc converter based on pcb process. In *CIPS 2022; 12th International Conference on Integrated Power Electronics Systems*, pages 1–6, 2022. [3](#), [3](#)
- [9] Wolfspeed. Application note prd-03043 - measuring switching and conduction losses in ltspice simulation software. [5](#)