

Simulation d'architectures trois niveaux en vue de l'intégration au sein d'un module de puissance

Babacar LEYE^{a,b}, Guillaume VINÉ^b, Paul-Étienne VIDAL^{a,b}

^a Université de Pau et de Pays de l'Adour, Pau, France

^b Laboratoire Génie de Production, Université de Technologie de Tarbes Occitanie Pyrénées, Tarbes, France

RÉSUMÉ –Les convertisseurs multiniveaux représentent une alternative aux topologies classiques à deux niveaux pour les applications haute tension et forte puissance. Dans cet article, la conception optimisée d'un module de puissance pour ces architectures est envisagée. Pour cela, différentes topologies multiniveaux série sont comparées en termes de performances pour un point de fonctionnement spécifique. L'analyse inclut des critères tels que la répartition des pertes, les températures des interrupteurs et l'impact des stratégies de modulation. Ces résultats, préliminaires à la démarche de conception, permettent d'orienter le choix d'architecture en fonction des besoins d'une application ciblée.

Multiniveaux série, Topologies, Simulation, Modulation, Module de puissance.

1. INTRODUCTION

Les convertisseurs multiniveaux se distinguent des topologies classiques à deux niveaux par des avantages significatifs, notamment une amélioration de la qualité des formes d'onde et une réduction des pertes de commutation [1]. De ce fait, diverses architectures multiniveaux ont connu un développement important ces dernières années et sont de plus en plus répandues dans l'industrie pour un large éventail d'applications [2]. Les topologies parallèles, bien que non traitées dans cet article, présentent des avantages pour les applications à fort courant en limitant les contraintes d'arc électrique et les décharges partielles [3]. Dans le contexte des applications haute tension, où la réduction de la taille des câbles est un facteur clé, les convertisseurs multiniveaux série sont souvent privilégiés [4]. Ces architectures peuvent être analysées à partir de divers critères, tels que les pertes, les contraintes thermiques, les harmoniques, les boucles de commutation, etc. [5].

L'objectif principal de ces travaux est la conception d'un assemblage optimisé d'un module de puissance en lien avec une architecture multiniveau adaptée à une application cible, dont le choix constitue une étape préliminaire critique. L'article présente d'abord les architectures multiniveaux série considérées puis la démarche suivie pour orienter cette sélection, ensuite expose les résultats de simulation obtenus sous PSIM qui permettent de comparer plusieurs architectures. Enfin, il se conclut par l'analyse des résultats issus de LTSpice appliqués à l'architecture retenue.

2. ARCHITECTURES MULTINIVEAUX SERIE

Cinq architectures série sont considérées et présentées à la figure 1 : H-Bridge, Flying Capacitor (FC), Neutral Point Clamped (NPC), T-Type NPC (T-Type) et Active Neutral Point Clamped (ANPC). Le H-Bridge est une topologie simple composée de quatre interrupteurs, offrant trois niveaux de tension de sortie. Bien que les pertes soient équitablement réparties, cette structure est limitée par ses performances à haute tension du fait que la tension aux bornes des interrupteurs n'est pas fractionnée. Grâce à ces condensateurs flottants intégrés, le FC permet le fractionnement de la tension. Cependant, cela nécessite l'ajout de composants passifs, à l'inverse du NPC

qui introduit des diodes de clamping pour limiter la tension supportée par les interrupteurs. Cependant, la distribution inégale des pertes reste une problématique [6]-[7]. Le T-Type combine les avantages des convertisseurs deux et trois niveaux avec moins de composants et des pertes de conduction réduites. Cependant, certains interrupteurs doivent supporter et commuter tout le bus DC, ce qui dégrade ses performances à haute fréquence et tension [8]. Le ANPC est une évolution de la NPC qui ajoute des interrupteurs actifs pour améliorer selon le choix de commande, la répartition des pertes et des températures ou les boucles de commutation [9]-[10].

3. CONTRAINTES ET OBJECTIFS DE CONCEPTION

La conception d'un module de puissance pour une architecture multi-niveau intégrée nécessite de prendre en compte plusieurs contraintes interdépendantes : pertes et gestion thermique, compatibilité électromagnétique (CEM) interne et externe, encombrement et coût de fabrication. L'objectif est d'optimiser conjointement la topologie du convertisseur, la commande et l'assemblage physique du module pour une prise en compte optimisée de ces contraintes.

La première phase repose sur des simulations électriques et thermiques. Le logiciel PSIM est utilisé pour modéliser le comportement global des architectures, intégrer des modèles thermiques de composants (IGBT, SiC MOSFET) et évaluer les pertes et températures de jonction. Cette étape permettra d'identifier une architecture préférentielle parmi celles étudiées. LTSpice complète cette analyse en permettant une étude fine des dynamiques de commutation et des phénomènes transitoires sur l'architecture sélectionnée. Une modélisation CAO est prévue pour concevoir l'assemblage du module, en lien avec les contraintes thermiques et électromagnétiques. La validation expérimentale, à travers une maquette intégrant des composants discrets, permettra d'affiner les choix de conception dans une démarche itérative. Ce processus global repose ainsi sur une boucle de rétroaction entre modélisation, simulation, conception physique et expérimentation, permettant d'aboutir à un module de puissance fiable, performant, et adapté aux exigences spécifiques de l'application visée.

4. SIMULATIONS ET RESULTATS

Les analyses comparatives visant à évaluer différentes architectures ont été réalisées en s'appuyant sur un point de fonctionnement spécifique, dont les paramètres sont détaillés dans le tableau 1. Deux composants de puissance distincts ont été considérés pour cette étude : un IGBT silicium (Si) de référence IKQ75N120CH3 et un MOSFET carbure de silicium (SiC) C2M0160120D.

Le point de fonctionnement simulé correspond aux conditions de sortie spécifiées dans le tableau 1, impliquant des tensions continues d'entrée de 400 V pour le H-Bridge et +/-400 V pour les autres architectures. Cela permet une comparaison des performances des différentes architectures étudiées avec les mêmes conditions de charge.

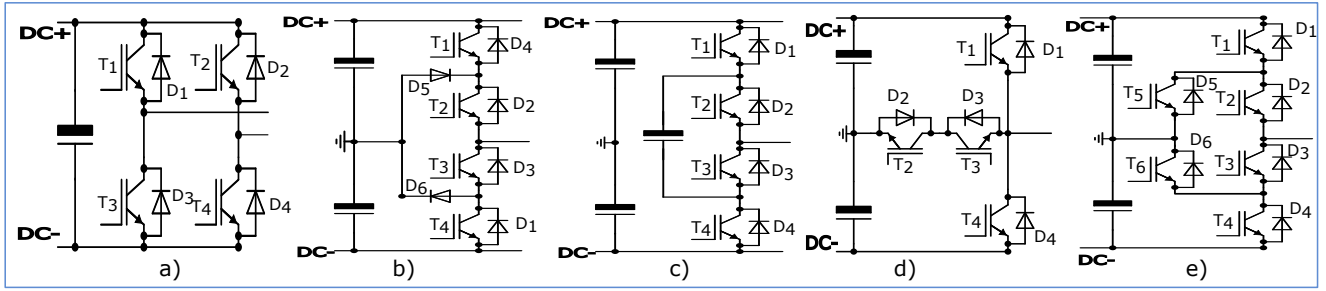


FIG. 1. Architectures multiveaux série à base de composants IGBT avec Diode en parallèle : a) H-Bridge b) NPC c) FC d) T-Type e) ANPC

TABLEAU 1. Conditions de simulation

Paramètre	IKQ75N120CH3	C2M0160120D
Calibre Tension/Courant	1200 V/ 75 A	1200 V/ 18 A
$R_{DS(on)}$ (Ω)	-	0.16
Courant de sortie (A)	50	12
R_{TH-D} Résistance thermique dissipateur ($^{\circ}C/W$)	0.02	0.2
Paramètres communs		
Bus d'entrée HBRIDGE (V)	400	
Bus d'entrée autres architectures (V)	+/-400	
Tension de sortie efficace (V)	270	
Fréquence apparente de sortie (kHz)	20	
Fréquence de la charge (Hz)	50	
Facteur de puissance	1	
Indice de modulation	0.95	
Température ambiante ($^{\circ}C$)	25	
R_{TH-BD} Résistance thermique boîtier-dissipateur ($^{\circ}C/W$)	0.36	

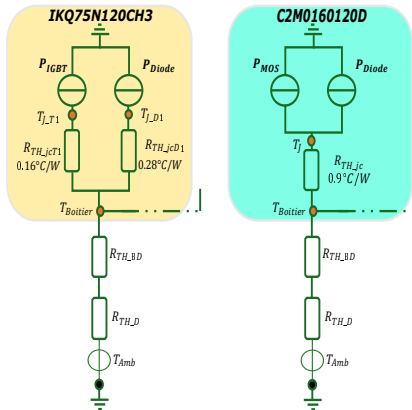


FIG. 2. Modèle thermique PSIM

TABLEAU 2. Décomposition des pertes dans les transistors et les diodes

	Pertes
P_{IGBT} ou P_{MOS}	$P_{cond,Ti} + P_{com,Ti}$
P_{Diode}	$P_{cond,Di} + P_{com,Di}$
Pertes en conduction (P_{cond})	$P_{cond,Ti} + P_{cond,Di}$
Pertes par commutation (P_{com})	$P_{com,Ti} + P_{com,Di}$
Pertes globales (P_{glo})	$P_{cond} + P_{com}$

La gestion thermique des deux composants a été modélisée comme le montre la figure 2, en considérant l'utilisation d'un dissipateur de dimensions $400 \times 400 \times 40 \text{ mm}$ et de résistance thermique $0.2^{\circ}C/W$ en convection naturelle. Concernant l'IGBT en silicium (Si), le point de fonctionnement à 50 A a nécessité la prise en compte d'une ventilation forcée dans la simulation, conduisant à une résistance thermique dissipateur-air de $0.02^{\circ}C/W$ [11]. En effet, les simulations préliminaires pour l'IGBT sans ventilation ont révélé un dépassement de la température maximale admissible au niveau de la jonction du composant. À l'inverse, le MOSFET en SiC, grâce à de meilleures performances en termes de pertes et à un point de fonctionnement à plus faible courant (8 A), n'a pas nécessité la considération de la ventilation dans la simulation.

Les pertes considérées dans les simulations incluent à la fois les pertes en conduction et celles par commutation, pour l'ensemble des composants, transistors et diodes. Le tableau 2 détaille cette décomposition des pertes.

4.1. Analyse des architectures avec PSIM

Les résultats concernant la répartition des pertes (conduction et commutation) et la température de jonction dans les conditions de fonctionnement et de refroidissement définies, sont présentés dans cette section.

4.1.1. Pertes globales

Les pertes globales présentées sur le tableau 3 montrent que, pour les deux composants sélectionnés, l'architecture T-Type est la plus efficace, affichant les pertes les plus faibles par rapport aux autres architectures. Cette performance est principalement due à la réduction significative des pertes en conduction, car l'architecture T-Type ne nécessite qu'un seul interrupteur en conduction par phase.

TABLEAU 3. Comparaisons des pertes (W)

Architectures	IKQ75N120CH3			C2M0160120D		
	P_{cond}	P_{com}	P_{glo}	P_{cond}	P_{com}	P_{glo}
HBRIDGE	102.67	97.48	200.15	23.80	0.24	24.04
FC	102.66	97.47	200.13	23.80	0.24	24.04
NPC	102.54	106.31	208.85	23.17	0.12	23.29
TTYPE	67.61	106.12	173.73	16.93	0.24	17.17
ANPC1	102.57	106.41	208.98	23.80	0.24	24.04
ANPC2	102.75	107.49	210.24	23.82	0.24	24.06
ANPC3	102.31	97.03	199.34	23.78	0.24	24.02

4.1.2. Répartition des pertes

Les figures 3 et 4 présentent la répartition des pertes pour les deux composants choisis. Les pertes en conduction sont similaires pour toutes les architectures, à l'exception de l'architecture T-Type, en raison du nombre d'interrupteurs conduisant simultanément. Ainsi, la distinction entre les différentes topologies étudiées repose principalement sur la répartition des pertes de commutation entre les interrupteurs. Dans les architectures H-Bridge et FC, l'ensemble des interrupteurs commute à la fréquence de découpage, entraînant une distribution homogène des pertes de commutation. En revanche, les architectures T-Type, NPC, ANPC-PWM1 et ANPC-PWM2 présentent une asymétrie dans la sollicitation des interrupteurs : certains commutent à la fréquence de découpage, d'autres uniquement à la fréquence de la charge. Cette inégalité se traduit par une concentration des pertes sur certains composants, ce qui peut affecter les performances thermiques et la fiabilité globale du convertisseur.

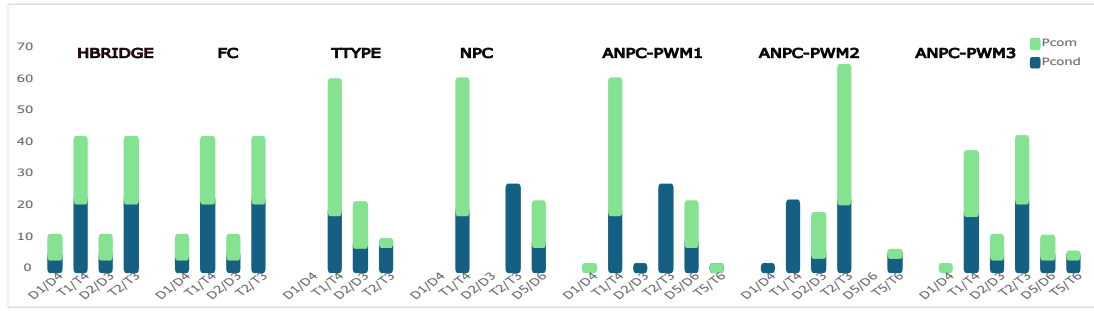


FIG. 3. IKQ75N120CH3-Répartition des pertes en conduction (P_{cond}) et par commutation (P_{com}), $i_{out} = 50A$

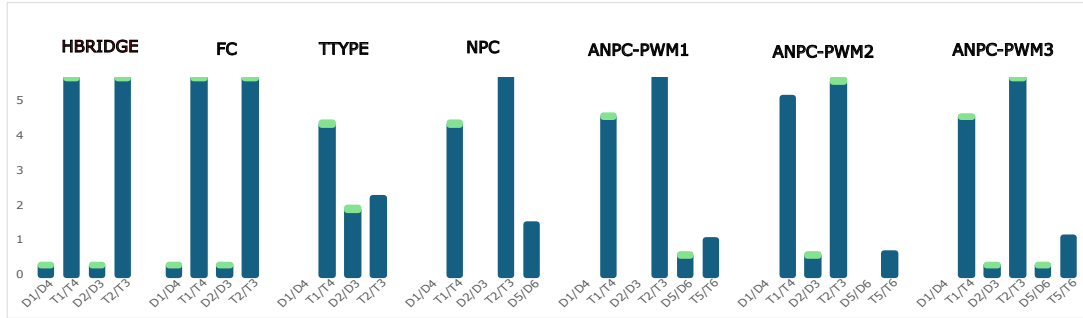


FIG. 4. C2M0160120D-Répartition des pertes en conduction (P_{cond}) et par commutation (P_{com}), $i_{out} = 12A$

Une stratégie de commande spécifique, nommée ANPC-PWM3, impose une commutation à la fréquence de découpage pour tous les interrupteurs. Elle permet ainsi une meilleure répartition des pertes et contribue à améliorer l'homogénéité thermique de l'architecture.

L'utilisation de MOSFETs en carbure de silicium (SiC) permet de réduire significativement les pertes par commutation, ce qui favorise une répartition plus homogène des pertes entre les différents interrupteurs, indépendamment de la stratégie de commande ou de la topologie employée. Cependant, les résultats présentés ici sont obtenus pour une fréquence de commutation de 20 kHz. Cela correspond à une fréquence de commutation relativement faible au regard du potentiel des composants SiC. Il est à noter que l'augmentation de cette fréquence entraînerait une élévation significative des pertes de commutation. Ainsi, la distribution de ces pertes présenterait des caractéristiques similaires à celles observées avec les IGBT, notamment en ce qui concerne l'asymétrie des pertes de commutation.

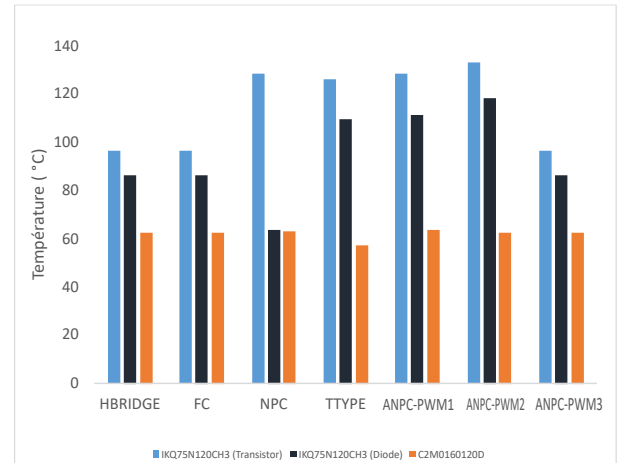


FIG. 5. Température maximale de jonction

4.1.3. Répartition de la température

La distribution des températures de jonction est étroitement corrélée à la répartition des pertes, menant aux mêmes conclusions que celles établies précédemment. Comme illustré à la figure 5, avec le composant IGBT Si, les architectures H-Bridge, FC et l'implémentation de la commande ANPC-PWM-3 présentent les températures de jonction maximales les plus basses parmi les configurations étudiées. Cette caractéristique suggère un potentiel de fiabilité supérieur pour ces architectures dans les conditions de fonctionnement considérées. Contrairement à l'IGBT, les simulations révèlent des températures de jonction similaires pour le MOSFET à travers la majorité des architectures analysées. Cette observation s'explique par la nature des pertes dans ce composant. Les pertes par commutation du MOSFET se révèlent très faibles, voire négligeables, dans ce contexte. Par conséquent, les pertes de conduction, qui sont comparables pour toutes les architectures à l'exception de la topologie T-Type, deviennent le facteur dominant influençant la température de jonction.

4.1.4. Comparaison des architectures

L'IGBT met en avant les architectures H-Bridge, FC et ANPC-PWM3 pour leur bonne répartition des pertes et de la température. Le T-Type reste performant en pertes globales. En ce qui concerne le MOSFET SiC, ses faibles pertes de commutation représentent un avantage notable par rapport à l'IGBT. Les résultats obtenus à la fréquence de commutation de 20 kHz ne mettent pas en évidence d'architectures particulières. L'intégration du MOSFET SiC permet alors d'envisager une augmentation de la fréquence de commutation, permettant notamment la réduction du taux de distorsion harmonique en sortie de l'onduleur. Une autre approche consiste à associer le MOSFET SiC à l'IGBT dans le cadre de modules de puissance hybrides, afin de pallier les limitations observées en termes de distribution des pertes dans les architectures NPC, ANPC-PWM1, ANPC-PWM2 et T-Type.

Ainsi, l'ANPC se distingue par sa flexibilité : réduction des boucles de commutation et hybridation technologique (PWM1 et PWM2), ou répartition optimisée des pertes hors hybridation (PWM3). D'autres stratégies de commande peuvent également être envisagées avec cette architecture, ouvrant la voie à de nombreuses perspectives [12].

Ce potentiel en fait notre choix pour concevoir un module de puissance. Pour ces raisons, l'ANPC est étudiée plus en détail dans la suite, en mettant en œuvre des simulations sur le logiciel LTspice.

4.2. Analyse des pertes avec LTspice

Dans cette section, nous exploitons les capacités de simulation de LTspice pour analyser plus finement les dynamiques de commutation dans un convertisseur ANPC trois niveaux. L'objectif est de représenter de façon plus réaliste que sur PSIM les phénomènes associés à la commutation. L'analyse est volontairement centrée sur le MOSFET SiC, étant le composant présentant les meilleures performances en commutation. Pour ces simulations, le modèle SPICE du MOSFET SiC est celui fourni par le constructeur.

Deux configurations de simulation ont été considérées :

- **Cas a)** : seuls les éléments internes des MOSFETs (comme les inductances parasites intégrées dans les modèles) sont pris en compte ;
- **Cas b)** : en plus des éléments précédents, certaines inductances parasites du circuit sont ajoutées. Les valeurs de ces inductances sont issues de [13]. L'objectif ici est de montrer, à travers un exemple représentatif, l'impact significatif de ces éléments parasites sur les pertes de commutation et les surtensions. À terme, les valeurs précises des inductances parasites seront extraites par simulation électromagnétique du modèle CAO et confirmées par la caractérisation expérimentale du prototype final.

Le schéma de la figure 6 illustre ces deux configurations et le tableau 4 donne les valeurs des inductances utilisées lors des simulations.

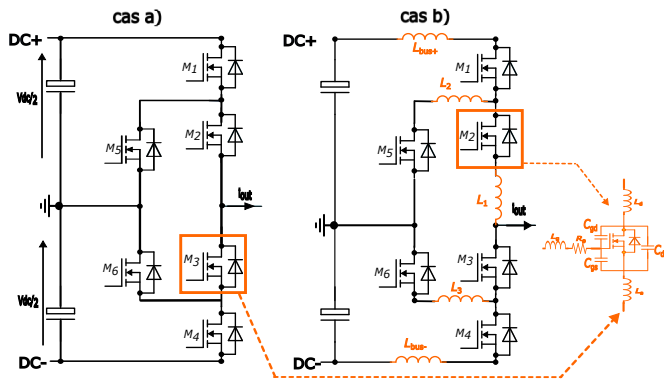


FIG. 6. Schéma électrique d'un bras du convertisseur ANPC à trois niveaux : a) sans inductance parasite, b) avec inductances parasites ajoutées

TABLEAU 4. Valeurs des inductances parasites utilisées dans les simulations

Paramètres	L_d	L_s	L_g	L_1	L_2	L_3	L_{bus+}	L_{bus-}
Valeur (nH)	6.0	9.0	15.0	34.1	5.2	5.0	9.6	9.6

4.2.1. Boucles de commutation et impact des inductances parasites

La stratégie ANPC-PWM1 se caractérise par une commutation des interrupteurs M2 et M3 à la fréquence de la charge (LF), tandis que les autres interrupteurs fonctionnent à haute fréquence (HF). À l'inverse, dans la stratégie PWM2, M2 et M3 commutent à haute fréquence, et les autres à la fréquence de la charge. Enfin, la stratégie PWM3 adopte une approche où tous les interrupteurs commutent à la fréquence de découpage (HF/HF) [9]. Cette distinction entre les stratégies ANPC-PWM1, PWM2 et PWM3 ne se limite pas à la fréquence de commutation des interrupteurs ; elle influence également les chemins de courant activés lors des transitions d'état.

En effet, chaque mode de modulation sollicite des boucles de commutation différentes, ce qui impacte directement les performances de l'onduleur, notamment en termes de pertes de commutation et de surtensions.

Les figures 7 et 8 présentent les deux principales boucles de commutation identifiées dans l'onduleur ANPC à trois niveaux. Ici, les boucles de commutations sont analysées dans le cas b). En effet dans les deux cas a) et b), les topologies de boucle restent inchangées, mais leurs valeurs globales diffèrent significativement. La stratégie de commande ANPC-PWM1 met principalement en jeu une boucle de commutation courte, caractérisée par un chemin de courant restreint. Tandis que dans les commandes PWM2 et PWM3, les commutations s'effectuent majoritairement via une boucle plus longue, impliquant davantage de composants et donc une inductance équivalente plus élevée.

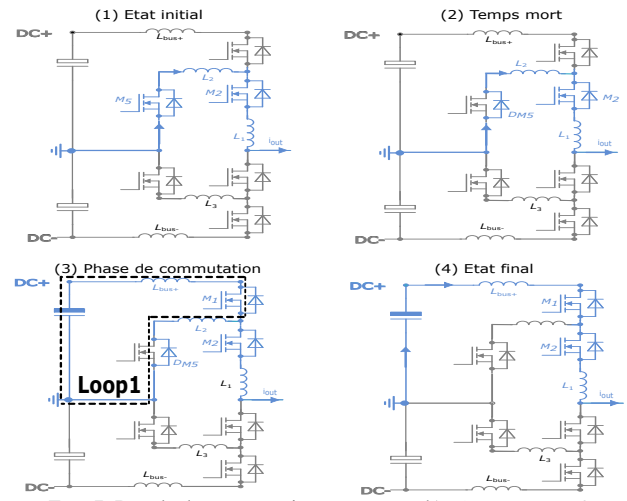


FIG. 7. Boucle de commutation courte, cas b) : $i_{out}, v_{out} > 0$

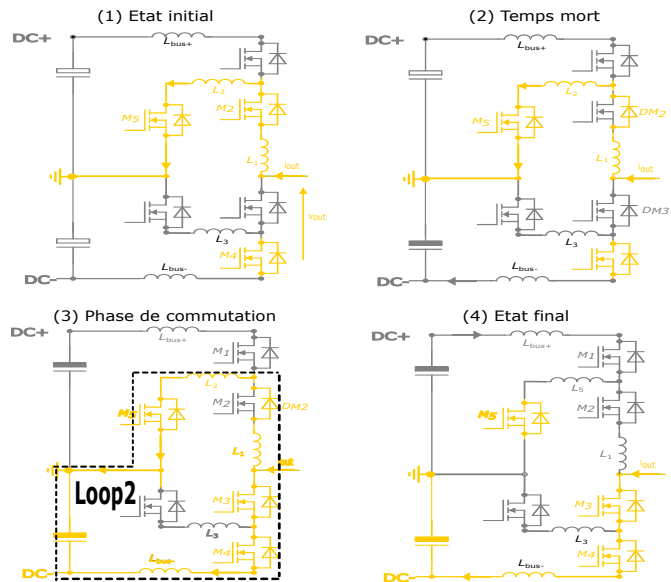


FIG. 8. Boucle de commutation longue, cas b) : $i_{out}, v_{out} < 0$

Les expressions théoriques des inductances équivalentes associées à chaque boucle sont données par :

$$\text{courte : } L_{\text{loop1}} = L_{\text{bus+}} + L_{d1} + L_{s1} + L_2 + L_{d5} + L_{s5} \quad (1)$$

$$\text{longue : } L_{\text{loop2}} = L_{d5} + L_{s5} + L_{d2} + L_{s2} + L_1 + L_{d3} + L_{s3} + L_{d4} + L_{s4} + L_{\text{bus-}} \quad (2)$$

TABLEAU 5. Comparaison des inductances de boucle avec et sans éléments parasites

	parasites	
	cas a)	cas b)
L_{loop1} (nH)	30	44.6
L_{loop2} (nH)	60	99.1

L'analyse du tableau 5 met en évidence une augmentation de l'inductance totale lorsque les inductances parasites sont prises en compte. Cette augmentation est particulièrement marquée pour la boucle longue (L_{loop2}), utilisée dans les stratégies ANPC-PWM2 et PWM3. Cette configuration induit des surtensions plus élevées aux bornes des interrupteurs, aggravées par les effets de résonance dans les boucles plus longues.

La figure 9 illustre ces phénomènes à travers l'évolution de la tension drain-source (V_{ds}) lors d'une commutation. On y observe :

- une légère surtension dans le cas du ANPC-PWM1, liée à une boucle courte et donc à une faible inductance ;
- une surtension nettement plus prononcée pour les stratégies ANPC-PWM2 et PWM3, cohérente avec la plus grande valeur de L_{loop2} ;
- des oscillations de tension plus importantes, directement corrélées à la résonance entre inductance parasite et capacité de sortie du MOSFET.

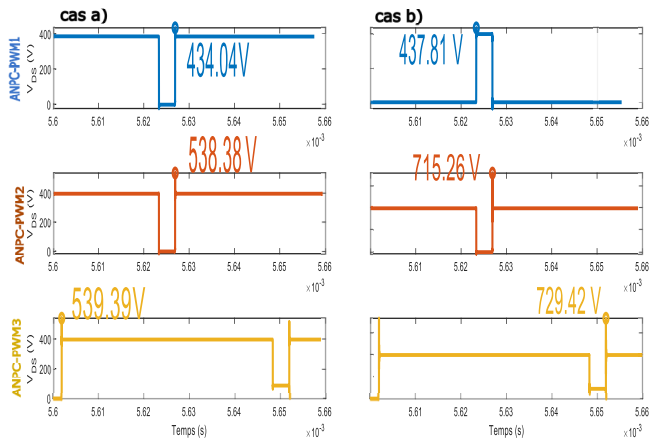


FIG. 9. Évolution de la tension V_{ds} pour différentes stratégies de modulation dans les cas a) et b) pour le composant M1

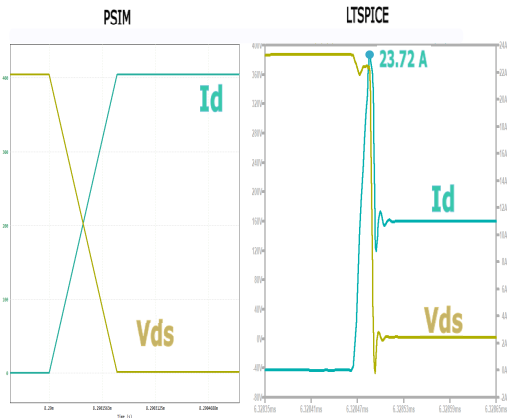


FIG. 10. Formes d'onde V_{ds} et I_d à la commutation pour le composant M1

Ces résultats démontrent l'impact significatif des éléments parasites sur les comportements dynamiques du convertisseur, et soulignent l'importance de leur modélisation pour obtenir une estimation réaliste des contraintes électriques imposées aux composants.

En complément des observations relatives aux surtensions, on identifie également des phénomènes de sur-courant lors des transitions de commutation, comme identifié sur la figure 10 à 23.72A. Comme expliqué dans [14], ces pics de courant sont principalement liés au recouvrement inverse des diodes, et leur amplitude est proportionnelle à la vitesse de commutation du courant. Par ailleurs, les résonances engendrées par les éléments parasites du circuit — notamment les capacités et les inductances — renforcent ce sur-courant. Ce phénomène contribue non seulement à l'augmentation des pertes de commutation et aux interférences électromagnétiques, mais peut aussi affecter la fiabilité du convertisseur.

Concernant plus spécifiquement les surtensions, la stratégie de commande ANPC-PWM1 apparaît comme la plus avantageuse. Ces résultats devront être mis en perspective avec les autres contraintes fonctionnelles du convertisseur afin d'orienter vers un choix optimisé de la stratégie de commande et du design global de l'architecture.

4.2.2. Comparaison des pertes entre PSIM et LTspice

Un algorithme de traitement des données a été utilisé pour extraire et distinguer les pertes en conduction et par commutation à partir de la puissance instantanée, définie par le produit $V_{ds} \times I_D$ aux bornes de chaque interrupteur. La figure 11 illustre l'évolution des pertes. Le tableau 6 présente les pertes en conduction (P_{cond}), par commutation (P_{com}) ainsi que les pertes totales (P_{glo}) pour les trois stratégies de modulation différentes (ANPC-PWM1, PWM2, PWM3). Ce tableau compare également les résultats obtenus selon l'outil de simulation utilisé. Les résultats montrent une nette augmentation des pertes de commutation dans LTspice par rapport à PSIM, particulièrement dans le cas b). Cela met en évidence l'influence des éléments parasites sur les dynamiques de commutation. L'ajout des inductances du circuit entraîne des phénomènes transitoires accrues, traduisant une dissipation d'énergie plus importante à chaque transition.

Les pertes augmentent de manière uniforme pour l'ensemble des composants qui commutent. Ainsi, bien que cela affecte les performances globales de l'architecture, les conclusions obtenues sous PSIM concernant la comparaison entre les différentes stratégies de commande demeurent valides.

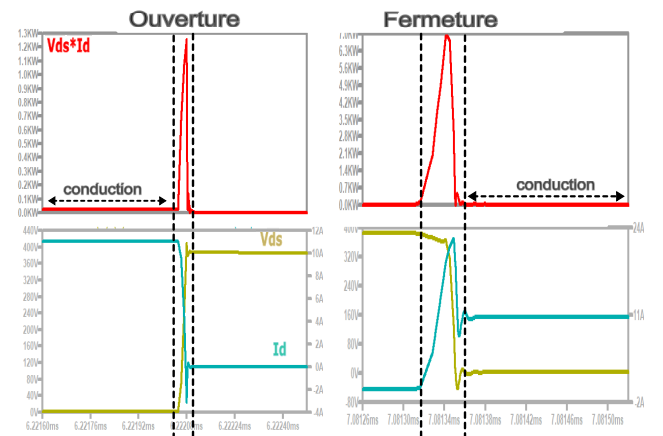


FIG. 11. Évolution de la puissance instantanée $V_{ds} \times I_D$ lors de commutation à l'ouverture et à la fermeture pour le composant M1

Finalement notons que LTSpice reste contraignant en termes de durée de simulation et d'extraction des pertes. Ces limites et les résultats cohérents obtenus entre les deux méthodes de simulations soulignent l'intérêt de combiner des outils complémentaires selon le niveau d'analyse requis.

TABLEAU 6. Comparaison des pertes pour les différentes stratégies ANPC

Stratégie	Type	PSIM	LTspice a)	LTspice b)
ANPC-PWM1	Pcond (W)	20.15	22.33	22.46
	Pcom (W)	0.21	4.06	4.29
	Pglo (W)	20.36	26.39	26.75
ANPC-PWM2	Pcond (W)	24.58	22.06	22.17
	Pcom (W)	0.24	3.31	4.28
	Pglo (W)	24.82	25.37	26.45
ANPC-PWM3	Pcond (W)	20.24	22.20	22.29
	Pcom (W)	0.24	3.38	4.43
	Pglo (W)	20.48	25.58	26.72

5. CONCLUSION

Cet article a présenté la première phase d'une méthodologie de conception d'un module de puissance, reposant sur une double approche : simulation électrique et simulation thermique. L'objectif était d'évaluer différentes architectures multiniveaux série en vue d'un dimensionnement optimisé.

Les simulations sous PSIM, menées sur cinq architectures et deux types de composants (IGBT et MOSFET SiC), ont permis une analyse rapide de l'efficacité énergétique. Les architectures H-Bridge, PC et ANPC-PWM3 se sont distinguées avec les IGBT, tandis que les résultats sont restés plus nuancés avec les MOSFET SiC. Pour une évaluation plus fine, des simulations sous LTSpice ont été réalisées sur l'architecture ANPC, retenue pour sa flexibilité de modulation. En intégrant les inductances parasites du circuit, LTSpice a mis en évidence l'impact de ces éléments sur les pertes par commutation et les surtensions. La stratégie ANPC-PWM1 s'est révélée plus avantageuse, en limitant la boucle de commutation.

La prochaine étape consistera à réaliser à la conception CAO d'un prototype d'ANPC à trois niveaux où les éléments parasites seront extraits et utilisés dans les simulations circuit. Cela permettra de prendre en compte de manière conjointe le design de l'assemblage, le schéma de modulation et les contraintes fonctionnelles. Cette phase sera suivie par la réalisation et la caractérisation expérimentale du démonstrateur, permettant ainsi un recalage des modèles et d'une validation des simulations. Ces données alimenteront la conception complète du module de puissance, en intégrant les contraintes électriques, thermiques et physiques.

REMERCIEMENT

Ces travaux ont été financés par la Chaire d'Excellence EFICIENCE PIA-ANR-16-IDEX-0002, projet Energy And Solution for Environment - E2S UPPA.

RÉFÉRENCES

- [1] I. Harbi et al., "Common DC-Link Multilevel Converters : Topologies, Control and Industrial Applications," in *IEEE Open Journal of Power Electronics*, vol. 4, pp. 512–538, 2023.
- [2] A. Stonier et al., "Multi Level Inverter and Its Applications – An Extensive Survey," in *International Conference on Advancements in Electrical, Electronics, Communication, Computing and Automation (ICAECA)*, Coimbatore, India, 2021, pp. 1–6.
- [3] J. Rodriguez et al., "Multilevel inverters : a survey of topologies, controls, and applications," in *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724–738, Aug. 2002.
- [4] R. H. Baker, "Electric Power Converter," U.S. Patent 3,867,643, Feb. 1975.
- [5] Z. Malekjamshidi et al., "A comparative study on characteristics of major topologies of voltage source multilevel inverters," in *IEEE International Conference on Power and Energy (PECon)*, Malaysia, 2014, pp. 612–617.
- [6] A. Nabae et al., "A new neutral-point-clamped PWM inverter," in *IEEE Transactions on Industry Applications*, vol. IA-17, no. 5, pp. 518–523, Sep. 1981.

- [7] W. He et al., "An Active Thermal Control Scheme of Three-level NPC Inverters," in *IEEE 17th Conference on Industrial Electronics and Applications (ICIEA)*, Chengdu, China, 2022, pp. 540–544.
- [8] P. Schweizer and J. W. Kolar, "Design and Implementation of a Highly Efficient Three-Level T-Type Converter for Low-Voltage Applications," in *IEEE Transactions on Power Electronics*, vol. 28, no. 2, pp. 899–907, Feb. 2013.
- [9] D. Floricau et al., "Natural doubling of the apparent switching frequency using three-level ANPC converter," in *International School on Nonsinusoidal Currents and Compensation*, Lagow, Poland, 2008, pp. 1–6.
- [10] T. Bruckner and S. Bemet, "Loss balancing in three-level voltage source inverters applying active NPC switches," in *Proc. 2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No.01CH37230)*, Vancouver, BC, Canada, 2001, pp. 1135–1140, vol. 2.
- [11] Multicomp Pro, "Fiche technique du dissipateur thermique," [En ligne]. Disponible : <https://www.farnell.com/datasheets/3622736.pdf> [Consulté : avril 2025].
- [12] Y. Li et al., "A Modular Design Approach to Provide Exhaustive Carrier-Based PWM Patterns for Multilevel ANPC Converters," in *IEEE Transactions on Industry Applications*, vol. 55, no. 5, pp. 5032–5044, Sept.-Oct. 2019.
- [13] M. Chen et al., "Switching Characterization of SiC MOSFETs in Three-Level Active Neutral-Point-Clamped Inverter Application," in *2019 10th International Conference on Power Electronics and ECCE Asia (ICPE 2019 - ECCE Asia)*, Busan, Korea (South), 2019, pp. 1793–1799.
- [14] Y. Lu et al. Optimization Method of SiC MOSFET Switching Trajectory Based on Variable Current Drive. *Electronics* 2024, 13, 3020