

Niveau de saturation du courant de drain et son impact sur la robustesse des transistors GaN en régime de court-circuit répétitif

Mohamed DEDEW^{1,2}, Stéphane LEFEBVRE³, Tien-Anh NGUYEN³, Thanh-Long LE⁴, Valeria RUSTICHELLI¹, Maroun ALAM¹, Joao OLIVEIRA¹, Fabio COCCETTI¹

¹ IRT Saint-Exupéry, Toulouse, France

² SATIE, Université Paris-Saclay, ENS Paris-Saclay, Gif-Sur-Yvette, France

³ SATIE, Cnam, Paris, France

⁴ SAFRAN TECH, Magny-les-Hameaux, France

RESUME - Ce travail examine l'effet du niveau de saturation du courant de drain (I_{D-sat}) sur la robustesse en court-circuit (CC) des transistors GaN *normally-off* de 650 V de tenue en tension. Des tests ont été réalisés sur plusieurs transistors (DUTs) soumis à des CCs répétitifs de très courtes durées (≤ 500 ns), sous une tension drain-source (V_{DS}) de 400 V, en variant des paramètres tels que la tension grille-source (V_{GS}), la résistance de grille (R_G) et l'inductance parasite de source (L_S). La variation de ces paramètres influent directement sur le niveau maximum d' I_{D-sat} ($I_{D-sat-max}$) atteint pendant l'impulsion de CC. Les résultats montrent que les DUTs peuvent être très fragiles, entrant en défaillance après seulement quelques cycles de CC, parfois dès le deuxième cycle. Cette fragilité semble être due au dépassement d'un seuil critique d'énergie dissipée (ECC), qui semble également dépendre de la largeur des impulsions de CC.

Mots-clés—Court-circuit, GaN HEMT, Robustesse.

1. INTRODUCTION

Les transistors à haute mobilité électronique (HEMT) en nitrure de gallium (GaN) sont devenus de très bon candidats pour les applications en électronique de puissance, grâce à leur propriétés intrinsèques [1]. Néanmoins, leur robustesse aux régimes de CC peut être extrêmement faible et l'origine de la défaillance en CC n'est pas entièrement comprises. Parmi les explications issues de la littérature, la majeure partie des recherches lient la défaillance à l'augmentation de la température de jonction (T_J) [2] [3]. Mais dans le cas de CC de très courte durée d'impulsion (t_p), la défaillance ne peut pas être due uniquement à l'augmentation de T_J , dans la mesure où le composant n'a pas eu le temps de s'échauffer significativement. C'est la raison pour laquelle nous chercherons à analyser ici si dans un tel scénario ($t_p \leq 500$ ns), la défaillance pourrait être liée à un niveau critique d' $I_{D-sat-max}$ ou d'énergie dissipée. Bien que plusieurs travaux ont déjà montré l'effet bénéfique de la diminution de $I_{D-sat-max}$ sur la robustesse aux CC [4] [5], l'objectif de ce travail est d'analyser différentes solutions de réduction de $I_{D-sat-max}$ pendant l'impulsion de CC, afin d'étudier leur effet sur la robustesse des GaN HEMTs en régime de CC.

Les DUTs testés sont des HEMTs Shottky p-GaN, *normally-off*, 650 V – 30 A, commercialement disponibles.

2. BANC DE TEST DE COURT-CIRCUIT

Le schéma électrique ainsi qu'une photographie du banc d'essai utilisé pour les tests de CC sont présentés respectivement aux Fig. 1 et Fig. 2. Ce banc permet de réaliser des tests de CC de type 1, où le DUT entre en régime de CC alors qu'il était initialement bloqué. Ce banc se compose principalement d'une alimentation haute tension, d'un condensateur connecté en parallèle avec l'alimentation pour fournir l'énergie pendant l'impulsion de CC, et d'un IGBT de protection monté en série avec le DUT.

Les DUTs sont mis en conduction selon deux configurations distinctes : en appliquant une tension positive entre la grille et la source de puissance ou entre la grille et la source Kelvin (S_K). Afin de permettre les essais de CC dans les deux configurations, deux types de cartes filles ont été développés : l'un avec source commune, et l'autre avec S_K séparée, comme illustré à la Fig. 3. Sur les deux types de cartes filles, le DUT est monté avec son driver et une résistance de grille (R_G).

Les tensions de grille (V_G) et de sortie du driver (V_{Driver}) sont mesurées à l'aide de deux sondes passives LeCroy PP018 (500 MHz, atténuation de 10:1). Le point de référence de ces mesures dépend du type de carte fille : pour une carte fille à source commune, il s'agit du potentiel de la source de puissance, tandis que pour une carte fille à S_K séparée, le potentiel de référence est celui de S_K . Ainsi, dans le reste de cet article, V_{GS} désigne la tension grille-source de puissance (carte fille à source commune) et V_{GSK} désigne la tension grille- S_K séparée (carte fille à S_K séparée).

La tension drain-source (V_{DS}) est mesurée à l'aide d'une sonde passive Tektronix P5100A (500 MHz, atténuation de 100:1), en capturant la différence de potentiel entre le drain et la source de puissance du DUT. Le courant de CC (I_D) est mesuré à l'aide d'un shunt coaxial de 15 m Ω (bande passante 1200 MHz) connecté en série avec le DUT. Enfin, le courant de fuite de grille (I_G) est estimé à partir de la chute de tension mesurée aux bornes de R_G .

3. PROTOCOLES DE TESTS

À V_{DS} constante, le niveau maximal du courant de saturation en CC désigné ici par $I_{D-sat-max}$ est varié en agissant sur trois paramètres : V_{GS} , R_G ou L_S . Ce dernier correspond à l'inductance parasite de la maille de commande (lorsque le DUT

est piloté via une tension grille-source ou grille- S_K). Il ne s'agit donc pas d'un paramètre externe ajouté, mais d'une variation intrinsèque de l'inductance de la maille de commande. Dans cette étude, 14 composants ont été soumis à des tests de CC répétitifs, à température ambiante et sous une tension $V_{DS} = 400$ V, en faisant varier successivement l'un des trois paramètres mentionnés (L_S , R_G , V_{GS}), afin d'évaluer l'effet de la variation d' $I_{D-sat-max}$ sur la robustesse de GaN HEMTs en régime de CC. Pour chaque série de tests, un seul paramètre est modifié, tandis que les deux autres restent identiques (voir Tableau 1).

Tableau 1. Conditions de test de CC et nombre de DUTs par paramètre varié.

Paramètre varié	Conditions de test de CC	Nombre de DUTs
L_S [carte fille à source commune/carte fille à S_K séparée]	$V_{DS} = 400$ V; $V_{GS} = 5$ V; $R_G = 10$ Ω ; $t_p = 500$ ns	4 (DUT1; DUT2; DUT3; DUT4)
R_G [10 Ω ; 47 Ω]	$V_{DS} = 400$ V; $V_{GS} = 5$ V; carte fille à S_K séparée; $t_p = 500$ ns	4 (DUT3; DUT4; DUT5; DUT6)
V_{GS} [4 V- 7 V, avec des pas de 0,5 V]	$V_{DS} = 400$ V; $t_p = 500$ ns carte fille à S_K séparée; $R_G = 10$ Ω ;	4 (DUT7; DUT8; DUT9; DUT10)
	$t_p = 200$ ns	4 (DUT11; DUT12; DUT13; DUT14)

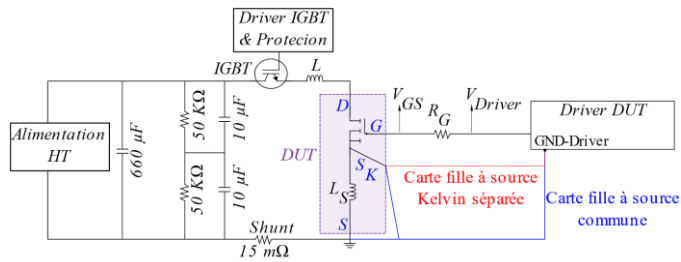


Fig. 1. Schéma électrique du banc de test de court-circuit. Pour les composants montés sur une carte fille à source commune, le retour du signal de commande est schématisé par la ligne bleue. Pour les composants montés sur une carte fille à source Kelvin séparée, le retour du signal de commande est schématisé par la ligne rouge en pointillé.

Chaque composant a ainsi été soumis à des événements de CC répétitifs jusqu'à sa défaillance. L'intervalle entre deux cycles successifs n'est pas strictement contrôlé et varie généralement de quelques dizaines de secondes à quelques minutes.

Afin d'identifier l'existence éventuelle d'un seuil critique d' $I_{D-sat-max}$ et/ou d'énergie dissipée pendant un cycle de CC (E_{CC}), l'analyse se concentre sur les valeurs maximales atteintes par ces deux grandeurs au cours des essais effectués. Les cycles de CC sont numérotés de manière chronologique : le cycle n°1 correspond au tout premier test subi par le DUT, et le cycle n° N_F désigne le dernier cycle au cours duquel la défaillance se produit.

Il est important de noter que, selon le paramètre varié (L_S , R_G , V_{GS}), la valeur maximale d' $I_{D-sat-max}$ peut être atteinte aussi bien au premier qu'au dernier cycle. De même, la valeur

maximale d' E_{CC} peut survenir à n'importe quel cycle, y compris à l'avant-dernier (cycle numéro $N_F - 1$).

Le choix de ces valeurs critiques supposées pour $I_{D-sat-max}$ et E_{CC} , ainsi que leur relation avec la chronologie des cycles, sera détaillé dans les sections suivantes.

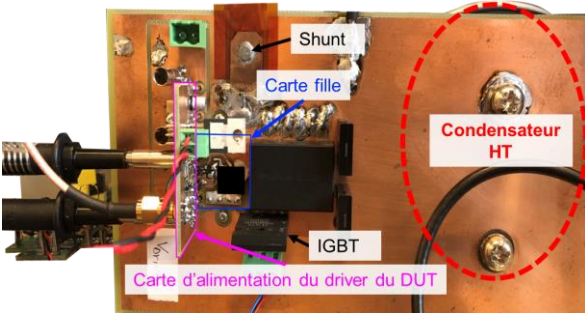


Fig. 2. Photographie du banc de CC.

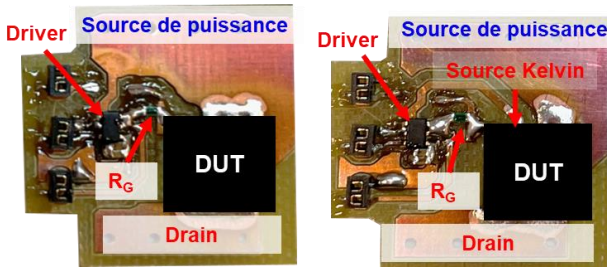


Fig. 3. Photographes de cartes filles, à source commune (gauche), et à source Kelvin séparée (droite).

4. RESULTATS ET DISCUSSION

4.1. CCs répétitifs à L_S variable

Comme mentionné précédemment, la variation de L_S consiste à faire varier l'inductance parasite de la boucle de commande, en modifiant le type de carte fille (à source commune ou à S_K séparée). Dans le cas d'un composant monté sur une carte fille à source commune, une chute de tension V_{GS} d'amplitude $L_S dI_D/dt$ apparaît au moment de la mise en conduction du transistor. Cette chute transitoire de V_{GS} au tout début de l'impulsion de CC réduit ainsi le niveau d' $I_{D-sat-max}$. Par contre, pour un composant monté sur une carte fille à S_K séparée, le transistor est piloté directement par une tension V_{GSK} , indépendante de l'inductance L_S . Cela permet d'atteindre un $I_{D-sat-max}$ plus élevé. Cette différence de commande explique la variation du courant de saturation en CC en fonction de L_S .

Pour étudier l'effet de L_S , 4 composants ont été testés en CC répétitif, dont 2 DUTs montés sur des cartes filles à source commune (DUT1 et DUT2) et 2 autres DUTs sur des cartes filles à S_K séparée (DUT3 et DUT4). La largeur d'impulsion de CC (t_p) a été fixée à 500 ns, $R_G = 10$ Ω et V_{GS} (ou V_{GSK} dans le cas d'une carte fille à S_K séparée) = 5 V.

Les DUTs testés sur la carte fille à source commune (avec une L_S plus élevée) étaient capables de tenir plusieurs cycles de CC, avec $I_{D-sat-max} \approx 106$ A. Un exemple d'ondes de CC mesurées sur le DUT1 est présenté en Fig. 4. En revanche, les DUTs testés sur la carte fille à S_K séparée n'ont résisté qu'à deux cycles de CC, mais avec un $I_{D-sat-max}$ plus élevé de l'ordre de 130 A (voir Fig. 5).

Le Tableau 2 résume les résultats de tests de CC obtenus à L_S variable. On note qu'à V_{GS} (ou V_{GSK} dans le cas d'une carte

filles à S_K séparée) constante, $I_{D-sat-max}$ diminue légèrement au fil des cycles de CC. Cela suggère que les cycles consécutifs induisent un stress cumulatif sur le DUT dégradant ses caractéristiques. Ainsi, seule la valeur d' $I_{D-sat-max}$ mesurée lors du premier cycle est retenue dans le tableau, car elle représente le maximum atteint. De même, dans le même tableau, seule l'énergie E_{CC} dissipée durant le premier cycle est prise en compte.

Tous les composants testés dans cette étude ont été caractérisés avant et après chaque cycle de CC, en utilisant le traceur de caractéristiques B1505A. Les caractéristiques statiques suivantes sont mesurées :

- la tension de seuil (V_{th}) (avec un préconditionnement),
- la résistance de l'état passant drain-source ($R_{DS(on)}$),
- le courant de fuite de grille (I_{GSS}),
- le courant de fuite du drain (I_{DSS}).

Aucune variation significative de ces paramètres n'a été observée, quel que soit le nombre de cycles supportés, indiquant à priori l'absence de vieillissement visible à court terme. Par conséquent, l'effet cumulatif a été jugé non détectable à travers les paramètres mesurés dans cette étude. Ainsi, pour un DUT donné, on ne considère uniquement l' E_{CC} maximale dissipée par cycle de CC et non pas de la somme des énergies de tous les cycles. Ainsi, dans le Tableau 2, l' E_{CC} maximale dissipée durant l'impulsion de CC correspond à celle du premier cycle (E_{CC} est une image de l'intégrale d' I_D en fonction du temps) et varie de 18 à 21 mJ.

Pour le reste de cet article, seuls les tests de CC réalisés en utilisant des cartes filles à S_K séparée sont présentés.

Tableau 2. Résumé des tests de CC répétitifs à L_S variable.

	Source commune		S_K séparée	
	DUT1	DUT2	DUT3	DUT4
$I_{D-sat-max}$ (cycle1) [A]	108,8	106,9	132,1	124,6
E_{CC} (cycle1) [mJ]	18,7	18	21	20.2
N_F	10	>25	2	2

4.2. CCs répétitifs à R_G variable

Cette section présente les résultats de tests de CC répétitifs réalisés sur 4 composants, en faisant varier la résistance de grille R_G de 10 Ω à 47 Ω , et en utilisant des cartes filles à S_K séparée, tout en fixant $V_{GSK} = 5$ V et $t_p = 500$ ns. Comme présenté dans la section précédente, deux composants (DUT3 et DUT4) ont déjà été testés à $R_G=10$ Ω . Pour évaluer spécifiquement l'effet de R_G sur le comportement des DUTs en CC (notamment son sur $I_{D-sat-max}$), deux autres composants (DUT5 et DUT6) ont été testés en CC à $R_G=47$ Ω . Les résultats, résumés dans le Tableau 3, montrent qu'une augmentation de R_G entraîne une diminution du courant $I_{D-sat-max}$ ainsi qu'un ralentissement de la vitesse de commutation. En conséquence, les composants avec une R_G plus élevée sont capables de supporter un plus grand nombre de cycles de CC avant la défaillance.

Comme mentionné précédemment, à V_{GSK} constante, $I_{D-sat-max}$ tend à diminuer légèrement au fil des cycles successifs, reflétant un stress progressif sur le composant. Par ailleurs, puisque la tension V_{DS} reste quasiment constante durant l'impulsion de CC, l'énergie dissipée E_{CC} peut être approximée par l'intégrale du courant I_D en fonction du temps. Cela confirme que, comme dans les cas précédents, les valeurs maximales par cycle de $I_{D-sat-max}$ et E_{CC} sont systématiquement atteintes dès le premier cycle. Si l'on néglige l'effet cumulatif, on observe que E_{CC} maximale reste confinée dans une plage de 18 à 21 mJ. Cette observation laisse penser que cette plage énergétique pourrait contenir une valeur critique d'énergie ou un courant maximal de CC, au-delà duquel la défaillance du composant devient inévitable.

Tableau 3. Résumé des tests de CC répétitifs à R_G variable.

	$R_G=10$ Ω		$R_G=47$ Ω	
	DUT3	DUT4	DUT5	DUT6
$I_{D-sat-max}$ (cycle1) [A]	132,1	124,6	112,7	112,4
E_{CC} (cycle1) [mJ]	21	20.2	18,7	18,5
N_F	2	2	6	7

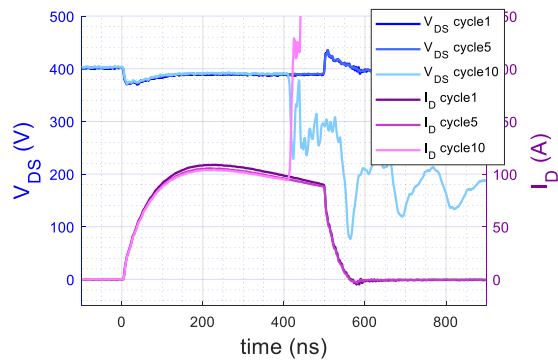


Fig. 4. DUT1 monté sur une carte fille à source commune. Conditions de test de CC: $V_{DS}=400$ V; $V_{GS}=5$ V; $R_G=10$ Ω ; $t_p=500$ ns; $N_F=10$.

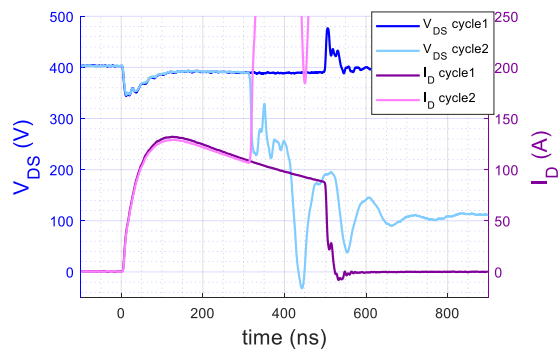


Fig. 5. DUT3 monté sur une carte fille à S_K séparée. Conditions de test de CC: $V_{DS}=400$ V; $V_{GSK}=5$ V; $R_G=10$ Ω ; $t_p=500$ ns; $N_F=2$.

4.3. CCs répétitifs à V_{GS} variable

Le dernier paramètre analysé dans cette étude est la tension V_{GS} , afin d'évaluer son influence sur le niveau de saturation maximale du courant de CC. En utilisant des cartes filles à S_K séparée, 8 composants ont été testés en CC répétitif, avec $R_G=10\ \Omega$, et une tension V_{GSK} variant de 4 à 7 V. Pour chaque DUT, V_{GSK} a été incrémentée par pas de 0,5 V après chaque cycle de CC, jusqu'à l'apparition de la défaillance. Dans le cas d'une défaillance, V_{GSK_F} désigne la tension V_{GSK} à laquelle la défaillance est observée.

Dans une première série de tests, 4 composants (DUT7 à DUT10) ont été testés en CC répétitifs avec $t_p=500$ ns. Parmi ceux-ci, le DUT7 est entré en défaillance dès le 3^e cycle à $V_{GSK_F}=5$ V, les DUT8 et DUT9 au 4^e cycle à $V_{GSK_F}=5,5$ V, et le DUT10 au 5^e cycle à $V_{GSK_F}=6$ V. Comme illustré en Fig. 6, $I_{D-sat-max}$ augmente progressivement avec la montée de la tension V_{GSK} , jusqu'à la défaillance. Il est également observé que la saturation du courant se produit systématiquement dans les 200 premières nanosecondes.

Pour mieux dissocier les effets du courant de saturation et de l'énergie dissipée, une seconde série de tests a été réalisée sur quatre autres composants (DUT11 à DUT14) avec une impulsion plus courte ($t_p=200$ ns). Cette configuration permet d'atteindre la saturation du courant tout en limitant l'énergie dissipée par cycle. Dans ce cas, les DUT11 et DUT12 ont présenté une défaillance au 6^e cycle à $V_{GSK_F}=6,5$ V, tandis que les DUT13 et DUT14 ont cassé au 7^e cycle à $V_{GSK_F}=7$ V (voir Fig. 7). Les résultats complets sont résumés dans le Tableau 4.

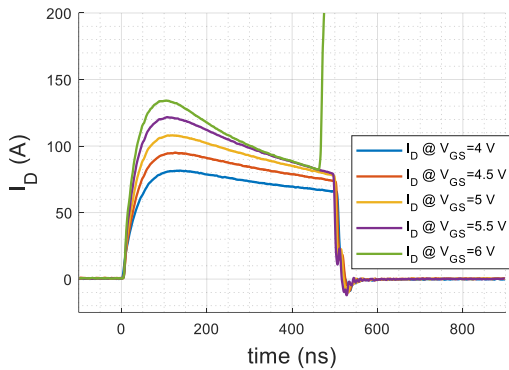


Fig. 6. DUT10 testé en CC répétitif. Conditions de test: $V_{DS}=400$ V; $R_G=10\ \Omega$; $t_p=500$ ns; $V_{GSK}=[4\text{ V}; 7\text{ V}]$ avec un pas de 0,5 V; $V_{GSK_F}=6$ V.

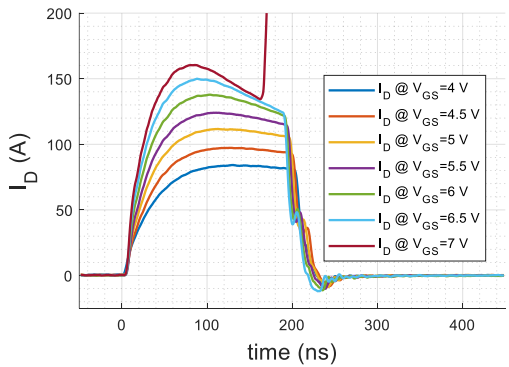


Fig. 7. DUT13 testé en CC répétitif. Conditions de test: $V_{DS}=400$ V; $R_G=10\ \Omega$; $t_p=200$ ns; $V_{GS}=[4\text{ V}; 7\text{ V}]$ avec un pas de 0,5 V; $V_{GSK_F}=7$ V.

Avec un $t_p=200$ ns, il a été constaté également que $I_{D-sat-max}$ continue à croître avec V_{GSK} jusqu'à la défaillance. En supposant l'existence d'un seuil critique de $I_{D-sat-max}$, celui-ci correspondrait au dernier cycle (N_F). Par ailleurs, étant donné que la défaillance

ne survient jamais exactement au même instant de l'impulsion, et en négligeant les effets cumulatifs, l'énergie dissipée E_{CC} critique serait celle du cycle $N_F - 1$, soit juste avant la défaillance. En effet, cette dernière (E_{CC} du cycle $N_F - 1$) est systématiquement la plus élevée parmi tous les cycles.

Pour les quatre composants testés à $t_p=500$ ns, la valeur moyenne de $I_{D-sat-max}$ atteinte au cycle N_F était de 132,6 A, avec une énergie E_{CC} moyenne de 19,2 mJ au cycle $N_F - 1$. En comparaison, les quatre composants testés à $t_p=200$ ns ont atteint une valeur moyenne de $I_{D-sat-max}$ de 161,5 A, pour une E_{CC} moyenne de 9,6 mJ. Ces résultats suggèrent que, dans le cas de CCs répétitifs de courte durée, la défaillance pourrait être associée à une valeur critique d' E_{CC} , mais aussi à un courant de saturation critique, défaillance dépendant de la largeur d'impulsion t_p . Cette hypothèse sera approfondie dans la section suivante.

Tableau 4. Résumé des tests de CC répétitifs à V_{GSK} variable (à V_{GSK_F} variable).

DUT n°	$I_{D-SAT-max}$ @ N_F (A)	E_{CC} @ N_F-1 (mJ)	$E_{CC_moyenne}$ @ N_F-1 (mJ)	t_p (ns)	V_{GSK_F} (V)
7	123,4	18,4	19,2	500	5
8	137,7	19,7			5,5
9	135,2	19,5			5,5
10	134,1	19			6
11	162,9	9,8	9,6	200	6,5
12	164,4	9,9			6,5
13	160,5	9,5			7
14	158,1	9,4			7

5. MECANISMES DE DEFAILLANCE

Dans cette étude, tous les composants soumis à des CCs répétitifs avec une tension V_{GS} (ou V_{GSK}) constante ont présenté une légère diminution de $I_{D-sat-max}$ au fil des cycles. Comme mentionné précédemment, lorsque la tension de grille est constante, si la défaillance est causée par un dépassement de $I_{D-sat-max}$ ou de l'énergie dissipée E_{CC} , ces valeurs critiques correspondent généralement à celles atteintes dès le premier cycle. C'est pourquoi, dans les tableaux présentant les résultats des tests à L_S et R_G variables (Tableau 2 et Tableau 3), seules les valeurs d' $I_{D-sat-max}$ et d' E_{CC} du premier cycle sont prises en compte.

Lorsqu'on considère l'ensemble des composants testés (résumés dans les Tableau 2, Tableau 3 et Tableau 4), il est difficile de conclure à l'existence d'un seuil critique pour $I_{D-sat-max}$. Si l'on suppose malgré tout l'existence d'un tel seuil — défini comme le maximum d' $I_{D-sat-max}$ atteint par un composant donné —, alors celui-ci se situerait dans une plage comprise entre 106 A et 138 A pour une largeur d'impulsion $t_p=500$ ns. Une telle dispersion rend l'hypothèse d'un $I_{D-sat-max}$ critique unique peu probable.

En revanche, l'analyse de l'énergie E_{CC} maximale dissipée par cycle de CC montre une régularité bien plus marquée. Pour tous les composants testés à $t_p=500$ ns, cette énergie reste confinée dans une plage restreinte de 18 à 21 mJ, ce qui suggère

fortement l'existence d'un seuil critique dans cette plage. De manière similaire, pour $t_p=200$ ns, l' E_{CC} maximale dissipée par cycle de CC varie entre 9,4 et 9,8 mJ laissant penser à une dépendance entre un seuil critique de l' E_{CC} et la largeur d'impulsion de CC.

Afin de clarifier cette hypothèse, la Fig. 8 présente l'énergie dissipée au cycle précédant la défaillance (considérée ici comme l'énergie critique) en fonction du courant $I_{D-sat-max}$ atteint au dernier cycle, pour les composants testés avec une tension V_{GSK} variable. Cette représentation met effectivement en évidence que, dans le cadre de CCs répétitifs de courte durée, la défaillance est principalement liée au dépassement d'un seuil critique d'énergie, plutôt que d'un courant, et que cette énergie critique est fortement dépendante de la largeur d'impulsion du CC.

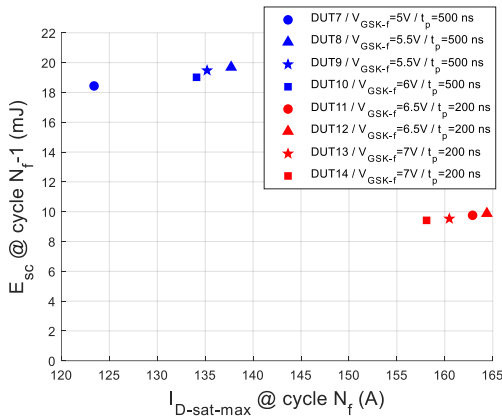


Fig. 8. E_{CC} en fonction d' $I_{D-SAT-max}$ pour les DUTs testés avec V_{GSK} variable (voir Tableau 4).

6. CONCLUSIONS

Cet article propose une étude expérimentale de l'effet du niveau maximum de saturation du courant de CC $I_{D-sat-max}$ sur la robustesse des GaN HEMTs en régime de CC répétitif. Des tests de CCs répétitifs de très courtes durées ont été réalisés sur plusieurs composants, en variant des paramètres influant le niveau d' $I_{D-sat-max}$.

Les essais réalisés à $V_{DS}=400$ V ont mis en évidence que $I_{D-sat-max}$ varie de manière significative selon le paramètre ajusté. Dans tous les cas où la tension de grille est restée constante $I_{D-sat-max}$ diminue légèrement au fil des cycles, ce qui suggère un effet de stress cumulatif. Toutefois, la caractérisation électrique des DUTs avant et après les cycles de CCs n'a pas permis de détecter des variations significatives des paramètres électriques des DUTs mesurés.

L'étude montre également que, bien qu'il soit difficile d'identifier un $I_{D-sat-max}$ critique unique, les valeurs maximales

d'énergie E_{CC} dissipée par cycle de CC (en négligeant l'effet cumulatif) restent relativement stables pour une largeur d'impulsion donnée. Ainsi, il apparaît qu'il existe une énergie critique E_{CC} , dépendante de la durée de l'impulsion de CC : environ 19 mJ pour $t_p=500$ ns et 9 mJ pour $t_p=200$ ns. Ce seuil énergétique semble être un des facteurs déclenchant de la défaillance en régime de CC répétitif de courte durée.

7. REMERCIEMENTS

Ce travail a été réalisé dans le cadre du projet GANRET (GaN Reliability Evaluation for Transport) porté par l'IRT Saint Exupéry. Nous remercions les membres industriels et académiques du projet GANRET pour leur soutien financier, ainsi que l'Etat français pour son appui financier via le programme France 2030 référencé ANR-10-AIRT-01. Membres industriels de GANRET : ALTER Technology, STMICROELECTRONICS, AIRBUS DEFENSE AND SPACE, AIRBUS SAS, SAFRAN ELECTRONICS & DEFENSE, THALES ALENIA SPACE FRANCE, SCHAEFFLER (VITESCO), TRAD, NUCLETUDES, WISE INTEGRATION. Membres académiques de GANRET : AMPERE, LAAS, IES, SATIE, CEA, ICAM, DGA, CNES, ESRF.

8. REFERENCES

- [1] J. Sun, J. Wei, Z. Zheng, et K. J. Chen, « Short Circuit Capability Characterization and Analysis of p-GaN Gate High-Electron-Mobility Transistors Under Single and Repetitive Tests », *IEEE Transactions on Industrial Electronics*, vol. 68, n° 9, p. 8798-8807, sept. 2021, doi: 10.1109/TIE.2020.3009603.
- [2] T. Nagahisa, H. Ichijoh, T. Suzuki, A. Yudin, A. O. Adan, et M. Kubo, « Robust 600 V GaN high electron mobility transistor technology on GaN-on-Si with 400 V, 5 μ s load-short-circuit withstand capability », *Jpn. J. Appl. Phys.*, vol. 55, n° 4S, p. 04EG01, févr. 2016, doi: 10.7567/JJAP.55.04EG01.
- [3] D. Wieland *et al.*, « A common hard-failure mechanism in GaN HEMTs in accelerated switching and single-pulse short-circuit tests », in *2023 IEEE International Reliability Physics Symposium (IRPS)*, mars 2023, p. 1-6. doi: 10.1109/IRPS48203.2023.10117943.
- [4] T. Oeder, A. Castellazzi, et M. Pfof, « Experimental study of the short-circuit performance for a 600V normally-off p-gate GaN HEMT », in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, mai 2017, p. 211-214. doi: 10.23919/ISPSD.2017.7988925.
- [5] D. Bisi *et al.*, « Short-Circuit Capability with GaN HEMTs: Invited », in *2022 IEEE International Reliability Physics Symposium (IRPS)*, mars 2022, p. 1-7. doi: 10.1109/IRPS48227.2022.9764492.