

Commande de grille dynamique en tension multiniveaux pour transistor SiC

Lorenzo Leijnen^{1,2}, Tara Niakan¹, Nicolas Rouger¹, Frédéric Richardeau¹, Marc Cousineau¹

¹LAPLACE, CNRS, INPT, Université de Toulouse, France - ²NXP, Toulouse, France

RÉSUMÉ – La commande active de grille offre de nombreux bénéfices et contribue à tirer parti du plein potentiel des MOSFET SiC. Un récapitulatif des enjeux liés au pilotage actif, ainsi qu’une synthèse des solutions techniques sont proposés, puis une architecture modulaire permettant de réaliser une commande active en tension est présentée. Enfin, à titre d’exemple, une étude sur l’optimisation paramétrique d’une commande à 3 niveaux permettra de déterminer un profil réduisant les surtensions à iso- di/dt lors de l’amorçage, tandis que la dissociation des phénomènes parasites dans le cas du blocage permettra à la fois une réduction des surtensions et des pertes.

Mots-clés – Gate Driver Multiniveaux, Active Gate Driver, MOSFET SiC, MMAGD

1. INTRODUCTION

Au-delà de leur fonction primaire d’amplificateur, la plupart des drivers modernes incorporent aujourd’hui de nombreuses fonctionnalités avancées visant à améliorer les performances intra-convertisseur (pertes, parasites sur la commande) et extra-convertisseur (CEM, défaut de charge). Il est ainsi courant de trouver des drivers à sorties multiples, permettant 2^N combinaisons par association de N résistances (actuellement en majorité $N = 2$). Bien que cela offre la capacité d’ajuster la commande de grille entre chaque commutation pour s’adapter au point de fonctionnement, ces solutions ne permettent pas un contrôle fin à l’échelle de la nanoseconde au sein d’une séquence transitoire de durée totale inférieure à la centaine de nanosecondes, afin de façonner un profil de tension de grille spécifique.

L’objectif de ce travail est de résumer les problématiques et enjeux concernant le pilotage actif de MOSFET en carbure de silicium (SiC), de présenter une architecture de commande rapprochée multiniveaux, et de proposer à titre d’exemple une étude paramétrique par simulation LTspice d’une commande active à un niveau intermédiaire.

2. ÉTAT DE L’ART

Traditionnellement les circuits de commande de grille sont dimensionnés pour le pire cas (worst-case), assurant un fonctionnement sans risques. Il en résulte qu’avec les variations du point de fonctionnement ou encore le vieillissement du composant, la commande est moins optimisée, entraînant des performances réduites. Avec une tendance de fonctionner de plus en plus proche des limites des transistors dans une recherche continue d’optimisation, ces contraintes liées à la commande sont un frein. Afin de bénéficier pleinement des caractéristiques des composants nouvelle génération telle que les SiC, le passage à un contrôle adaptatif dynamique de grille offrirait de nombreuses opportunités dont un meilleur compromis pertes/CEM/dépassements et une meilleure adaptabilité vis-à-vis du point de fonctionnement. Parmi les gains qu’une telle commande amène, on peut citer :

- La réduction des pertes : augmenter la vitesse de commutation pour réduire les pertes sans dégrader d’autres facteurs.
- Maîtrise des performances CEM : ajustement sélectif des dV_{DS}/dt et dI_D/dt , ou encore du $R_{ds,on}$ pour ajuster l’amortissement des oscillations.

- Limiter les dépassements de courant et de tension pour limiter le stress imposé au composant.
- Réduire I_{SC} : augmenter la robustesse par une tenue au temps de court-circuit T_{scw} plus élevée facilitant la détection en permettant de filtrer la mesure et d’être plus immune au bruit ou aux oscillations résiduelles.
- Ajustements tels que l’équipartition du courant entre des transistors en parallèle, ou encore le contrôle actif des pertes pour réduire les variations de température.

Ces fonctions avancées s’inscrivent dans l’évolution de la commande rapprochée élémentaire vers les *smart gate driver* qui prennent désormais en charge de nombreuses fonctionnalités liées à la protection, au suivi de santé et à la commande rapprochée du transistor. Un bon nombre de ces nouveautés sont synthétisés dans l’article [1]. Au sein du *smart gate driver*, la commande rapprochée occupe une place centrale et le développement d’une commande active est essentielle pour la mise en œuvre de la plupart des fonctions citées. La mise en pratique d’une commande active se concentre autour de deux défis étudiés chacun dans une partie de cet article : la **définition de la commande** et sa **mise en œuvre technique**.

2.1. Réalisation technique

Divers degrés de liberté peuvent être exploités pour adapter la commande de grille telle que la résistance équivalente [2], la tension [3], le courant [4] et plus rarement la capacité [5].

Une des approches les plus simples pour obtenir un contrôle actif est l’ajout à un driver classique d’un bloc dédié à la commande active. Ce dernier peut momentanément suppléer la voie principale (ou au contraire la diminuer) durant des phases spécifiques. Bien que cette solution n’offre qu’un ou deux niveaux intermédiaires, ces nouveaux degrés de liberté permettent d’obtenir des améliorations sur le compromis pertes/dépassement. Dans [6] et [7], c’est une source de courant auxiliaire qui est utilisée pour injecter ou soustraire du courant durant certaines phases. Les auteurs de [8] présentent une solution similaire avec son implémentation en CMOS $0.18\mu m$, avec plusieurs branches auxiliaires permettant d’ajuster finement une sortie principale, se rapprochant d’une structure segmentée. La source de courant auxiliaire dans [9, 10], également réalisée en CMOS $0.18\mu m$, se soustrait là encore à une sortie résistive et est asservie en boucle fermée pour un contrôle de dv/dt .

Une autre approche couramment proposée est la segmentation parallèle. La mise en parallèle de voies résistives est déjà utilisée pour un contrôle adaptatif à l’échelle de la fréquence de découpage, et ce principe peut être étendu à l’échelle de la commutation. Une association binaire des branches permet de contrôler l’impédance de sortie au cours de la commutation dont le principe sera détaillé par la suite dans la Figure 7. Plusieurs réalisations intégrées ont été proposées tel que [2] avec 255 niveaux et une résolution de 1.2ns. On trouve également des topologies parallèles en courant avec les travaux [11] et [4] proposant des solutions intégrées avec respectivement 7 et 63 voies commandées avec une mémoire de rappel (LUT, *Lookup table*), ou encore [12] qui présente une solution en boucle fermée.

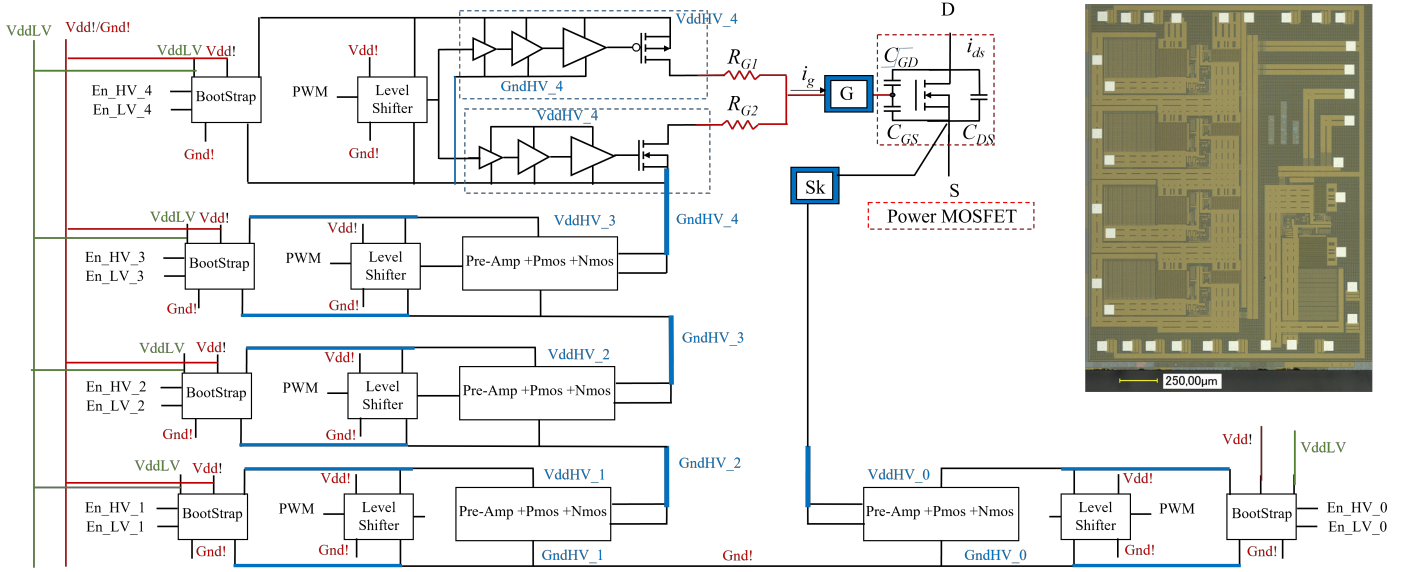


FIG. 1. Architecture MMAGD avec 5 sous-modules et image au microscope optique de la puce [13].

La structure série en tension, contrairement aux structures parallèles dont les sources de courant fonctionnent en régime saturé, fonctionne en commutation (ON/OFF) afin de moduler la tension de sortie. C'est une résistance de grille externe qui imposera le courant à partir de la tension de sortie du driver. Les transistors du driver peuvent donc a priori être plus petits. Des réalisations discrètes de cette topologie existent dans la littérature [14], bien que limitées de par leur faible résolution. Le driver intégré proposé dans [3] emploie également une structure série avec pour source de tension des capacités flottantes alimentées par un montage bootstrap. Des essais sur ce driver seront présentés dans la partie 3.

2.2. Définition de la commande

Chacune de ces topologies offre de nouveaux degrés de liberté dans la commande de grille. Une stratégie de commande doit être mise en place pour utiliser avantageusement ces derniers. Dans l'état de l'art actuel, la majorité des solutions fonctionnent en boucle ouverte, souvent accompagnées d'une optimisation itérative pour un point de fonctionnement donné [4] [15, 16, 17]. De nombreuses publications définissent un critère de Pareto¹ ou une fonction objectif (également appelée fonction de coût) comprenant les objectifs de pertes et de dépassements dont le minimum est ensuite recherché à l'aide d'algorithmes. Voici un exemple de fonction objectif utilisée par [4] :

$$f_{obj} = \sqrt{E_{loss}^{*2} + I_{overshoot}^{*2}}$$

Où E_{loss}^* et $I_{overshoot}^*$ représentent les valeurs normalisées des pertes et du dépassement suivant leur min/max. Les points de fonctionnement optimaux ainsi déterminés sont le plus souvent chargés dans une mémoire de rappel type LUT (Lookup table), avec pour certains la possibilité de définir plusieurs profils correspondant à divers points de fonctionnement [11].

Afin de mieux comprendre les commandes résultantes de ces algorithmes d'optimisation pour aller vers des solutions génériques et analytiques, une étude détaillée d'un degré de liberté additionnel sous la forme d'un niveau intermédiaire sera étudié dans la partie 4.

1. Le critère de Pareto est utilisé pour identifier les solutions optimales en termes de compromis entre plusieurs objectifs. Une solution est dite Pareto-optimale si aucune amélioration d'un critère ne peut être réalisée sans détériorer un autre critère.

3. ARCHITECTURE MMAGD EN TENSION

Un driver classique génère un simple échelon de tension, offrant deux niveaux de tension V_{DRV} (typiquement $-4V/ +16V$), tandis qu'un circuit *Modular Multilevel Active Gate Driver* (MMAGD) [13] permet de varier la tension V_{DRV} par paliers afin d'introduire des degrés de liberté pour contrôler indirectement la dynamique de V_{GS} . Dans une étude précédente [3], une architecture MMAGD est présentée, où 5 sous-modules identiques sont mis en œuvre dans une technologie CMOS offrant 6 niveaux de tension (Figure 1). Une propriété intéressante est l'alimentation séquentielle des sous-modules à partir d'une seule alimentation référencée au GND de la puce, potentiel flottant et proche du potentiel de la source Kelvin du transistor de puissance. De plus, la mise en œuvre dans une technologie CMOS basse tension offre un niveau de slew-rate élevé (supérieur à $5V/ns$).

La Figure 2, montre un exemple de commande active à niveaux multiples qu'il est possible de réaliser avec cette architecture. Les bénéfices de ce type de profil par rapport à une commande de driver traditionnelle sont identifiés pour chaque phase.

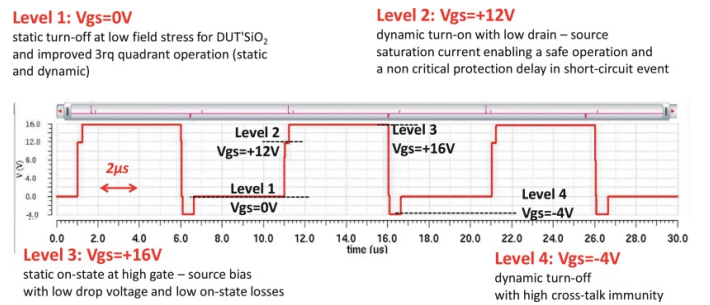


FIG. 2. Exemple de commande avec l'architecture MMAGD en simulation [3].

Pour effectuer les essais expérimentaux, le banc d'essai montré sur la Figure 3 a été utilisé. Dans un premier temps, les différents niveaux possibles pour la tension de V_{GS} à la sortie seront validés expérimentalement, en utilisant une capacité fixe de 1 nF comme charge. Les 15 signaux de commande du générateur de séquence sont illustrés sur la Figure 4 (formes d'ondes, utilisant le générateur Digilent Digital Discovery basé sur FPGA). Pour une application finale, la logique complète pourrait être embar-

quée sur puce, afin de faire le lien entre le signal de PWM et les séquences de profil. Dans ces travaux préliminaires, les 15 signaux logiques sont extérieurs, afin de garantir toute la flexibilité possible, ainsi que la simplicité de la conception du circuit intégré CMOS.

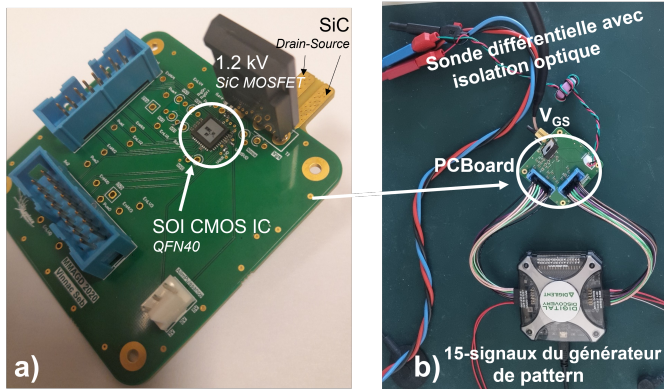


FIG. 3. a) Carte d'évaluation dédiée avec le circuit intégré CMOS encapsulé. b) Banc de test expérimental pour caractériser le circuit intégré.

L'essai commence par une séquence de démarrage, le signal "Enable" est activé en premier, suivi du signal "Sync-En", qui contrôle les 5 sous-modules du circuit, comme montré sur la Figure 1. Une fois cette phase de recharge initiale d'une durée de $300\mu s$ terminée, la commande PWM est activée, produisant le signal souhaité à la sortie du MMAGD. Une étude plus approfondie sera effectuée sur les différentes méthodes de maintenir la recharge des 5 sous-modules, notamment une activation de la séquence de recharge lors du temps-mort.

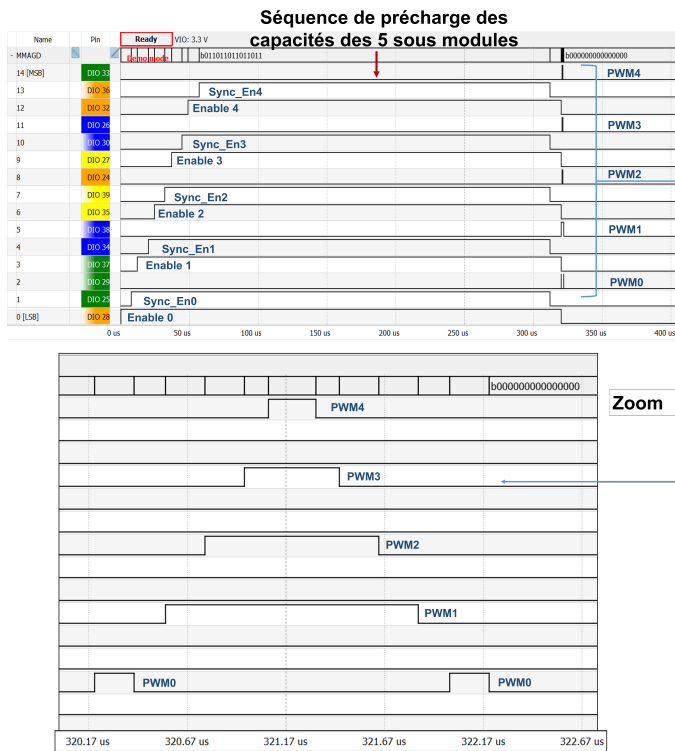


FIG. 4. Les signaux du générateur de séquence durant la phase de recharge et la commande souhaitée pour les 15 signaux requis.

Les mesures de cet essai sont présentées dans la Figure 5, montrant les 6 paliers de la tension V_{GS} ainsi générés pour diverses tensions d'alimentation $V_{dd_{LV}}$ allant de 3.3V à 5V.

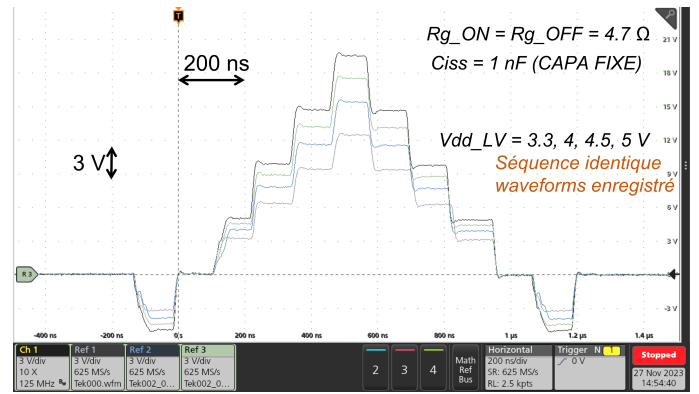


FIG. 5. Les 6 différents paliers de la tension V_{GS} obtenus pour 4 tensions d'alimentation différentes pour une charge fixe de 1 nF.

Suite à ce premier test balayant l'ensemble des différents paliers de tension, nous pouvons passer à une commande active à niveaux multiples. Deux commandes actives à niveaux multiples ont été sélectionnées, comme illustré sur la Figure 6.

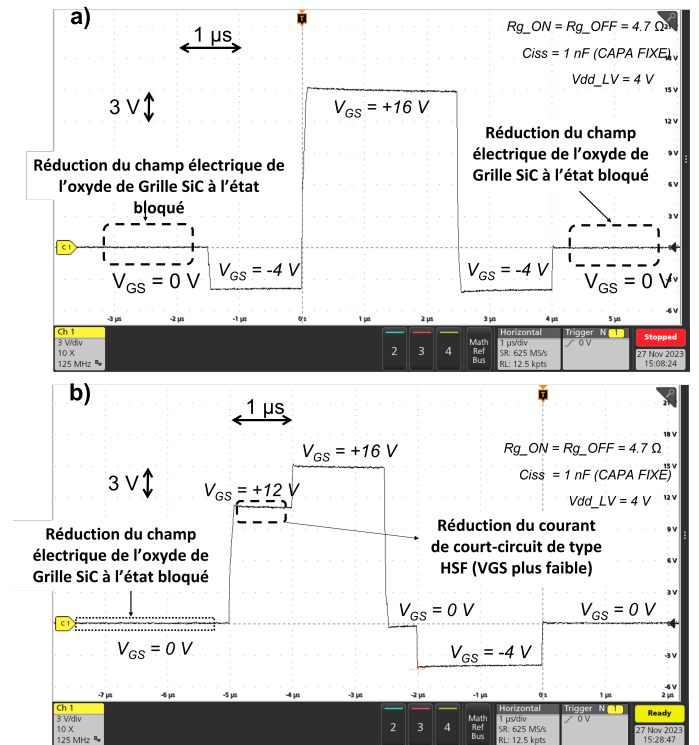


FIG. 6. Exemple de commande avec l'architecture MMAGD lors des essais expérimentaux avec une charge fixe de 1 nF, (a) Commande à 3 niveaux, (b) commande à 4 niveaux.

En comparant la commande traditionnelle et MMAGD, nous pouvons observer qu'en réduisant le temps d'exposition de l'oxyde de grille SiC à l'état bloqué en passant à une tension 0V, nous pouvons réduire le champ électrique de l'oxyde de grille. De plus en passant par une étape intermédiaire, $V_{DRV} = 12V$ au lieu de 16V, nous pouvons non seulement limiter le courant de court-circuit de type HSF, mais aussi réduire les dépassements de courant et de la tension avec un contrôle dynamique de $R_{DS_{on}}$.

Les essais menés jusqu'à présent ont mis en évidence les différents profils de la tension V_{GS} adaptative. La suite des travaux consiste en la validation de ces deux profils lors d'essais sous puissance avec un transistor MOSFET SiC. Malgré les bénéfices

qu'offre cette architecture MMAGD en tension, sa complexité constitue toutefois une limite et une approche plus simple est évaluée dans la section suivante.

4. COMMANDE À 3 NIVEAUX PAR RÉSISTANCES COMMUTÉES

Avec un driver ayant une attaque en tension, une résistance de grille est nécessairement présente (il peut s'agir de la résistance de grille interne du transistor de puissance). La sortance équivalente du driver (*gate strength*) dépend ainsi à la fois de la tension et de la résistance R_{gate} , et peut être représentée avec le courant de court-circuit équivalent I_{SC} . Alors que dans la partie précédente la tension était modulée pour moduler la sortance, on propose dans cette partie d'étudier une commande introduisant un niveau intermédiaire de résistance (Fig. 7). Au début, deux résistances sont connectées en parallèle, offrant une résistance faible, puis, après un délai, une résistance est déconnectée. Bien que simple, cette commande ajoute 3 degrés de liberté contre juste le choix de la résistance de grille.

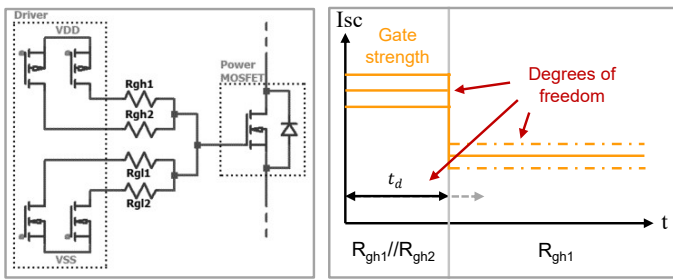


FIG. 7. Schéma simplifié (à gauche) et séquence de fonctionnement (à droite) d'une commande avec un niveau intermédiaire de résistance.

Afin d'évaluer les performances de la commande étudiée, un cas de référence est fixé utilisant une commande à deux niveaux de tension classique et une résistance fixe. Considérons dans un premier temps les cas limites pour le délai.

$t_d \rightarrow 0$: ce cas limite se rapproche d'une commande avec une impédance plus élevée que le cas de référence. Le turn-on delay est de ce fait plus élevé, et la commutation dans l'ensemble est plus lente.

$t_d \rightarrow \infty$: ce cas limite se rapproche d'une commande avec une impédance plus faible que le cas de référence. Le turn-on delay est réduit, et la commutation est plus rapide aux dépens du dépassement.

4.1. Outils de simulation Python+LTspice

Pour déterminer la commande optimale, plusieurs outils Python ont dû être développés pour automatiser le traitement des simulations LTspice. L'automatisation avancée des simulations est nécessaire à cause du grand nombre de paramètres d'entrée (comme le point de fonctionnement, auxquels s'ajoutent les nouveaux degrés de liberté), et le nombre important de paramètres à considérer en sortie.

Un premier outil permet de comparer les formes d'ondes issues de deux simulations avec ou sans niveau intermédiaire en alignant les phases transitoires, utilisé pour les Figures 8 et 11. Un second outil permet d'effectuer un balayage fin de délai et de tracer l'évolution des paramètres clés en fonction du délai tel que pour les Figures 9 et 10. Pour chacun de ces programmes la netlist provenant de la schématique LTspice est fournie au script Python qui se charge de faire tourner la/simulation ainsi que d'extraire et tracer les résultats.

4.2. Analyse de formes d'ondes

La Figure 8 montre les formes d'ondes de deux commutations à l'amorçage, l'une de référence (en gris), avec une résistance

R_g constante, l'autre avec un niveau intermédiaire de résistance (en couleur). Pour cet exemple, la durée de ce niveau est choisie pour correspondre au début de la montée du courant de drain.

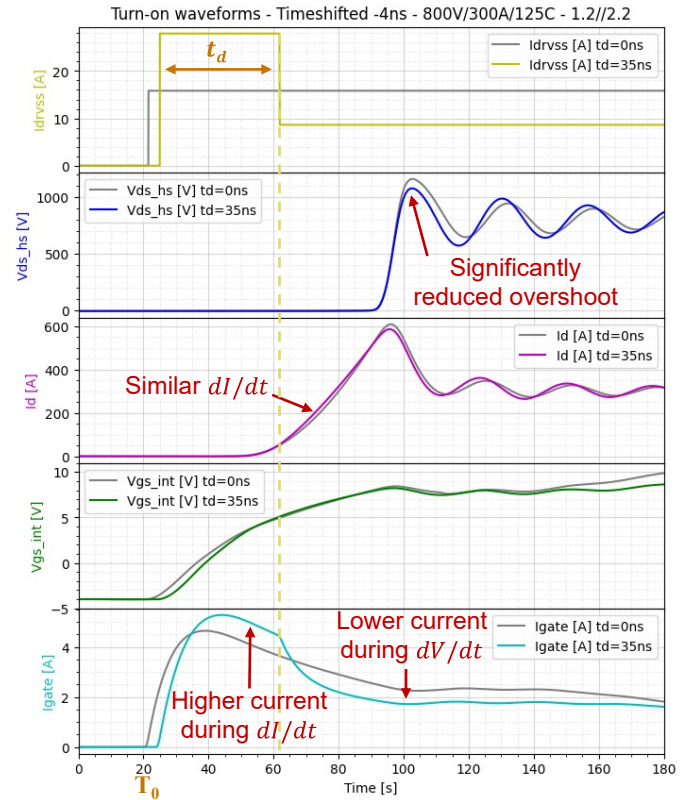


FIG. 8. Formes d'ondes à l'amorçage avec niveau intermédiaire - Module Wolfspeed WAB300M12BM3 1.2kV 300A.

Le changement d'impédance suite à la déconnexion d'une des résistances crée une impulsion et provoque une réponse du second ordre due à la nature RLC de la maille de grille. Bien que la sortance du driver change rapidement, l'inductance de grille empêche un changement instantané du courant qui reste plus élevé sur une première partie de la montée du courant de drain. Ainsi, malgré la résistance plus élevée comparée au cas de référence lors de cette phase, le temps de montée est similaire tout en ayant un di/dt en fin de montée plus faible. Le dépassement de tension sur la diode du transistor complémentaire est ainsi réduit. En revanche les oscillations qui suivent ne sont pas réduites malgré un courant de grille plus faible. De plus, bien que le temps de montée du courant soit similaire, ces deux commutations n'admettent pas les mêmes pertes qui progressent de 7.8% pour une réduction de la surtension de 23.3%.

4.3. Recherche du délai optimal

Une simulation paramétrique sur LTspice permet de couvrir finement l'évolution des paramètres clés en fonction du délai par incrément de 5ns. Chaque point de la Figure 9 correspond à une simulation telle que celle de la Figure 8.

Lorsque t_d est faible, seul le délai d'amorçage est affecté. Cela se comprend car le driver présente une résistance plus faible durant cette phase, accélérant la charge de C_{iss} , mais revient à une valeur plus élevée avant même que les phases transitoires aient eu lieu. Au-delà d'un certain délai, le délai d'amorçage atteint un minimum et la phase à sortance élevée s'étend jusque dans le transitoire de courant, voire celle de la tension. C'est alors le di/dt qui augmente, et en conséquence la surtension sur la diode du transistor complémentaire.

Comparé à une commande à résistance de grille fixe, deux valeurs de délai se démarquent : le cas à iso-dépassement et le cas

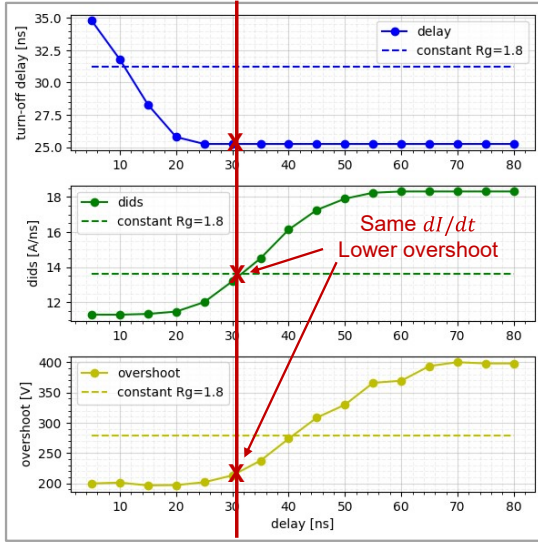


FIG. 9. Délai d'amorçage, dI/dt et dépassement en fonction du délai.

à iso- dI/dt . Dans ce dernier cas, pour un même temps de montée, le dépassement de tension sur la diode du transistor opposé est réduit. Ce résultat peut être expliqué en examinant les formes d'ondes présentées dans la figure 8 sur laquelle on constate un temps de montée du courant est semblable, mais dont la montée est plus linéaire avec la commande active, offrant de ce fait une dérivée finale réduite, ce qui mène à son tour à une réduction du dépassement de tension.

4.3.1. Turn-off

Un balayage de la durée du niveau intermédiaire montre qu'au blocage, il y a d'abord la même réduction du turn-off delay que pour l'amorçage. Pour les phases transitoires toutefois on observe une séparation de la phase tension et courant : il existe une plage de délais où seul le dV/dt est affecté, et seulement au-delà un impact sur le dépassement apparaît. Il y a donc une zone théorique où le dV/dt peut être maximal tout en conservant un dépassement minimal.

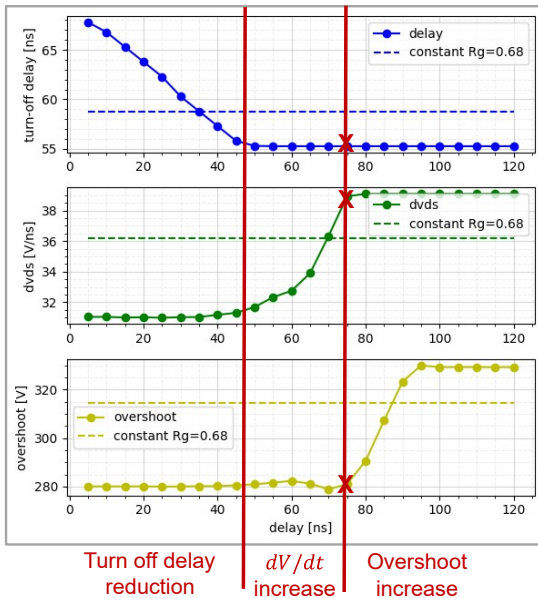


FIG. 10. Délai de blocage, dV/dt et dépassement en fonction du délai.

Ces résultats sont confirmés par l'analyse des formes d'ondes dans le cas du blocage (Figure 11), sur lesquelles une réduction

de la surtension s'observe de l'ordre de 17%, accompagnée d'une réduction des pertes de 4% grâce à la dissociation des phénomènes parasites. L'amplitude des oscillations est également réduite, et avec la forme en S de la montée de la tension ainsi qu'une réduction du dI/dt contribuent à modérer les émissions.

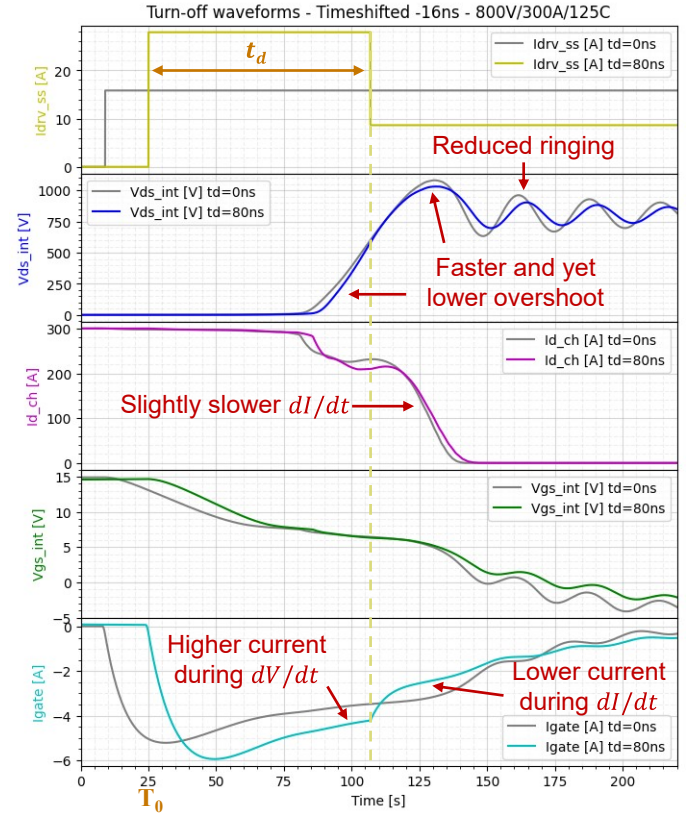


FIG. 11. Formes d'ondes au blocage avec niveau intermédiaire - Module Wolf speed WAB300M12BM3 1.2kV 300A.

5. CONCLUSION

Cet article a montré la conception d'un circuit gate driver pour la commande de grille dynamique en tension multinationaux de transistor SiC. Malgré sa complexité, et sachant que pour une attaque en tension le courant de grille reste en partie régi par la résistance équivalente, cette étude montre qu'une commande adaptative en tension permet d'offrir des compromis pertes/surtension meilleurs qu'une commande conventionnelle. Par ailleurs, une étude paramétrique a montré l'existence d'un délai optimal pour une commande à résistance commutée simple, mais en pratique un critère de synchronisation robuste reste nécessaire.

6. PERSPECTIVES

Grâce à la validation de la bonne génération de différents paliers de tension du circuit MMAGD, celui-ci pourra par la suite être testé sur un transistor SiC et en puissance lors d'un essai en double-pulse. Diverses commandes de grille, dont certains issus de simulations paramétriques, pourront ainsi être vérifiés expérimentalement afin d'améliorer les méthodes de recherche de profils avantageux en simulation et analytiquement.

7. RÉFÉRENCES

- [1] J. Henn, C. Lüdecke, M. Laumen, S. Beushausen, S. Kalker, C. H. v. d. Broeck, G. Engelmann, and R. W. d. Doncker, "Intelligent gate drivers for future power converters," *IEEE Transactions on Power Electronics*, vol. 37, no. 3, pp. 3484–3503, 2022.

- [2] Q. Wang, H. C. P. Dymond, D. Liu, Y. Wang, S. Jahdi, and B. H. Stark, "Suppression of oscillations in a sic bridge-leg using a custom single-chip digital active gate driver with 2×255 strength levels," in *PCIM Europe 2024; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, pp. 113–120, 2024.
- [3] N. Rouger, Y. Barazi, M. Cousineau, and F. Richardeau, "Modular multilevel soi-cmos active gate driver architecture for sic mosfets," in *2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, pp. 278–281, 2020.
- [4] K. Miyazaki, S. Abe, M. Tsukuda, I. Omura, K. Wada, M. Takamiya, and T. Sakurai, "General-purpose clocked gate driver ic with programmable 63-level drivability to optimize overshoot and energy loss in switching by a simulated annealing algorithm," *IEEE Transactions on Industry Applications*, vol. 53, no. 3, pp. 2350–2357, 2017.
- [5] M. Vamshi Krishna and K. Hatua, "An easily implementable gate charge controlled active gate driver for sic mosfet," in *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, pp. 999–1004, 2018.
- [6] S. Musumeci, "Gate charge control of high-voltage silicon-carbide (sic) mosfet in power converter applications," in *2015 International Conference on Clean Electrical Power (ICCEP)*, pp. 709–715, 2015.
- [7] C. Geng, D. Zhang, X. Wu, W. Shen, and R. Dong, "A novel active gate driver with auxiliary gate current control circuit for improving switching performance of high-power sic mosfet modules," in *2020 IEEE 1st China International Youth Conference on Electrical Engineering (CIY-CEE)*, pp. 1–7, 2020.
- [8] T.-W. Wang, L.-C. Chen, M. Takamiya, and P.-H. Chen, "Active gate driver ic integrating gate voltage sensing technique for sic mosfets," *IEEE Transactions on Power Electronics*, vol. 39, no. 7, pp. 8562–8571, 2024.
- [9] P. C. Bau, *CMOS active gate driver for closed-loop dv/dt control of wide bandgap power transistors*. Theses, Institut National Polytechnique de Toulouse - INPT, Dec. 2020.
- [10] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, and N. C. Rouger, "CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," *IEEE Transactions on Power Electronics*, vol. 35, pp. 13322–13332, Dec. 2020.
- [11] S. Kawai, T. Ueno, H. Ishihara, S. Takaya, K. Miyazaki, and K. Onizuka, "A 1ns-resolution load adaptive digital gate driver ic with integrated 500ksps adc for drive pattern selection and functional safety targeting dependable sic application," in *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5417–5421, 2021.
- [12] H. Kamalesh and S. Yash, "Digitally controlled switched current source active gate driver for silicon carbide mosfet with line current sensing," dec 2018.
- [13] Y. Barazi, *Fast short-circuit protection for SiC MOSFETs in extreme short-circuit conditions by integrated functions in CMOS-ASIC technology*. Theses, Institut National Polytechnique de Toulouse - INPT, Oct. 2020.
- [14] P. D. Judge, R. Mathieson, and S. Finney, "A six level gate-driver topology with 2.5 ns resolution for silicon carbide mosfet active gate drive development," in *2021 IEEE 12th Energy Conversion Congress and Exposition - Asia (ECCE-Asia)*, pp. 2133–2138, 2021.
- [15] M. Kumar, Z. Feng, S. Wang, M. Sandell, and W. Ming, "Closed loop digital design of active gate driver based power converter," in *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1135–1140, 2024.
- [16] T. Sai, K. Miyazaki, H. Obara, T. Mannen, K. Wada, I. Omura, T. Sakurai, and M. Takamiya, "Robust gate driving vectors to load current and temperature variations for digital gate drivers," in *2019 IEEE 4th International Future Energy Electronics Conference (IFEEEC)*, pp. 1–8, 2019.
- [17] T. Inuma, K. Hata, T. Sai, W. Saito, and M. Takamiya, "Two stop-and-go gate driving to reduce switching loss and switching noise in automotive igbt modules," in *2022 IEEE 7th Southern Power Electronics Conference (SPEC)*, pp. 1–7, 2022.