

Convertisseur Flyback pour l'alimentation de polymères électro-actifs

Christophe BARON^{1,2}, Elie LEFEUVRE², Fabien PARRAIN², Martino LOBUE¹, Morgan ALMANZA¹

¹Université Paris-Saclay, ENS Paris-Saclay, CNRS, SATIE, 91190, Gif-sur-Yvette

²Université Paris-Saclay, CNRS, C2N, 91190, Gif-sur-Yvette

RESUME – Les matériaux électro-actifs sont des matériaux prometteurs pour des nombreuses applications. Pour exploiter au mieux leurs potentiels, les architectures d'électronique de puissance doivent être efficaces et compactes. Parmi les architectures proposées, la Flyback réversible s'adapte à la charge capacitive des matériaux électro-actifs. Nous étudions les performances de l'interrupteur secondaire de la Flyback dans le cadre des matériaux électro-actifs pour deux technologies de transistors, un en MOSFETs Si et un en SiC. Une étude expérimentale démontre que la technologie en SiC permet un gain de 5 % de rendement tout en divisant par deux la surface occupée par les semi-conducteurs sur le circuit. L'analyse détaillée des formes d'ondes va montrer comment les éléments parasites de l'inductance couplée et des transistors modifient le fonctionnement de la Flyback et quelles limitations ils posent. Au travers d'une analyse qualitative, nous verrons qu'avec l'utilisation du SiC, l'inductance couplée devient l'élément le plus limitant pour l'augmentation de l'efficacité et de la compacité.

Mots-clés – polymères électro-actifs, système diélectrique, convertisseur Flyback, haute tension.

1. INTRODUCTION

1.1. Présentation des polymères électroactifs

Les systèmes exploitant les polymères électroactifs (Electro Active Polymer noté EAP) sont prometteurs dans de nombreuses applications, en particulier parce qu'ils sont capables d'imiter les muscles biologiques. Dans le domaine de la biomédicale, les élastomères diélectriques (dielectric elastomer actuator écrit DEA) ont par exemple permis d'augmenter les fonctions élastiques de l'aorte pour apporter une assistance cardiaque [1]. Dans le domaine de la robotique souple, les "hydraulically amplified self-healing electrostatic noté HASEL" ont été implantés sur un poisson artificiel afin de reproduire le mouvement des différentes nageoires [2]. Dans ce type de technologie, un fluide est utilisé pour amplifier le déplacement. D'autres EAP présentent des couplages électro-caloriques qui sont exploités pour faire des systèmes de réfrigération [3]. Ces nouveaux matériaux/principes amènent de nouvelles applications grâce à leurs performances, leurs compacités et leurs capacités à s'intégrer dans des systèmes. Néanmoins, les alimentations électriques de ces systèmes sont volumineuses et peu efficaces, ce qui détériore leurs intégrations dans des systèmes.

Ces systèmes sont constitués de deux électrodes déposées sur un polymère. En fonctionnement le système est périodiquement chargé et déchargé à une tension V_{EAP} et à une fréquence de quelques Hz (Fig. 1b). Ils sont ainsi modélisés par un circuit RC Fig. 1a :

Le tableau 1 présente les valeurs typiques du modèle électrique Fig. 1a que l'on peut trouver dans la littérature suivants les technologies et les applications. Les tensions de fonctionnement sont particulièrement élevées (jusqu'à 10 kV), la capacité équivalente est faible et la nécessité d'avoir des électrodes souples peut conduire à des résistances d'accès de l'ordre du kilo-Ohms.

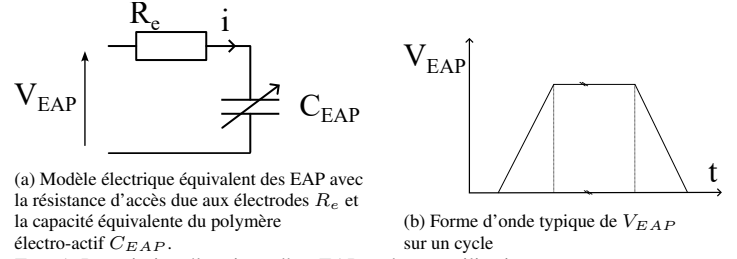


FIG. 1. Description électrique d'un EAP et de son utilisation

TABEAU 1. Caractéristiques du modèle électrique des différentes technologies d'EAPs

Référence	Gravert [2]	Meng [3]	Almanza [1]
$V_{EAP(pk)}$ en kV	0.8	2	10
C_{EAP} en nF	400	20	10
R_e en Ohm	1	10	1000
Energy in J	0.128	0.04	0.5

1.2. Problématiques d'alimentation des système à base d'EAP

Dans la plupart des applications mettant en œuvre les EAPs, l'alimentation n'est pas intégrée au système et il s'agit d'une alimentation de table. Dans les prototypes qui intègrent l'alimentation, l'efficacité n'est pas mentionnée et les rapports en volume ou en masse de l'électronique de puissance sur l'actionneur, sont supérieurs à l'unité, loin derrière d'autres applications plus standard, ce qui dégrade les bénéfices des EAPs.

Lorsque les EAPs sont déployés pour des applications portatives, en plus de devoir délivrer une tension de sortie V_{EAP} élevée, l'alimentation de ces systèmes doit être compacte et efficace.

Les EAPs étant faiblement couplés, ils ne convertissent que 20% de l'énergie reçue. Le reste doit être récupéré lors de la décharge. Afin de maintenir une bonne efficacité, la structure d'alimentation doit être bi-directionnelle.

Pour répondre à ces enjeux, différentes structures de conversion ont été proposées : un demi-pont à commutation douce précédé d'un étage élévateur de tension [4], une architecture multi-niveaux [5] et une structure Flyback bi-directionnelle. [6].

Cette structure flyback possède l'avantage d'être plus simple à contrôler que les architectures multi-niveaux, tout en conservant une certaine compacité [7]. De plus, contrairement au demi-pont qui nécessite une alimentation haute tension [4], la structure flyback intègre la montée en tension [6].

1.3. Présentation du convertisseur Flyback bi-directionnel

La flyback bi-directionnelle se représente classiquement à l'aide du schéma électrique figure 2.

Lors du processus de charge, l'énergie est transférée de la source à une inductance couplée via la fermeture de l'interrupt-

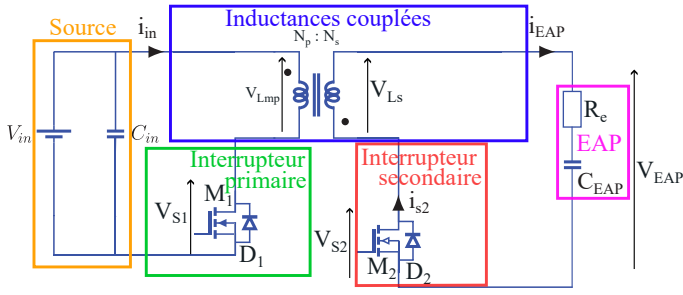


FIG. 2. Schéma de la Flyback bi-directionnelle pour l'alimentation de système à base d'EAP. En jaune, la source de tension : c'est elle qui va servir de source d'énergie pour notre système. En bleu, les inductances couplées : elles servent de réservoir d'énergie temporaire entre la source et le dispositif à alimenter. En rose, l'EAP : c'est le dispositif à alimenter. En vert et en rouge, les interrupteurs primaire et secondaire : ils permettent ou non le transfert de l'énergie entre la source et les inductances couplées et l'EAP.

teur primaire, (I_{IN} augmente pendant T_{ONp} fig.3). Une fois cette inductance chargée, l'énergie est transférée à l'EAP (I_{EAP} décroissant pendant T_{ONs} fig.3), grâce à la mise en conduction de l'interrupteur secondaire. Les pulses d'énergies d'une durée T_{pulse} sont effectués autant de fois que nécessaire pour parvenir à la tension désirée pendant une durée T_{charge} (voir figure 4). Le fonctionnement est symétrique pour la décharge.

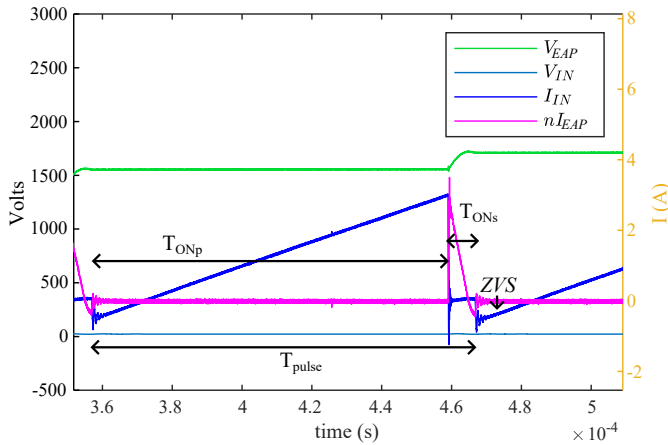


FIG. 3. Forme d'onde expérimentale d'un cycle de charge/décharge

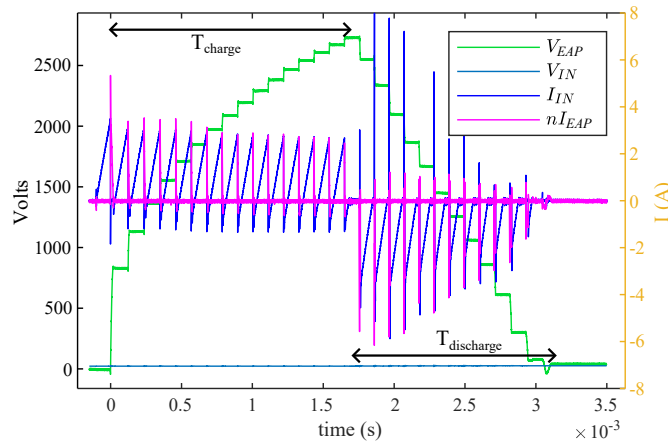


FIG. 4. Forme d'onde expérimentale d'un cycle de charge/décharge

Cependant, plusieurs éléments parasites viennent limiter le

fonctionnement de l'architecture. L'ensemble de ces éléments parasites sont représentés figure 5.

- Les inductances couplées possèdent un couplage non-idéal, modélisé par une inductance de fuite L_{lkp} (couplage < 0.97). Sa capacité à stocker de l'énergie est représenté par l'inductance magnétisante L_{mp} . Les bobinages primaire et secondaire possèdent respectivement des résistances R_p (< 1 Ohm) et R_s (plusieurs Ohm). De plus la proximité entre les fils de bobinage induit des capacités parasites. Seul la capacité propre du bobinage ramenée au secondaire C'_{ws} est considéré dans notre application [8] car prédominante (plusieurs dizaine de pico-Farad). Des techniques de bobinage peuvent limiter la capacité parasite.[9].
- Les interrupteurs sont réalisés à partir de transistor MOSFET M_1 et M_2 . Ceux ci possède une résistance à l'état passant $R_{DS(on)1,2}$ ainsi qu'une capacité parasite parallèle $C_{oss1,2}$, affectant l'efficacité du système.
- La résistance d'accès à l'EAP est modélisée par la résistance R_e

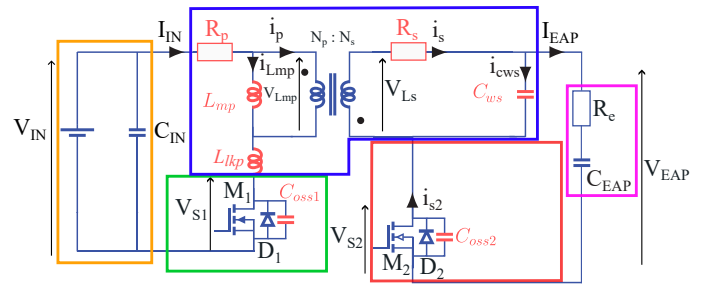


FIG. 5. Modèle de la Flyback bi-directionnelle avec les éléments parasites considérés en rouge clair.

1.4. Discussion autour des éléments parasites de la flyback

Les éléments parasites de la flyback posent plusieurs problèmes :

- L'inductance de fuite L_{lkp} emmagasine une partie de l'énergie transférée aux inductances couplées (E_{Llkp}), sans qu'il soit possible de transférer celle-ci à la charge. Si rien n'est fait, cette énergie est dissipée en grande partie dans le MOSFET M_1 à la charge / M_2 à la décharge, provoquant une surtension à ses bornes. Des techniques d'écrêtages passives peuvent limiter ces surtensions [10]. Notre application privilégiant la compacité, la mise en avalanche du MOSFET est retenue. Dans certaines applications, l'énergie E_{Llkp} est récupérée grâce à un écrêtage actif au prix toutefois d'une plus grande complexité [11].
- À chaque pulse, une partie de l'énergie de la source n'est pas transférée à la charge, mais est emmagasinée dans les différentes capacités parasites du secondaire : C_{oss2} , C_{ws} . Elle est ensuite dissipée dans les résonances et dans les commutations. Afin de limiter ces effets, une commande dites "Valley switching" [12] permet de fermer les transistors au moment où la tension à leur borne est minimale. Sous certaines conditions, une partie de cette énergie peut être de nouveau transférée à la source [12]. C'est le cas sur la figure 3. Le courant négatif observé à l'instant a correspond à la résonance entre les différentes capacités parasites et les inductances couplées. Cette résonance met en conduction la diode intrinsèque du MOSFET primaire, permettant une commutation ZVS ainsi que la récupération d'une partie de l'énergie stockée dans les capacités parasites. Cependant, cette énergie est directement proportionnelle au carré de la tension de sortie V_{EAP} . Ainsi, ces capacités parasites limitent la montée en tension de la structure [8].

- Les différentes résistances parasites du système ($R_{DS(on)1,2}$, R_p , R_s , R_e) limitent l'efficacité, en dissipant par effet Joules une partie de l'énergie qui transite par le système.

1.4.1. Design de l'interrupteur haute tension

Les MOSFET Si haute tension de la littérature possèdent des performances limitant l'efficacité de la flyback. Si l'on prend l'exemple du MOSFET 4.5 kV 1A IXTT1N450HV, version actuelle du MOSFET utilisé dans la littérature [12, 7], celui-ci possède un $R_{DS(on)}=80\Omega$, un $C_{oss2}=80\text{pF}$ et un recovery time $t_{rr}=1.75\mu\text{s}$. Ainsi, ce MOSFET n'est pas très performant en conduction, en commutation et lors de l'utilisation de sa diode intrinsèque. Afin de palier à une partie de ces problèmes, un interrupteur secondaire de synthèse à deux diodes et un MOSFET ont été proposés [6]. La figure 6 présente cette solution. L'interrupteur associe un MOSFET haute tension ainsi que deux diodes hautes tensions [6] (encadré rouge fig.6).

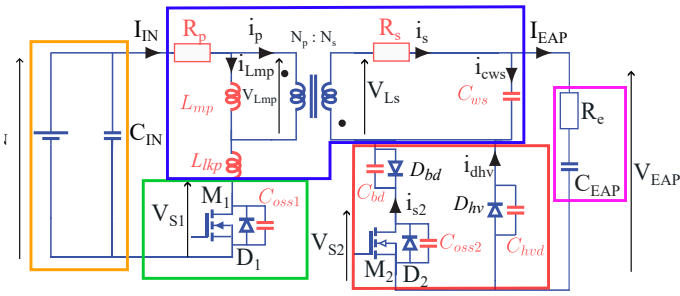


FIG. 6. Flyback bi-directionnelle avec l'interrupteur MOSFET+D au secondaire

La diode en tête du MOSFET D_{bd} permet d'utiliser la diode D_{hv} plutôt que la diode intrinsèque du MOSFET lors du processus de charge, améliorant l'efficacité à la charge. Cependant, lors de la décharge, les valeurs élevées de $R_{DS(on)2}$ et C_{oss2} conduisent à des pertes dans le MOSFET qui représente plus de 50% des pertes à la décharge.[7]. Cela explique en partie le passage d'un rendement de 90 % à la charge à moins de 80% à la décharge [7].

Ainsi, la mise au point d'un interrupteur compacte et efficace au secondaire est un verrou limitant les performances de la flyback pour la charge de polymère électro-actifs. Le développement de semi-conducteur "grand gap" en carbure de silicium (SiC) offrent une meilleure figure de mérite $FOM = 1/\sqrt{R_{DS(on)}C_{oss}}$. Une comparaison des performances entre deux MOSFETs de calibre similaires en silicium (Si) et en carbure de silicium (SiC) est proposée. L'intérêt de l'association des MOSFET SiC à des diodes Schottky est aussi discuté (fig.6). L'étude se base sur la réalisation de plusieurs cartes prototypes (voir Fig.8).

2. CHOIX DES MOSFETS

L'étude se base sur la comparaison de deux MOSFETs hautes tensions. La tension maximal V_{DS} , le courant efficace à 25 degré Celsius I_{D25} , la résistance à l'état passant $R_{DS(on)}$ la capacité parasite C_{oss} et la quantité de charge de recouvrement de la diode intrinsèque Q_{RM} des deux MOSFETs sont présentés dans le tableau 2 :

TABLEAU 2. Caractéristiques des deux technologies de MOSFET

MOSFET	V_{DS}	I_{D25}	$R_{DS(on)}$	C_{oss}
IXYS	3kV	4A	12.5 Ω	177pF
Genesic	3.3kV	3A	1 Ω	10pF

Ainsi, le MOSFET Si IXYS IXTX4N300P3HV possède un

FOM 14 fois plus faible que sont homologue en SiC de chez Genesic G2R1000MT33J. Il permet en théorie de diviser les pertes joules par plus de 10 ainsi que les pertes par commutation à la fermeture. Par la suite, pour nommer ces MOSFETs, on utilisera l'abréviation Si et SiC.

2.1. Comparaison des diodes

Considérons les différentes diode que nous avons à notre disposition : les diodes intrinsèques des MOSFETs Si et SiC ainsi qu'une diode Schottky SiC 3.3kV GAP3SLT33-214. Le courant direct continue I_F , la résistance équivalente r_{eq} , la capacité équivalente parallèle C de la diode et les charges de recouvrement Q_{RM} sont données dans le tableau 3

TABLEAU 3. Caractéristiques des diodes

Diode	I_F	$V_F(\text{seuil})$	r_{eq}	C	Q_{RM}
Si	4 A	5 V	0.1 Ω	177pF	440 nC
SiC	2A	5 V	0.25 Ω	10pF	40nC
Schottky	0.3 A	0.7 V	1 Ω	5pF	0

Ainsi la diode intrinsèque du MOSFET SiC est prometteuse car elle divise par 17 la capacité parasite et par 11 la quantité de charge de recouvrement. Elle possède cependant des performances inférieures à la diode Schottky SiC 3.3kV GAP3SLT33-214. Le gain de l'architecture de l'interrupteur à deux diodes doit être étudié afin de justifier l'association MOSFET SiC avec deux diodes SiC.

3. DISPOSITIF EXPÉRIMENTAL

L'ensemble des mesures expérimentales sont réalisées à l'aide du dispositif d'une carte primaire, 2 inductances couplées, d'une carte secondaire le tout commander par un FPGA Artix 7-35t (voir Fig. 7). La modularité de ce dispositif permet de facilement changer la carte secondaire (voir Fig.8) afin d'étudier différentes configurations de son interrupteur :

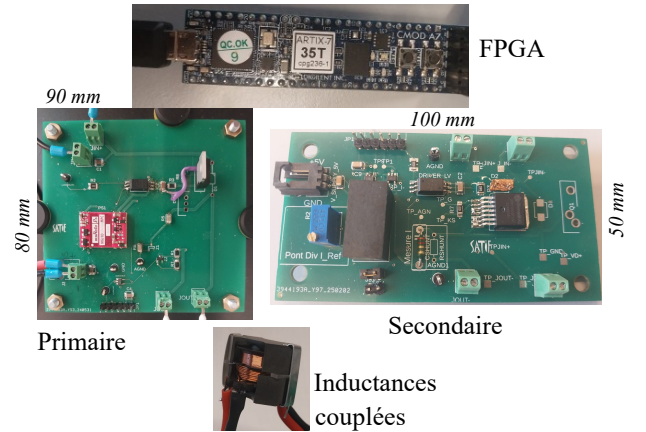


FIG. 7. Différents modules de l'architecture Flyback

Afin de comparer les transistors SiC et Si, trois cartes du circuit secondaire sont réalisées (fig. 8) :

- Si+D (fig. 8c) : carte secondaire avec l'architecture transistor Si et deux diodes fig.5.
- SiC+D (fig. 8b) : carte secondaire avec l'architecture transistor SiC et deux diodes fig.5.
- SiC (fig. 8a) : carte avec transistor SiC seul.

Les cartes secondaires fig. 8 sont contrôlées au travers du FPGA Artix 7 (fig. 5) afin d'effectuer un contrôle par "Valley switching". Le système modulaire fig. 5, avec le primaire à gauche et le secondaire à droite nous permet d'étudier facilement différentes configurations.

Les essais sont effectués sous les conditions suivantes :

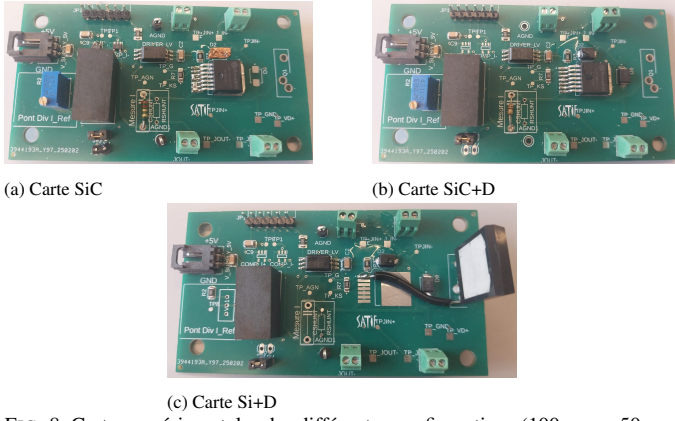


FIG. 8. Cartes expérimentales des différentes configurations (100 mm x 50 mm)

- $V_{in} = 23 \text{ V}$: Tension d'entrée
 - $C_{EAP} = 9.411 \text{ nF}$: Capacité de charge
 - $R_e = 0 \text{ m}\Omega$: Résistance d'accès
 - $n = 5.18$: Rapport du transformateur
 - $L_1 = 617 \mu\text{H}$, $L_2 = 16.49 \text{ mH}$: Inductances du primaire et du secondaire
 - $k = 0.93$: Coefficient de couplage
 - $C_{ws} = 44 \text{ pF}$: Capacité propre des bobinages ramenée au secondaire
 - $R_p = 580 \text{ m}\Omega$ Résistance du bobinage primaire
 - $R_s = 15.8 \text{ m}\Omega$ Résistance du bobinage secondaire
- Les mesures de rendement sont ensuite réalisées à l'aide de sonde de tension Elditest GE3421, de sonde de courant Micsig CP1003B et Hioki CT6711. Les données sont acquises sur un oscilloscope Teledyne LeCroy série WaveSurfer 4024HD.

4. RÉSULTATS EXPÉRIMENTAUX

Les mesures de rendements sont réalisées lors d'un cycle de charge décharge à 2.7 kV représenté figure 4. Les rendements obtenus pour chaque configuration sont représentés dans le tableau 4.

Phase	Si+D	SiC+D	SiC
Charge (34 mJ)	0.835	0.854	0.850
Discharge	0.805	0.840	0.853

TABEAU 4. Rendements expérimentaux lors des phases de charge et de décharge à 2.7 kV, soit 34 mJ.

On remarque des performances similaires lors du processus de charge entre les différentes architectures. Cependant, lors de la décharge, les architectures basées sur un MOSFET SiC sont bien plus performantes que leurs homologues en Si. Cependant, il n'y a pas de différence notable sur le rendement entre les architectures SiC et SiC+D.

Afin de mieux comprendre ces résultats, une modélisation analytique des pertes dans l'interrupteur secondaire permet d'obtenir la répartition des pertes figure 9 pour la charge et figure 10 pour la décharge :

Les pertes considérées lors de cette modélisation analytique sont :

- Les pertes par conduction dans les interrupteurs primaire et secondaire "Cond-M1", "Cond-diode-HV", "Cond-M2", "Cond-diode-LV". Celles-ci sont calculées à l'aide de la mesure de courant et des données constructeurs des semi-conducteurs.
- Les pertes dans le matériau magnétique "E-magn". Celle ci sont approximé à l'aide des données constructeurs des pertes volumiques à 100 kHz pour 150 mT.
- Les pertes dans les bobinages primaire et secondaire "Joules_{RP}" et "Joules_{RS}" en négligeant l'effet de peau.

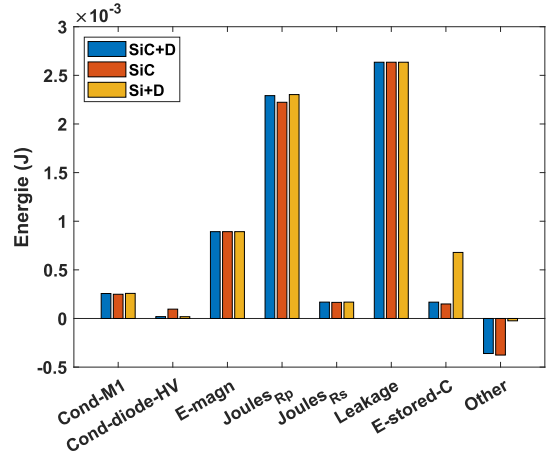


FIG. 9. Estimation analytique des pertes lors de la charge

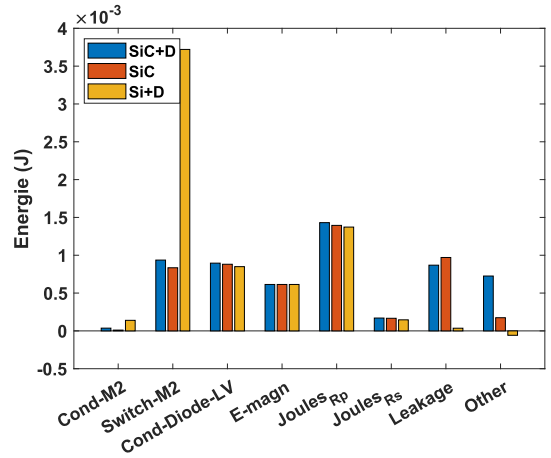


FIG. 10. Estimation analytique des pertes lors de la décharge

- L'énergie stockée dans l'inductance de fuite "Leakage" est considérée comme dissipé lorsqu'elle excède l'énergie transférer à la capacité parasite de l'interrupteur lors de son ouverture.
- Les pertes à la commutation "Switch-M2" correspondent à l'énergie stockée dans la capacité équivalente de l'interrupteur haute tension C_{eqs}
- Les pertes "Other" correspondent à la différence entre la somme des pertes calculés et les pertes globales mesurées à la charge/décharge.

À la charge, les résultats sont sensiblement identiques. Comme prévu, l'architecture à diode est peu sensible au MOSFET utilisé, et la diode intrinsèque du SiC, même si elle est moins performante que la diode Schottky, possède des pertes très faible comparée aux autres pertes du système et n'influence donc pas l'efficacité de la charge.

À la décharge, comme prévu les performances du MOSFET Si sont très inférieures à celle du MOSFET SiC, que cela soit en conduction ou en commutation. Cela explique la différence de rendement de 5%. Durant cette phase de fonctionnement, les diodes Schottky de l'interrupteur secondaire sont uniquement des éléments parasites, ce qui explique le rendement légèrement supérieur obtenue avec le MOSFET SiC seul.

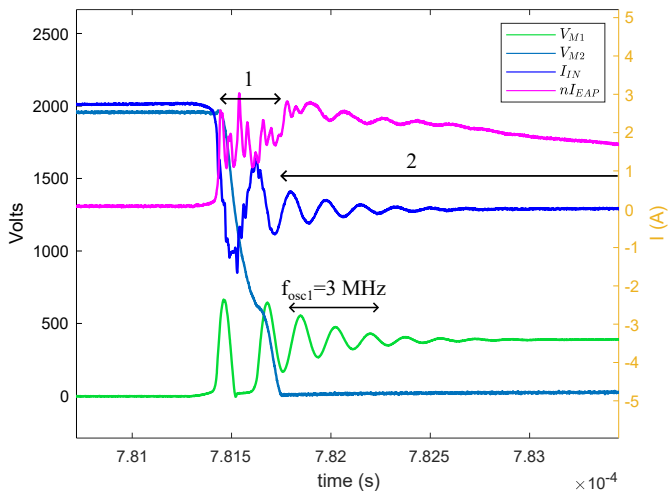
La solution optimisant l'efficacité sur cycle de charge/décharge est l'utilisation d'un MOSFET SiC seul. Il permet de se passer de deux composants semi-conducteurs, améliorant ainsi la compacité du dispositif. Les avancées technologiques dans les MOSFET SiC hautes tension permette de

lever les difficultés de mise au point de l'interrupteur secondaire pour architecture flyback destinée à l'alimentation des EAPs. Finalement, une majeure partie des pertes est dû à l'inductance couplée, que cela soit au travers des pertes dans le bobinage, dans le matériau magnétique ou bien à cause des pertes liées à l'inductance de fuite.

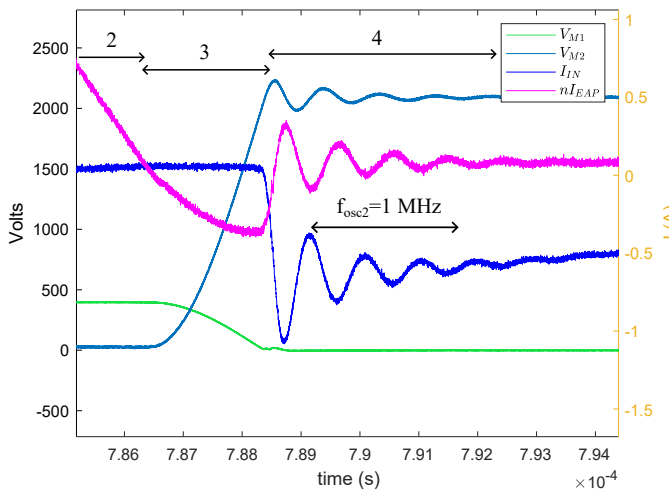
L'estimation analytique des pertes des graphiques Fig.9 et Fig.10 ne rend pas compte des échanges d'énergie entre les différents éléments parasites ayant lieu lors de la commutation, c'est pourquoi une étude des commutations basées sur les courbes expérimentales est proposée.

5. ÉTUDE DES COMMUTATIONS

Afin de mieux appréhender les différents échanges d'énergie lors d'un cycle de charge, observons les formes d'ondes aux instants de commutation lors du processus de charge figure 11 :



(a) Ouverture de l'interrupteur primaire



(b) Ouverture de l'interrupteur secondaire

FIG. 11. Forme d'onde aux instants de commutation lors de la charge pour l'architecture SiC

On peut décomposer le fonctionnement en quatre phases principales.

- Phase 1 : Alors que le circuit magnétique se charge au travers du MOSFET M_1 , celui-ci s'ouvre. Une partie de l'énergie contenue dans L_{lkp} est transférée au condensateur C_{oss1} , qui se charge à la tension $V_{in} + V_{EAP}/n$. L'excédent d'énergie est dissipé dans la résonance amor-

tie de fréquence théorique $f_{osc1} = 1/(2\pi\sqrt{L_{lkp}C_{oss1}}) = 4.5\text{ MHz}$, ce sont les pertes "Leakage". Cet excédent d'énergie provoque une surtension sur l'interrupteur primaire, ce qui peut l'endommager. L'inductance L_{mp} résonne avec le condensateur décharge les condensateurs C_{ws} et C_{eqs} (condensateur équivalent en parallèle de l'interrupteur secondaire), jusqu'à annuler la tension au borne de l'interrupteur secondaire. C'est cette quantité d'énergie que doit fournir l'inductance magnétisante pour mettre en conduction l'interrupteur secondaire qui limite la montée en tension de l'architecture.

- Phase 2 : La diode de l'interrupteur secondaire devient passante, la tension au borne de l'interrupteur est imposée à la tension seuil de la diode. La résonance entre L_{lkp} et C_{oss1} est amortie par les différentes résistances du circuit. L'énergie contenue dans le circuit magnétique est transmise au condensateur C_{EAP} . Pertes par conduction.
- Phase 3 : Le courant au borne de la diode s'annule. Le condensateur C_{eqs} , C_{oss1} , C_{ws} résonne avec le circuit magnétique.
- Phase 4 : Si $V_{EAP}/n > V_{in}$ la diode intrinsèque du primaire se met en conduction, ainsi une partie de l'énergie emmagasinée dans les capacités parasites C_{oss1} et C_{ws} est resituée à la source (cette condition est toujours vérifiée dans nos expériences). En négligeant les pertes, cette énergie est égale à la différence d'énergie stockée dans les capacités parasites entre le début de la phase 3 et le début de la phase 4. Plus la tension V_{EAP} est élevée, plus cette quantité d'énergie est importante. L_{lkp} résonne avec C_{ws} et la capacité parallèle de l'interrupteur secondaire C_{eqs} à une fréquence $f_{osc1} = 1/(2\pi\sqrt{L_{lkp} * n^2 * (C_{ws} + C_{eqs})}) = 0.5\text{ MHz}$. Durant cette phase de conduction de la diode D_1 , le MOSFET M_1 se ferme à zéro de tension. Retour à la phase 1

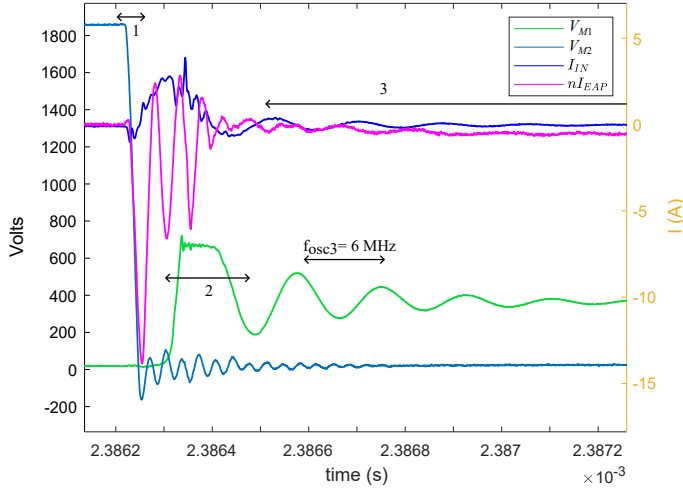
Ainsi, lors de la phase 1, une partie de l'énergie fournie par la source est utilisée pour amorcer la diode. Cette énergie génère des pertes Joules et magnétiques, tout en n'étant pas utile pour la charge. Sa proportion doit donc être limitée.

Dans le cas où $C_{oss2} \gg C_{hvd}$, l'architecture à diode est permet de diminuer la valeur de C_{eqs} par rapport à un MOSFET seul, limitant ainsi des pertes Joules et magnétiques liée à la charge de C_{eqs} .

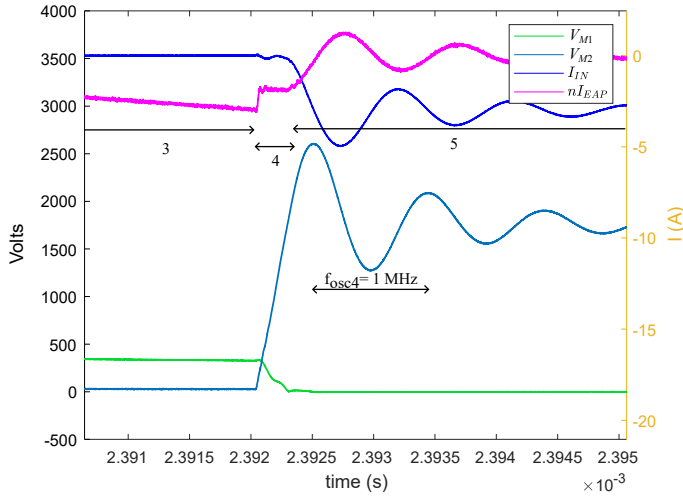
5.1. Pertes par commutation à la décharge

L'influence de C_{oss2} ne se limite pas seulement au processus de charge. De la même façon que précédemment, discutons des formes d'onde expérimentales aux commutations lors de la décharge, représentées figure 12.

- Phase 1 : Alors que les MOSFETs M_1 et M_2 sont ouverts. Les condensateurs C_{oss1} et $C_{eqS} = C_{hvd} + C_{oss2}$ sont respectivement chargés à la tension V_{in} et V_{EAP} . On commande la fermeture du MOSFET secondaire M_2 , C_{eqS} se décharge donc dans M_2 , dissipant l'énergie stockée dans celui-ci. $E_{switch_M2} = \frac{1}{2}C_{eqS}V_{EAP}^2$. Le condensateur C_{ws} se charge simultanément.
- Phase 2 : Le condensateur C_{oss1} se charge à la tension $V_{EAP}/n + V_{in}$ au travers d'une résonance avec l'inductance de fuite à une fréquence de théorique $f_{osc3} = 4.5\text{ MHz}$. Au travers de cette résonance, une surtension au borne de M_1 apparaît et peut mettre le MOSFET en avalanche.
- Phase 3 : Le condensateur C_{EAP} se décharge dans le circuit magnétique. L'oscillation entre C_{oss1} et L_{lkp} est amortie par les résistance du système
- Phase 4 : Le MOSFET M_2 se ferme. Une partie de l'énergie contenue dans L_{lkp} charge le condensateur C_{eqS} . L'excédent est dissipé, ce sont les pertes "Leakage". Comme C_{oss2} est très grand pour le MOSFET Si, celui-ci emmagasine la quasi-totalité de l'énergie stockée dans



(a) Fermeture du MOSFET secondaire à la décharge



(b) Ouverture du MOSFET secondaire à la décharge

FIG. 12. Forme d'onde aux instants de commutation lors de la charge

L_{lkp} et la dissipe à la fermeture de M_2 . L_{mp} décharge C_{oss1} et C_{ws} jusqu'à annuler la tension au borne de l'interrupteur M_1 .

- Phase 5 : Le circuit magnétique restitue l'énergie qu'il a emmagasiné durant la phase 3 à la source. L'inductance de fuite entre en résonance C_{ws} et la capacité parallèle de l'interrupteur secondaire C_{eqs} , à une fréquence théorique $f_{osc4} = 0.5$ MHz. Lorsque le courant dans le primaire s'annule, les condensateurs parasites se charge pour un retour à la phase 1.

Ainsi, même si une grande valeur de C_{oss2} permet de limiter les surtensions sur le MOSFET M_2 lors de son ouverture à la décharge, l'énergie qu'il emmagasine est nécessairement dissipé. Cette commutation dure est la principale source de pertes au sein de l'interrupteur, peu importe la technologie de MOSFET.

6. CONCLUSION

Les performances de la nouvelle génération de MOSFET SiC permettent de lever le verrou technologique d'un interrupteur secondaire performant pour la flyback. En effet, ils permettent un gain de 5 points de rendement lors du processus de décharge. De plus, il permet de se passer de l'utilisation de deux diodes, permettant ainsi un gain en compacité par rapport à son homologue en silicium. Finalement, une estimation analytique des pertes

montre que désormais, celles-ci ont majoritairement lieu dans les bobinages, symétrisant ainsi les rendements entre la charge et la décharge. Le choix des bobinages est donc le paramètre limitant pour les performances de la flyback.

7. REMERCIEMENTS

Ce travail a été soutenu par l'agence de recherche nationale française sur les ANR-20-CE05-0044, ANR-23-CE05-0012.

8. RÉFÉRENCES

- [1] M. Almanza, F. Clavica, J. Chavanne, D. Moser, D. Obrist, T. Carrel, Y. Civet, and Y. Perriard, "Feasibility of a Dielectric Elastomer Augmented Aorta," *Advanced Science*, vol. 8, p. 2001974, Mar. 2021.
- [2] S.-D. Gravert, E. Varini, A. Kazempour, M. Y. Michelis, T. Buchner, R. Hinchet, and R. K. Katzschmann, "Low-voltage electrohydraulic actuators for untethered robotics," *Science Advances*, vol. 10, p. eadi9319, Jan. 2024.
- [3] Y. Meng, J. Pu, and Q. Pei, "Electrocaloric cooling over high device temperature span," *Joule*, vol. 5, pp. 780–793, Apr. 2021.
- [4] S. Mönch, R. Reiner, K. Mansour, P. Walteit, M. Basler, R. Quay, C. Molin, S. Gebhardt, D. Bach, R. Binniger, and K. Bartholomé, "A 99.74% Efficient Capacitor-Charging Converter Using Partial Power Processing for Electrocalorics," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 11, pp. 4491–4507, Aug. 2023.
- [5] M. Almanza, T. Martinez, M. Petit, Y. Civet, Y. Perriard, and M. LoBue, "Adaptation of a Solid-State Marx Modulator for Electroactive Polymer," *IEEE Transactions on Power Electronics*, vol. 37, pp. 13014–13021, Nov. 2022.
- [6] P. Thummala, Z. Zhang, and M. A. E. Andersen, "High voltage Bidirectional flyback converter for capacitive actuator," in *2013 15th European Conference on Power Electronics and Applications (EPE)*, (Lille, France), pp. 1–10, IEEE, Sept. 2013.
- [7] P. Thummala, H. Schneider, Z. Zhang, Z. Ouyang, A. Knott, and M. A. E. Andersen, "Efficiency Optimization by Considering the High-Voltage Flyback Transformer Parasitics Using an Automatic Winding Layout Technique," *IEEE Transactions on Power Electronics*, vol. 30, pp. 5755–5768, Oct. 2015.
- [8] V. Ravi, S. Satpathy, and N. Lakshminarasamma, "An Energy-Based Analysis for High Voltage Low Power Flyback Converter Feeding Capacitive Load," *IEEE Transactions on Power Electronics*, vol. 35, pp. 546–564, Jan. 2020.
- [9] P. Thummala, H. Schneider, Z. Zhang, and M. A. E. Andersen, "Investigation of Transformer Winding Architectures for High-Voltage (2.5 kV) Capacitor Charging and Discharging Applications," *IEEE Transactions on Power Electronics*, vol. 31, pp. 5786–5796, Aug. 2016.
- [10] Y. Street and R. Hill, "Step-by-step Snubber and Clamp Design for Power Supplies,"
- [11] B.-R. Lin, H.-K. Chiang, K.-C. Chen, and D. Wang, "Analysis, design and implementation of an active clamp flyback converter," in *2005 International Conference on Power Electronics and Drives Systems*, vol. 1, pp. 424–429, Nov. 2005. ISSN : 2164-5264.
- [12] P. Thummala, D. Maksimovic, Z. Zhang, and M. A. E. Andersen, "Digital Control of a High-Voltage (2.5 kV) Bidirectional DC–DC Flyback Converter for Driving a Capacitive Incremental Actuator," *IEEE Transactions on Power Electronics*, vol. 31, pp. 8500–8516, Dec. 2016.