

Méthodologie d'extraction des éléments parasites d'un module de puissance SiC basée sur mesures N-port

Gregory ALMEIDA¹, Sébastien SERPAUD¹, Victor DOS SANTOS^{1,2}, Bernardo COUGO¹, Fabio COCCETTI¹

¹IRT Saint-Exupéry (France), et ²SAFRAN Tech (France)

RESUME – Ce papier présente une méthodologie N-port basée sur des mesures pour extraire les parasites RL présents dans la maille de commutation de modules de puissance (DUT) à base de SiC. Le modèle, de type soit boîte noire ou grise, s'appuie sur des mesures en paramètres S pour un nombre donné de ports accessibles (N). L'approche proposée permet de construire un modèle représentant le comportement du module de puissance aussi fidèlement que possible à sa réalité physique. Les incertitudes de mesure sont gérées par une régression optimisée via la méthode de Gauss-Newton-Raphson (GNR). Des résultats expérimentaux et une analyse comparative intégrant les parasites RL dans un module SiC, à partir de mesures, des simulations et du modèle N-port, est introduite sous forme d'un tableau et valident l'approche.

Mots-clés – Extraction des parasites, modules de puissance SiC.

1. INTRODUCTION

Plusieurs travaux portant sur l'extraction des parasites pour proposer des modèles plus fidèles (jusqu'à quelques dizaines MHz) de l'électronique de puissance en utilisant des composants grand gap (WBG) ont été investigués [1, 2]. Lors des fronts de commutation, une cellule de commutation peut être modélisée par un circuit RLC résonnant. Dans ce contexte, l'inductance parasite (L) de la maille de commutation est un paramètre clé, et joue un rôle très important. En effet, elle peut influencer fortement les transitoires dans les modules SiC. Parmi les différentes approches pour estimer L en [1], on se concentre ici sur les méthodes basées mesures dit « statique », dont l'utilisation des extraction à partir des mesures en Paramètres S. Ainsi, on considère que L ne varie pas avec la polarisation du transistor.

Lors de l'étude bibliographique sur méthodes d'extraction des éléments parasites, on constate une attention particulière portée aux recherches sur l'extraction de les inductances parasites liées au *packaging* [1], souvent pas fournis par les fabricants. A priori, cela n'étonne pas, car en effet les autres éléments dépendent souvent du choix du composant : à savoir, R sera dicté par la résistance du transistor à l'état ON $R_{ds(on)}$ [3] et C par les capacités du transistor non linéaires C_{gd} , C_{ds} , C_{gs} [5] bien ainsi que des parasites linéaires du aux couplages capacitifs liées à l'épaisseur de l'interface thermique entre la semelle du module de puissance et le dissipateur C_{bp} , ou capacités de l'inductance C_L [4] (e.g., cas d'un un test double impulsion).

Donc, on divise ces méthodes ici en trois types : (i) simulation à éléments finis (FEM), (ii) combinaison entre FEM avec mesures d'impédance, et (iii) mesures pure. Chacune de ces méthodes présentent des résultats raisonnables. Cependant, dans certains cas, la valeur d'une méthodologie basée sur que des simulations en tant qu'outil prédictif est réduite [8], notamment lorsqu'elle commence à devenir intrusive ou nécessite des informations internes sur le module de puissance.

Dans cet article, la méthode présentée dans [9] pour les applications PIC- μ C est adaptée aux modules en électroniques de puissance. Un cas d'application avec un module de puissance SiC est présenté. Les parasites RL extraites à partir de la méthode N-port sont comparées à celles obtenues en considérant la méthodologie basée sur la simulation (FEM) [10]. Les méthodes/méthodologies tels que celles présentées/basées en [10]

fournissent des valeurs concentrés (macro-niveaux) des parasites. En revanche, la méthodologie N-port offre une interprétation plus réaliste des valeurs extraites en utilisant des éléments parasites distribués, garantissant une meilleure précision locale.

Ce papier est structuré comme suit : Le chapitre 2 donne une vision globale la méthodologie N-Port et ses étapes. Le chapitre 3 détaille la mise en œuvre expérimentale de la méthodologie dans un cas applicatif. Le chapitre 4 souligne quelques analyses et discussion des résultats. Le chapitre 5 résume les principales conclusions de ce travail en mettant en évidence quelques les défis à relever. Des données/résultats supplémentaires sont présentés dans l'annexe. De plus, dans ce papier, le formalisme du système sera abordé sous forme matricielle.

2. MÉTHODOLOGIE N-PORT

Le concept N-port s'agit de représenter un DUT de tel sorte qu'il peut être défini comme un réseau d'impédance ayant N terminaux dans lesquelles une quantité de puissance peut être introduite et desquelles la puissance peut être retirée. Il y a donc N ondes entrantes et N ondes sortantes. En effectuant un ensemble de mesures à deux ports (ou à un port), une matrice d'impédance d'ordre N peut être élaborée. À titre d'exemple, pour obtenir une détermination juste de cette matrice, m configurations de mesure à deux ports linéairement indépendantes sont nécessaires selon l'expression (1).

$$m \geq \frac{N!}{2 \cdot (N-2)!} = \frac{N \cdot (N-1)}{2}. \quad (1)$$

À partir d'une matrice d'impédance (ordre N), il est possible d'obtenir un modèle distribué des éléments parasites du DUT. La méthodologie N-port peut être résumée en six étapes principales, voir la Fig. 1, qui seront détaillées ci-dessous.

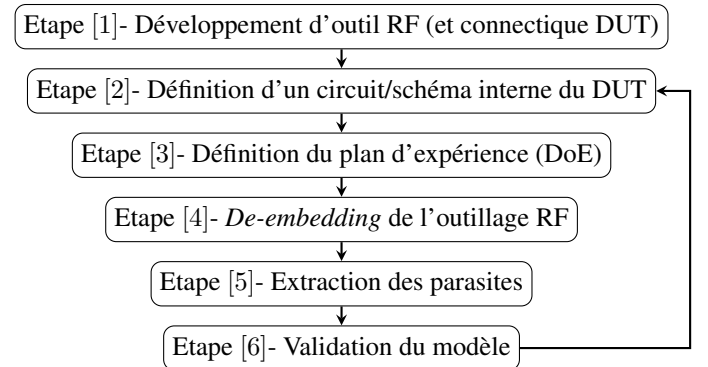


FIG. 1. Vision générale de la méthodologie d'extraction des parasites N-port.

2.1. Etape [1]- Développement d'outil RF

Les analyseurs d'impédance (IAs) ou analyseurs de réseaux vectoriel (VNAs), utilisent des connecteurs RF qui facilitent

la calibration et garantissent des mesures précises. Cependant, les modules de puissance ne disposent pas des connecteurs RF. Dans ce contexte, un outil RF (adaptateur) est nécessaire pour interfacer le DUT avec l'appareil de mesure d'impédance. Sa longueur doit être aussi courte que possible pour minimiser l'impact de l'impédance de l'outil RF.

2.2. Etape [2]- Définition d'un circuit interne du DUT

Dans le cadre du développement d'un modèle pour un module de puissance SiC pour évaluer/optimiser les émissions EMI, une approche de modélisation valide au-delà de quelques MHz, cette zone dit « *near-RF domain* » en [12], doit tenir compte l'effet que tous les éléments parasites auront un impact significatif sur le niveau d'émissions EMI. Pour ce faire, l'hypothèse considérée ici suggère que des informations suffisantes sur le DUT (des documentation techniques, les dimensions du boîtier, etc.) en complément avec les mesures d'impédance peuvent être utilisées pour créer une première approximation d'un modèle plus réaliste de l'agencement interne du DUT. Cela conduit à une approche dit-on *boîte grise*, où un schéma de circuit représentant les éléments parasites internes du DUT est proposé. À partir de cette première hypothèse de modèle, un ensemble d'inconnues ' u ' (parasites internes), désigné par U_u , doit être identifié.

2.3. Etape [3]- Définition du plan d'expérience (DoE)

Ici, le plan d'expérience (DoE) nous permettra de construire un ensemble de ' m ' mesures sous une forme matricielle $[M]_m$. Dans premier temps, le vecteur M peut être défini comme une fonction du vecteur U , telle que

$$M_m = [K]_{m \times u} \cdot [U]_u^T, \quad (2)$$

où K est associé à la matrice des coefficients $[K]_{m \times u}$, et U à la matrice des inconnues $[U]_u$.

Le vecteur K , dans la matrice des coefficients, modélise le chemin de chaque impédance ' m ' mesurée selon le DoE.

Deux conditions doivent être respectées dans ce cas : (i) primo, Pour résoudre le système d'équations et extraire le vecteur U , la matrice $[K]_{m \times u}$ doit être carrée. Des configurations de mesure d'impédance ' $m = u$ ' sont donc nécessaires sur le DUT pour résoudre le vecteur U . (ii) secundo, le système d'équations doit être linéairement indépendant. La construction de l'ensemble de mesures $K_{m \times u}$ doit satisfaire à cette contrainte. Il faut noter que dans les cas réels, (2) n'est pas rigoureusement respectée, car l'impédance de l'outil RF et l'incertitude de la mesure doivent être gérées. Ces points sont examinés ensuite.

2.4. Etape [4]- De-embedding de l'outillage RF

Le *De-embedding* (compensation d'outillage) s'agit d'une procédure post-mesure visant à éliminer autant que possible l'impact du bruit de l'environnement (e.g., les interconnexions de câbles, sondes, connectique du DUT, etc.) bien ainsi que ça sert à faire une extraction d'une mesure précise/proprie.

Comme discuté dans la section 2.1, dans la zone *near-RF domain* [12], l'effet de l'étalonnage avec outillage/adaptateurs RF à DUT ne peut pas être négligeable. Donc, pour accéder à l'impédance propre au DUT (i.e., M_{dut}), il est nécessaire de faire la procédure de *De-embedding* de la mesure directe/brute de l'impédance (i.e., M_m) conformément à Z_{tool} .

L'impact de l'outillage RF peut être éliminé en considérant simplement deux mesures d'étalonnage préliminaires sur l'outil RF (i.e., deux mesures à un port $Z_{T_{open}}$ et $Z_{T_{short}}$). La Fig. 2 résume le *De-embedding*.

En supposant la passivité et la réversibilité de la matrice d'impédance à deux ports Z_{tool} (i.e., $[T]$ dans la Fig. 2) qui modélise le RF-Tool, Z_{tool} peut être extrait du système d'équation construit avec les deux configurations de mesure $Z_{T_{open}}$ et $Z_{T_{short}}$. Ensuite, Z_{dut} est déterminé à partir de Z_m et Z_{tool} . La combinaison des deux processus est reprise par (3).

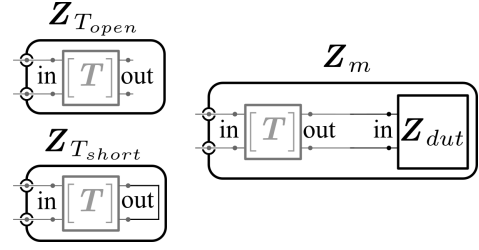


FIG. 2. Illustration de *de-embedding* de l'outil RF.

Cette procédure peut être réalisé directement avec le logiciel *TouchstoneEditor* [9].

$$Z_{dut} = Z_{T_{open}} \frac{Z_m - Z_{T_{short}}}{Z_{T_{open}} - Z_m}. \quad (3)$$

2.5. Etape [5] - Extraction des parasites

Une fois que M_{dut} est généré après le *de-embedding*, l'extraction des éléments parasites inconnus inclus dans U_u peut être déterminé à partir de (4).

$$U_u = [K]_{m \times u}^{-1} \cdot [M_{dut}]_m, \quad (4)$$

où $[K]_{m \times u}$ est la matrice de coefficients définis par le DoE.

Cependant, la résolution de ce système d'équations n'est souvent pas possible car la définition actuelle du système est singulière. De plus, les incertitudes des mesures ne sont pas encore prises en compte. Néanmoins, une solution basée sur un l'algorithme des moindres carrés GNR est utilisée, dans ce travail, pour résoudre le problème. Ainsi, le nombre de mesures m doit être plus élevé que le nombre d'inconnues

$$m \gg u \quad (5)$$

En pratique, il est très important de minimiser les effets des erreurs de mesure (résidus) afin d'obtenir des valeurs optimales. Pour gérer le problème de la singularité. Pour ce faire, l'approche de régulation de Levenberg-Marquadt est appliquée au GNR.

2.6. Etape [6] - Validation du modèle

Il est possible que, pendant l'analyse des parasites extraits du modèle, on identifie des résultats non physiques (e.g., $R \leq 0$ or $L \leq 0$), ce qui indique que l'hypothèse d'un premier circuit équivalent du DUT ne pas représenter précisément la structure interne du DUT. Si c'est le cas, d'autres mesures d'impédance doivent être considérées pour améliorer cette compréhension interne du DUT. Si nécessaire, les étapes 2-5 sont répétées avec une mise à jour afin de mieux représenter le DUT en interne.

3. MÉTHODOLOGIE EXPÉRIMENTALE

3.1. Définition d'un cas applicatif

Dans cette étude, un module de puissance CCS050M12CM2 est considéré. Il s'agit d'un module MOSFET-SiC à 3 bras de commutation (deux niveaux chaque), avec une puce par transistor. De plus, y compris une diode supplémentaire connecté en anti-parallèle avec chaque MOSFET. La Fig. 3 présente le *layout* en interne du DUT, après avoir consulté quelques documents techniques pour proposer une approximation plus réaliste selon la physique. Afin d'avoir une comparaison de la méthode N-port avec d'autres approches, une méthode basée sur la extraction des parasites par simulation est résumée ensuite.

3.2. Méthode FEM basée sur simulation

Cette méthode présentée [10] pour deux cas particulier, utilise l'outil de simulation ANSYS Q3D pour estimer les éléments

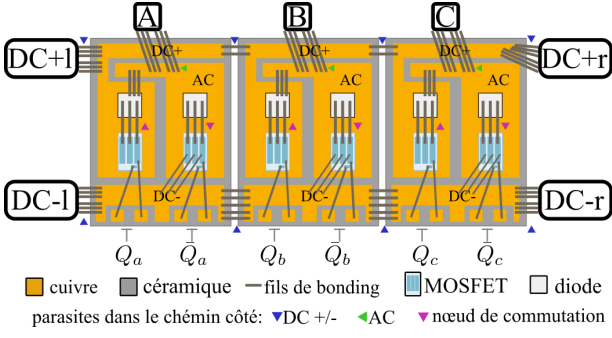


FIG. 3. Vision initiale du DUT en interne après inspection.

parasites concentrés présentent dans la maille de commutation. Afin de reproduire des conditions similaires à celles des expériences et des mesures qui seront abordées dans cet article, le *setup* de simulation a été modifié, et 32 configurations ont été simulées. Pour la configuration mes. #18, les parasites extraits ont été estimés à $R_{lc} = 4,39 \text{ m}\Omega$ et $L_{lc} = 34,69 \text{ nH}$, voir la Fig. 3. Notez qu'après ce point, la méthodologie devient limitée car il n'y a pas d'information sur la façon dont cette valeur pourrait être distribuée de manière plus réaliste. En effet, veuillez noter que d'après la méthode décrite en [10], il n'y a pas une présentation de comment R_{lc} et L_{lc} pourront être distribué, d'où la méthode N-port est proposée.

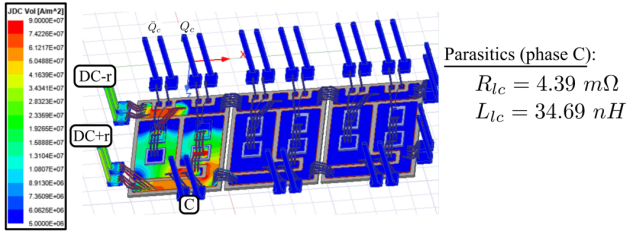


FIG. 4. Résultat de simulation pour la mes. #18. Méthode Q3D [cet article].

3.3. Méthode N-port proposée et basée sur les mesures

On synthétise ici les six étapes principaux de la méthode N-port pour le cas applicatif :

Etape 1 : Développement d'outil RF (et connectique DUT) :

Un kit d'outillage RF a été développée dans le but d'avoir une interface connectique plus symétrique et le plus flexible possible, et gardant la longueur plus courte possible. Veuillez noter qu'un seul type de kit suffit selon ce DUT CCS050M12CM2. La Fig. 5 montre un exemple de cette étape. L'ensemble de mesures a été considéré avec l'analyser d'impédance Keysight (E4990A avec une sonde 42941A) pour faire N mesures du type 1-port. L'impact de la position de la tresse du kit a été mesuré et jusqu'à 10MHz l'impact est faible, en donnant des erreurs moins de 10% pour les positions évaluées [7].

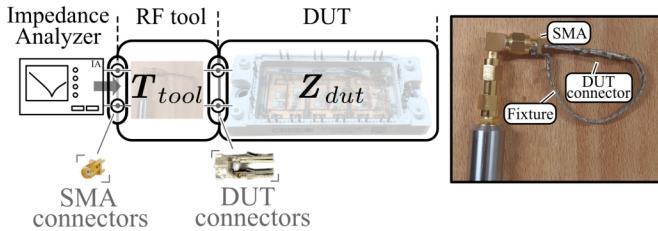


FIG. 5. Kit RF utilisé pour les mesures 1-port avec l'analyseur d'impédance.

Etape 2 : Définition d'un circuit interne du DUT :

D'après une connaissance interne du module, une version de la topologie/*layout* interne avec les parasites distribués a été proposée, voir Fig. 6. Cette étude se concentre sur les éléments RL de la boucle/maille de puissance. En terme d'impédance $Z = R + j\omega.L$, le nombre des inconnues seront 17 pour chaque élément $u = 2 \times 17$. Notez que les capacités parasites (de la *baseplate* ou des transistors) ne sont pas incluses ici, mais la procédure reste similaire.

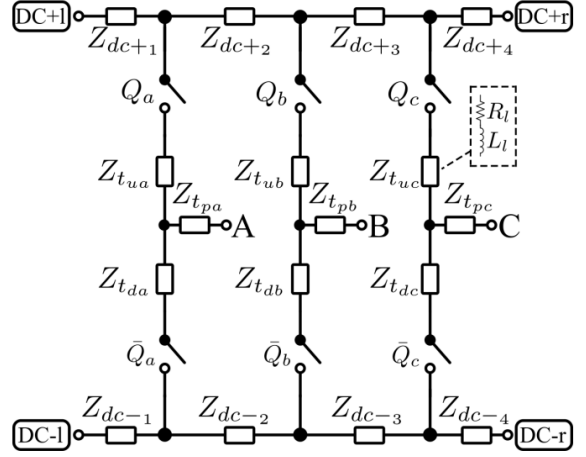


FIG. 6. Proposition d'un *layout* du DUT. Focus sur la maille de puissance où les impédances Z du *layout* sont sensées à avoir un effet dominant RL.

Etape 3 : Définition du DoE :

Ensuite, le DoE a été défini. Une campagne de 32 mesures en paramètre-S a été réalisée avec polarisation des états *ON/OFF* du transistor, voir toutes les configurations et détails dans le Tableau 2 (voir la colonne «chemin équivalent proposé»). Dans ce cas, on aura 17 inconnus pour chaque impédance parasite ($u = 17$), ainsi U portera des sous-vecteurs comme

$$[U]_{u=17} = [Z_{dc+} \quad Z_{dc-} \quad Z_{ta} \quad Z_{tb} \quad Z_{tc}]^T, \quad (6)$$

où les sous sous-matrices Z_{dc+} , Z_{dc-} , Z_{ta} , Z_{tb} , and Z_{tc} avec les éléments distribués sont défini comme

$$\begin{aligned} Z_{dc+} &= [Z_{dc+1} \quad Z_{dc+2} \quad Z_{dc+3} \quad Z_{dc+4}], \\ Z_{dc-} &= [Z_{dc-1} \quad Z_{dc-2} \quad Z_{dc-3} \quad Z_{dc-4}], \\ Z_{ta} &= [Z_{tua} \quad Z_{tda} \quad Z_{tpa}], \\ Z_{tb} &= [Z_{tub} \quad Z_{tdb} \quad Z_{tpb}], \\ Z_{tc} &= [Z_{tuc} \quad Z_{tdc} \quad Z_{tpc}]. \end{aligned} \quad (7)$$

Par définition, $Z = R + j\omega.L$. Alors, l'ensemble des inconnues U_u pourrait être réécrite en fonction de (8) avec $u=34$ (i.e., 2×17).

$$[U]_{u=2 \times 17} = [R_{17} \quad L_{17}]^T, \quad (8)$$

où,

$$\begin{aligned} [R]_{u=17} &= [R_{dc+} \quad R_{dc-} \quad R_{ta} \quad R_{tb} \quad R_{tc}] \\ [L]_{u=17} &= [L_{dc+} \quad L_{dc-} \quad L_{ta} \quad L_{tb} \quad L_{tc}]. \end{aligned} \quad (9)$$

La Fig. 7(a) montre un exemple de mesure. La Fig. 7(b) confirme un comportement RL est dominant de 20 Hz à 10 MHz.

Etape 4 : De-embedding de l'outillage RF :

A partir de (3), le vecteur M_{dut} , définissant l'ensemble de l'impédance propre de l'objet sous test pour plusieurs configurations sans effet de l'outil RF, peut être extraite de l'ensemble des mesures M_m .

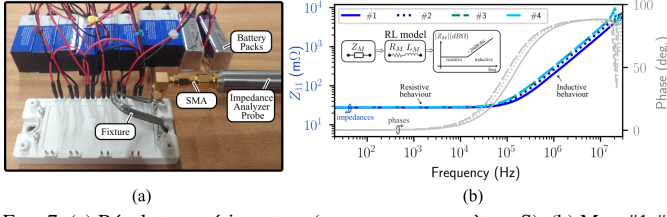


FIG. 7. (a) Résultats expérimentaux (mesures en paramètres-S). (b) Mes. #1-#4 de Z_{11} (Y-axis à gauche) et la phase associée (Y-axis à droite).

Etape 5 : Extraction des parasites :

Après avoir effectué les 32 mesures, la conversion des paramètres-S (S_{11}) en paramètres Z (Z_{11}) a été effectuée. Ainsi que le de-embedding avec l'outil *open-source* interne *touchstone editor* [11]. La référence d'impédance pour l'équation de conversion S en Z a été considéré comme $Z_0 = 50\Omega$ (celle par défaut de l'équipement). Qualitativement, les courbes Z_{11} sont similaires à celles présentées un comportement RL dans la Fig. 7(b). Les mesures sont de telle sorte qu'elles puissent être approximées par un circuit RL pur avec un erreur relative $< 10\%$ jusqu'à 10 MHz.

Pour une première approximation, R_{dut} correspond à une résistance en basse fréquence de Z_{dut} . Ainsi comme L_{dut} correspond à une inductance de Z_{dut} extrait à partir de 1 MHz. Gardant cette définition, M_{dut} est divisée en deux vecteurs

$$M_{dut} = [M_{dut_R} \quad M_{dut_L}]. \quad (10)$$

Notez que l'on suppose ici que l'effet de peau est négligeable, ce qui signifie que jusqu'à 10 MHz, on peut constater que le modèle pourrait être approximé par un élément parasite RL pur avec une erreur relative maximale proche de 10 % [7]. L'erreur relative constaté entre les mesures $Z(f)$ de l'analytiquement d'impédance et $Z(f)$ obtenues par simulation en courant alternatif (type .ac) d'un circuit RL approximatif simulé sous LTspice.

De plus, les valeurs estimées de $[M_{dut_R} \quad M_{dut_L}]$, concernant chaque chemin équivalent de mesure #1, #2, #3, ..., #32, ont été obtenues et sont présentés dans les colonnes à droites du Tableau 2 (voir l'annexe 7). Les mesures et les inconnues sont associées dans un système d'équations par une matrice de coefficients K . Selon le DoE, la matrice K définit le chemin d'impédance en fonction des états du transistor et des ports sélectionnés pour la mesure (voir l'annexe 7). Par exemple, la mesure #1 (mes. #1), pour l'extraction de L donne

$$M_{L\#1} = \underbrace{[K_{\#1,dc+}] \cdot [L_{dc+}]^T}_{=[0000]} + \underbrace{[K_{\#1,dc-}] \cdot [L_{dc-}]^T}_{=[0001]} + \underbrace{[K_{\#1,ta}] \cdot [L_{ta}]^T}_{=[000]} + \underbrace{[K_{\#1,tb}] \cdot [L_{tb}]^T}_{=[000]} + \underbrace{[K_{\#1,tc}] \cdot [L_{tc}]^T}_{=[011]} \quad (11)$$

où, dans ce cas, les éléments de boucle de la matrice de coefficient sont associés à l'inductance de boucle de meas. #1, c'est-à-dire

$$K_{\#1} = [[0000] \quad [0001] \quad [000] \quad [000] \quad [011]] \quad (12)$$

Les parasites inconnus distribués $\{R_u \quad L_u\}$ peuvent maintenant être extraits en résolvant le système d'équations correspondant (13) à l'aide de l'algorithme de régression par optimisation GNR. Le tableau 1 résume les valeurs 2x17 des éléments parasites.

$$U_u = [K]_{m \times u}^{-1} \cdot [M_{dut}]_m = \begin{cases} R = K^{-1} \cdot M_{dut_R} \\ L = K^{-1} \cdot M_{dut_L} \end{cases} \quad (13)$$

Etape 6 : Validation du modèle :

Le modèle peut être réviser/validé en regardant Le Tableau 1. Ce tableau résume les valeurs des parasites RL, dont les valeurs pour la colonne L [nH] sont affichés considérant l'étape de validation pour l'extraction des inductances. Cette étape est exemplifiée en deux interactions : (i) *run 1* et (ii) *run 2*.

TABLEAU 1. RL parasitic elements extracted from N-port Methodology.

Param. #	Z parasite	R [mΩ]	L [nH]	
			run 1	run 2
1	Z_{dc+1}	0,34	21,2	20,9
2	Z_{dc+2}	0,62	8,7	8,5
3	Z_{dc+3}	0,49	7,0	6,8
4	Z_{dc+4}	1,00	28,3	28,05
5	Z_{dc-1}	0,41	27,3	27,07
6	Z_{dc-2}	0,82	6,5	6,32
7	Z_{dc-3}	0,84	6,0	5,85
8	Z_{dc-4}	0,55	28,6	28,50
9	Z_{tua}	1,75	0	2,7
10	Z_{tda}	1,02	0	14,1
11	Z_{tpa}	0,89	22,7	4,23
12	Z_{tub}	1,72	0	3,3
13	Z_{tdb}	1,32	0	3,0
14	Z_{tpb}	0,32	22,7	14,04
15	Z_{tuc}	1,8	0	4,0
16	Z_{tdc}	1,0	0	16,5
17	Z_{tpc}	0,74	26,0	4,1
Coef. de couplage [†]			Valeur	
18 19 20	k_{udx}			1

[†] Veuillez noter que $k_{udx} = M_{udx} / \sqrt{L_{tux} L_{tdx}}$, et $x \in \{a, b, c\}$

Dans un premier temps, après *run 1*, l'on peut noter que les parasites $Z_{dc+1}, \dots, Z_{dc-4}$ ainsi que les parasites qui sortent de la phase (nœud de commutation) Z_{tpx} avec $x \in \{a, b, c\}$ sont consistant et en accord avec la longueur du fils de *bonding*. Cependant, les valeurs extraites pour chaque self L_{tux} et L_{tdx} ont été tronqué par la limite inférieure imposées dans l'algorithme GNR. Ceci suggère une nouvelle itération dont *run 2* est lancée, en ajoutant trois coefficients de couplage k_{udx} à U_u , en prenant en compte chaque mutuelle entre L_{tux} et L_{tdx} comme hypothèse. Comme observé dans (14), le nombre d'inconnues pour le problème de l'inductance est donc augmenté de 3 avec $u_L = 20$ (i.e., 17 + 3).

$$[L]_{20} = [L_{dc+} \quad L_{dc-} \quad L_{ta} \quad L_{tb} \quad L_{tc} \quad k_{ud}], \quad (14)$$

où,

$$[k_{ud}]_3 = [k_{uda} \quad k_{udb} \quad k_{udc}] \quad (15)$$

De cette manière, une l'inductance de boucle équivalente en chaque bras devient

$$L_{eq,legx} = L_{tux} + L_{tdx} - 2 \cdot \underbrace{k_{udx} \cdot \sqrt{L_{tux} \cdot L_{tdx}}}_{M_{tdx}}, \quad (16)$$

Après *run 2*, on constate que les résultats sont plus cohérent avec le *packaging* du module. Pour ce travail, on considère que le modèle est acceptable à ce moment. Néanmoins, la valeur de k_{udx} retournée par l'algorithme GNR est discutable, et l'hypothèse indique que des améliorations peuvent être envisagées pour étudier en profondeur la manière de mieux gérer ces (soit par un algorithme de régression, soit par des mesures supplémentaires du DoE).

4. ANALYSE COMPLÉMENTAIRE ET PERSPECTIVES

Il est important de noter que la régression des moindres carrés utilisée ici minimise l'erreur quadratique, ou la moindre erreur quadratique moyenne (LMSE) désignée par σ^2 , afin de garantir un modèle plus précis et représentatif des mesures. Même sans beaucoup d'informations du DUT, une modélisation fine proche de la structure physique interne peut être générée en une ou plusieurs itérations.

L'évaluation des résultats obtenus par la méthode N-port proposée et d'autres méthodes existantes a fait l'objet d'une étude comparative, comme le montre le tableau 2. À partir des valeurs extraites précédemment présentées à l'aide de la méthode basée sur la simulation, des chemins équivalents ont été simulés sous solveur quasi-statique *Q3D extractor* d'ANSYS.

Deux comparaisons sont considérées pour chaque chemin de mesure. Premièrement, en considérant la base des valeurs directement extraites du chemin de mesure dit «brute» (colonne Exp.), et en comparant avec la base de l'approche N-port, qui utilise des éléments extraits après application de l'algorithme de régression pour assurer la cohérence avec le schéma/les mesures tout en conservant une erreur quadratique acceptable (colonne Mod.). Deuxièmement, en considérant les mesures «brute» de la colonne Exp., et en comparant avec la base des résultats à partir de Q3D.

On constate que les résultats des inductances à partir la méthode proposée (mod.) offre une meilleure précision vis-à-vis celles de simulations (Q3D), notamment pour les configurations à chemins équivalents multiples et forte inductance. Les résultats Q3D s'accordent mieux avec l'expérimental pour les chemins plus courts (circuit équivalent plus simple), mais les écarts augmentent avec des chemins plus complexes en commutation.

L'extraction des parasites pour les résistances par la méthode proposée (mod.) correspondent mieux aux mesures expérimentales pour les configurations simples. Des écarts apparaissent toutefois, surtout pour les faibles résistances. Il faut être attentif aux longs chemins, où l'accumulation d'erreurs devient significative dans les boucles comportant de nombreux éléments. Ces écarts peuvent être attribués aux deux hypothèses suivantes : (i) L'erreur spécifiée par le fabricant du Keysight 42941A ; et (ii) la variabilité de $R_{ds(on)}$, plus des détails sous [7].

4.1. Perspective

Un point important à souligner est que le modèle basé sur l'approche N-port permet de confronter et de quantifier l'évolution des résultats de mesure pour différentes générations d'un même module [7], en prenant en compte les variations possibles au fil du temps, ou en offrant une vision de la dégradation progressive de son *layout* interne. En effet, dans un étude plus détaillée peut évoquer des autres discussions [7], par exemple sur la variabilité des échantillons. L'erreur absolue moyenne sur l'inductance parasite entre deux échantillons d'une même génération a été de 1,13 nH, reflétant à la fois la variabilité des échantillons, l'incertitude des mesures et les variations de conception liées au processus de fabrication.

En tenant compte de ces aspects, les pistes d'investigation pour les perspectives de l'approche reposent sur : (i) exaction des capacités parasites linéaires (*baseplate*) et non-linéaires (C_{gd} , C_{gs} , C_{ds}). (ii) évaluer la méthode dans un cas applicatif utilisant modules avec plusieurs puces en parallèle. (iv) gestion des incertitudes et améliorer la précision/répétabilité.

La précision, répétabilité, et la gestion des incertitudes jouent un rôle très important. Les paramètres de mesure de l'analyseur d'impédance auront un impact significatif sur la précision des résultats. Pour les mesures présentées dans cet article, les paramètres de l'analyseur d'impédance utilisés sont les suivants : *DC Bias current range* à 1 mA, niveau de l'oscillateur V_{osc} à 0,5 Vrms et vitesse de mesure réglé à 1. Une meilleure précision peut être atteinte au prix d'un allongement du temps de mesure à noter aussi l'impact des ses paramètres dans le courbe en forme

de « baignoire » à voir sous [6]. Une automatisation du banc de mesure peut également contribuer à améliorer les résultats.

5. CONCLUSIONS

Ce papier a présenté une méthodologie de mesure N-port, appliquée aux modules à base de SiC. L'approche permet d'améliorer la modélisation haute fréquence en extrayant les parasites R et L du circuit de la maille de puissance. Sans information a priori sur le DUT, 37 parasites ont été identifiés (17 résistances, 17 inductances et 3 facteurs de couplage). Cette extraction détaillée permet une modélisation plus fine du *layout* interne. Quelques incertitudes de mesure ont été intégrées pour définir des plages de tolérance réalistes (i.e., 20 Hz à 10 MHz). Les valeurs extraites peuvent servir à construire un modèle comportemental SPICE incluant les principaux éléments parasites du module. Ce modèle pourra, à terme, améliorer la prédiction du comportement dynamique des convertisseurs (*ringings*, *crosstalk induced turn-on*) ou des émissions conduites dans les systèmes à base de SiC. Enfin, la méthode prend en compte les asymétries, ce qui peut être utile pour caractériser plus finement les commutations en test dynamique.

6. REMERCIEMENTS

Ce travail a été réalisé dans le cadre du projet OCEANE (Optimisation CEM d'une chaîne de forte puissance) porté par l'IRT Saint Exupéry. Le projet OCEANE a été soutenu par des partenaires industriels AIRBUS, LIEBHERR, SAFRAN ainsi que par l'Agence Nationale de la Recherche (ANR), en collaboration avec des laboratoires académiques ou de recherche SATIE, TUD, DEEP-CONCEPT, ICAM et LAPLACE. Nous remercions les membres industriels et académiques du projet pour leur soutien financier, ainsi que l'Etat français via le programme France 2030 référencé ANR-10-AIRT-01.

7. ANNEXE

Le plan d'expérience (DoE) est résumée dans le tableau 2. Pour chaque mesure (imposée par les états des transistors), un circuit équivalent est présenté, mettant en évidence son chemin principal (en jaune) associé au port qui a été connecté à l'analyseur d'impédance. Tous les vecteurs K sont présentés dans la matrice des coefficients K . Les valeurs extraites de R et L pour chaque trajet de mesure sont présentées dans ce tableau et ont été obtenues après le *de-embedding*.

8. RÉFÉRENCES

- [1] M. Yang, et al., « Stray Inductance Extraction Methods for Power Modules : A Comprehensive Review and Analysis », IEEE Transactions on Power Electronics, vol. 40, no. 6, pp. 8016–8035, 2025
- [2] L. Pace, et al., « Extraction of Packaged GaN Power Transistors Parasitics Using S-Parameters », IEEE Transactions on Electron Devices, vol. 66, no. 6, pp. 2583–2588, 2019.
- [3] B. Zhang and S. Wang, « Parasitic Inductance Modeling and Reduction for Wire-Bonded Half-Bridge SiC Multichip Power Modules, » IEEE Transactions on Power Electronics, vol. 36, no. 5, pp. 5892–5903, 2021.
- [4] L. Wang, et al., « A brief review of SiC MOSFET transient analytical modeling methods : Principles, current status, and parameters modeling, » IEEE Transactions on Power Electronics, vol. 40, no. 4, pp. 5177–5189, 2025.
- [5] K. Chen, Z. Zhao, L. Yuan, T. Lu, and F. He, « The Impact of Nonlinear Junction Capacitance on Switching Transient and Its Modeling for SiC MOSFET », IEEE Transactions on Electron Devices, vol. 62, no. 2, pp. 333–338, 2015.
- [6] Keysight Technologies, *E4990A Impedance Analyzer, 20 Hz to 10/20/30/50/120 MHz – Datasheet*, 2018. Document No. 5991-3890EN. Disponible en ligne : <https://www.keysight.com/us/en/assets/7018-04256/data-sheets/5991-3890.pdf>.
- [7] G. Almeida, et al., « Methodology for Parasitic Elements Extraction of SiC Power Module Based on N-Port Measurement », IEEE Transactions on Power Electronics, pp. 1–12, 2025.

TABLEAU 2. DoE pour les mesures. Extraction des parasites RL à partir des essais après le de-embedding (Exp.), du modèle N-port (Mod.) et de simulation (Q3D).

Mes. #	État des Transistors*	Chemin équivalent proposé d'après la Fig. 3	K	Extraction des parasites RL					
				$M_{dut_R} [m\Omega]^\dagger$			$M_{dut_L} [nH]$		
				Exp.	Mod.	Q3D	Exp.	Mod.	Q3D.
1	[000001]		[0000 0001 000 000 011]	27.8	28.1	27.5	45.3	49.1	34.0
2	[000100]		[0000 0011 000 011 000]	28.2	27.6	27.9	56.2	51.4	51.0
3	[010000]		[0000 0111 011 000 000]	28.2	27.4	28.8	63.9	59.0	71.0
4	[000001]		[0000 1110 000 000 011]	28.2	27.9	28.6	64.2	59.9	66.9
5	[000100]		[0000 1100 000 011 000]	28.8	28.6	28.0	53.6	50.8	47.9
6	[010000]		[0000 1000 011 000 000]	28.6	29.1	27.3	40.5	45.4	32.7
7	[000010]		[0001 0000 000 000 101]	28.7	29.1	28.3	44.5	48.5	29.8
8	[001000]		[0011 0000 000 101 000]	28.7	28.7	28.8	57.9	52.2	47.9
9	[100000]		[0111 0000 101 000 000]	29.1	28.8	29.7	67.6	60.0	67.8
10	[000010]		[1110 0000 000 000 101]	27.5	26.3	29.2	61.1	56.7	58.6
11	[001000]		[1100 0000 000 101 000]	28.3	28.6	28.3	46.5	46.8	39.5
12	[100000]		[1000 0000 101 000 000]	28.3	28.6	27.8	27.9	37.5	22.4
13	[110000]		[1000 0111 110 000 000]	54.6	53.9	55.2	65.3	65.0	77.5
14	[001100]		[1100 0011 000 110 000]	54.2	53.8	55.5	66.2	67.0	77.5
15	[000011]		[1110 0001 000 000 110]	51.9	51.3	54.6	66.3	68.7	77.8
16	[110000]		[0111 0111 110 000 000]	59.9	59.1	57.2	55.7	87.5	71.0
17	[001100]		[0011 0011 000 110 000]	55.9	56.5	56.1	45.8	72.4	52.4
18	[000011]		[0001 0001 000 000 110]	52.5	52.8	54.4	38.5	60.6	34.7
19	[110000]		[0111 1000 110 000 000]	54.9	54.0	55.0	69.6	73.9	80.6
20	[001100]		[0011 1100 000 110 000]	54.6	53.7	55.7	69.3	71.4	80.3
21	[000011]		[0001 1110 000 000 110]	52.5	51.8	56.1	69.0	71.3	80.7
22	[110000]		[1000 1000 110 000 000]	54.7	55.1	53.8	33.8	51.4	32.2
23	[001100]		[1100 1100 000 110 000]	55.4	56.0	55.0	41.8	66.0	50.5
24	[000011]		[1110 1110 000 000 110]	54.5	55.5	56.3	49.9	79.5	69.0
25	[110000]		[1000 1000 110 000 000]	2.3	2.6	2.3	64.2	64.3	65.9
26	[001100]		[1100 1100 000 110 000]	2.3	2.9	2.8	65.4	67.7	66.4
27	[110000]		[1000 1000 110 000 000]	54.9	54.4	55.1	41.3	42.5	41.8
28	[001100]		[1100 1100 000 110 000]	56.7	57.3	56.7	56.2	52.4	60.7
29	[000011]		[1110 1110 000 000 110]	55.7	56.0	54.7	41.2	44.7	41.8
30	[010100]		[0000 0100 011 011 000]	56.8	57.3	54.5	38.4	41.7	46.8
31	[010001]		[0000 0110 011 000 011]	55.5	55.2	55.5	55.5	51.2	67.9
32	[000101]		[0000 0010 000 011 011]	55.9	56.2	54.1	39.5	43.5	46.7
Résumé avec erreur absolue par rapport à la valeur expérimentale :				max.	1,2	3,6	31.7	19.1	
				moy.	0.5	0.9	7.6	7.5	
				min.	0	0	0.1	0.2	

*Etat-ON $\Rightarrow$ 1 et Etat-OFF $\Rightarrow$ 0 | † Notez que un facteur $R_{ds(on)}$ est considéré pour chaque transistor ON dans le chemin.

- [8] B. DeBoi, et al., « Improved Methodology for Parasitic Analysis of High-Performance Silicon Carbide Power Modules », IEEE Transactions on Power Electronics, vol. 37, no. 10, pp. 12 415–12 425, 2022.
- [9] S. Serpaud, et al., « ICEM-CE extraction methodology », in International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC compo), 2009, Toulouse, France.
- [10] A. J. Morgan, et al., « Decomposition and electro-physical model creation of the cree 1200V, 50A 3-ph SiC module, » in 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), 2016, pp. 2141–2146.
- [11] S. Serpaud. (2024), “Touchstone editor. v.1.53.” [Online]. Disponible sur <http://emctools.free.fr/>
- [12] Lemmon, A. N., et al. (2018) « Methodology for Characterization of Common-Mode Conducted Electromagnetic Emissions in Wide-Bandgap Converters for Ungrounded Shipboard Applications, » IEEE Journal of Emerging and Selected Topics in Power Electronics, 6(1), 300-314.
- [13] P. J. Pupaiaikis, *S-Parameters for Signal Integrity*, 1st ed. Cambridge University Press, 2020.