

Simulation en temps-réel d'un convertisseur résonant CLLLC sur cible FPGA à bas coût

Téo ROBERT^a, Tarek OULD-BACHIR^b, Valentin COMBET^a, Romain MONTHEARD^a

^a Commissariat à l'énergie atomique et aux énergies alternatives (CEA), Labège, France

^b Polytechnique Montréal, Montréal, QC H3T 1J4, Canada

Le convertisseur résonant CLLLC, utilisé pour des applications à haute efficacité comme les chargeurs de batteries, présente des défis majeurs pour la simulation en temps réel, notamment par son utilisation à haute fréquence et par la gestion des commutations naturelles. Ce travail propose une approche basée sur une cible FPGA à bas coût pour répondre à ces exigences. Le simulateur combine un solveur basé sur un modèle commuté à interrupteur résistif avec une implémentation matérielle optimisée utilisant des données en virgule fixe. L'architecture matérielle atteint un pas de calcul de 25 ns, même sur une plateforme FPGA abordable. Les algorithmes, validés par comparaison avec le logiciel SIMBA, garantissent une précision avec des erreurs relatives inférieures à 2%. Ces résultats montrent la faisabilité d'utiliser des FPGA à bas coût pour des applications industrielles exigeantes, offrant une solution efficace pour la simulation et le contrôle des convertisseurs résonants en temps réel. Les limites du modèle sont aussi explorées, et des pistes d'amélioration sont proposées.

Mots-clés – Simulation en temps réel, Électronique de puissance, Convertisseur résonant CLLLC, Solveur ESH, FPGA.

1. INTRODUCTION

La recherche dans le domaine des systèmes d'électronique de puissance se concentre de plus en plus sur l'amélioration de l'efficacité énergétique et la réduction des coûts des systèmes. Le convertisseur résonant CLLLC tel que celui de la Fig. 1 offre des avantages significatifs en termes de rendement énergétique. Ce convertisseur convient particulièrement aux applications critiques, telles que les chargeurs de batteries pour véhicules électriques, où des performances élevées sont indispensables [1, 2, 3].

Cependant, la simulation en temps réel des convertisseurs résonants tels que le convertisseur CLLLC pose des défis importants. Les hautes fréquences de commutation nécessitent des simulations rapides avec des temps de latence inférieurs à 100 ns, et la sensibilité à la fréquence du gain du convertisseur tend à exacerber l'erreur due à l'échantillonnage des signaux de contrôle. De plus, la gestion des interrupteurs à commutation naturelle, comme les diodes, rend les modèles plus complexes à implémenter. Traditionnellement, les solutions matérielles capables de répondre à ces exigences sont coûteuses, ce qui limite leur adoption à grande échelle [4].

Une solution consiste à utiliser l'algorithme ESH (*Explicit Status Handling*), qui repose sur une mise à jour explicite des états des interrupteurs selon les conditions électriques du circuit et les signaux de commande. Les interrupteurs à commutation naturelle sont mis à jour en fonction des grandeurs électriques (tensions et courants) au pas précédent de simulation. Cette gestion explicite élimine les résolutions itératives coûteuses, réduisant ainsi le temps de calcul tout en garantissant des résultats précis avec des pas de temps suffisamment petits [5].

Cette recherche examine la faisabilité de simuler un modèle CLLLC sur une plateforme abordable en utilisant des cartes électroniques disponibles sur le marché. La plateforme FPGA Eclipse Z7 est retenue et évaluée pour cette étude. Les résultats de référence obtenus hors ligne montrent une bonne concordance avec les performances et la précision de l'algorithme

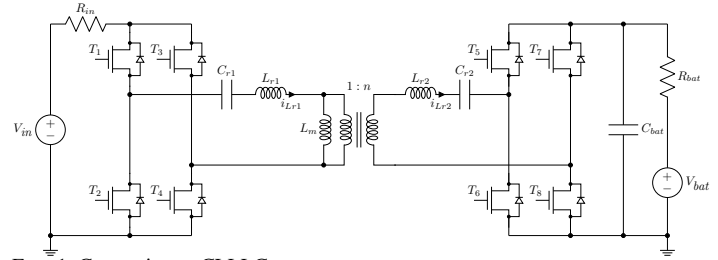


FIG. 1. Convertisseur CLLLC

ESH. L'implémentation sur FPGA permet d'atteindre un pas de simulation de 25 ns.

Les contributions principales de ce travail sont les suivantes :

- Développement et validation d'un algorithme basé sur ESH pour la simulation précise des convertisseurs résonants CLLLC. L'algorithme est testé et validé hors ligne en utilisant différents modèles de référence.
- Implémentation du solveur sur une plateforme FPGA à bas coût (Eclipse Z7) en tenant compte des contraintes matérielles. L'architecture matérielle est optimisée pour atteindre un pas de simulation de 25 ns.
- Validation expérimentale en temps réel du système sur FPGA, démontrant sa capacité à respecter les exigences de rapidité et de précision, essentielles pour les applications industrielles de contrôle en temps réel.
- Étude des difficultés liées à la simulation de points d'opération spécifiques du convertisseur, et exploration des principales sources d'erreur. L'impact de ces défis sur la précision du modèle est discuté et des solutions sont proposées.

Cet article est organisé comme suit. La Section 2 présente la méthodologie proposée pour la modélisation du convertisseur, incluant l'algorithme ESH proposé pour la simulation des diodes. La validation hors ligne de cet algorithme est également abordée. La Section 3 décrit l'implémentation matérielle sur la plateforme FPGA Eclipse Z7, en soulignant les optimisations pour respecter les contraintes matérielles et atteindre un pas de simulation de 25 ns, et présente les résultats de validation expérimentale en temps réel. Finalement, la section 4 discute des défis associés à la simulation des convertisseurs résonants à haute fréquence, incluant les problématiques d'échantillonnage des signaux de contrôle et les limitations de la méthode ESH.

2. MODÉLISATION DU CLLLC ET VALIDATION HORS LIGNE

La méthodologie adoptée dans ce travail repose sur deux étapes principales. La simulation hors ligne, incluant un modèle itératif développé sous MATLAB, est validée par des comparaisons avec le logiciel de référence SIMBA, et sert de base pour l'implémentation matérielle. Cette phase permet de s'assurer que l'algorithme ESH répond aux exigences de précision et de rapidité d'exécution lors de l'implémentation sur FPGA.

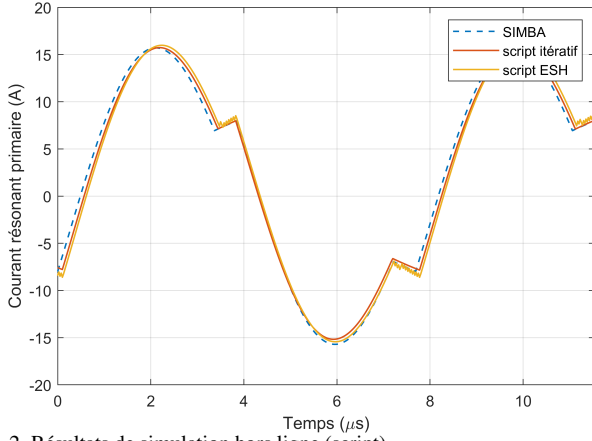


FIG. 2. Résultats de simulation hors ligne (script)

2.1. Formulation mathématique et algorithme ESH

Le convertisseur résonant CLLLC, présenté dans la Fig. 1, comprend un circuit résonant composé d'une inductance (L_{r1}) et d'une capacité (C_{r1}) au primaire, et d'une inductance (L_{r2}) et d'une capacité (C_{r2}) au secondaire, connecté à un transformateur haute fréquence avec un gain de n . Les paramètres du circuit sont résumés dans le Tableau 1.

Les équations du réseau sont formulées à partir de l'analyse nodale augmentée modifiée (MANA), puis exprimées sous une forme proche de l'espace d'état afin de réduire la complexité des calculs [6]. Comme indiqué dans l'Eq. 1 montrant la forme générale du modèle, le modèle associe les courants historiques i^h , les entrées u telles que les tensions de bus et de batterie, et les sorties y , à travers les matrices H_{σ}^{σ} , résultant des manipulations algébriques de la matrice MANA et correspondant à la configuration σ .

$$\begin{bmatrix} i^h(t + \Delta t) \\ y(t) \end{bmatrix} = \begin{bmatrix} H_{h,u}^{\sigma(t)} & H_{h,h}^{\sigma(t)} \\ H_{y,u}^{\sigma(t)} & H_{y,h}^{\sigma(t)} \end{bmatrix} \begin{bmatrix} u(t) \\ i^h(t) \end{bmatrix} \quad (1)$$

où H_{σ}^{σ} représente les matrices associées aux combinaisons d'interrupteurs σ , résultant des manipulations algébriques de la matrice MANA. $u(t)$, $i^h(t)$ et $y(t)$ correspondent respectivement aux vecteurs d'entrée, d'historique et de sortie.

2.2. Algorithme ESH

Afin de gérer la commutation des interrupteurs à commutation naturelle (diodes), soit pendant les temps morts, soit en cas de redressement passif du côté secondaire (généralement à faible charge), le solveur met en œuvre un algorithme de gestion explicite des interrupteurs (ESH). Sur la base des signaux de contrôle et des courants historiques, le solveur identifie l'état des diodes et sélectionne la matrice appropriée. Par exemple, si le signal de contrôle T_5 est *off*, l'état de la diode associée dépend du signal de contrôle T_6 ainsi que du signe de $i_{L_{r2}}$. Les implications du choix de cette méthode seront discutées par la suite.

2.3. Validation hors ligne

Le solveur est simulé hors ligne avec MATLAB, et les résultats sont comparés aux simulations de référence de SIMBA. Basé sur un modèle nodal, ce dernier utilise un schéma de discrétisation d'ordre élevé réalisé avec un pas variable et une méthode itérative de détermination de l'état des diodes. Les résultats sont donnés dans la Fig. 2. Une version de calcul itératif des diodes du modèle en temps réel proposé est également incluse pour isoler la contribution de l'algorithme ESH, bien qu'elle ne puisse pas être mise en œuvre en temps réel. Toutes les simulations sont effectuées avec les mêmes signaux de commande.

TABEAU 1. Paramètres du circuit CLLLC

Paramètres	min	typ	max
V_{in}		400 V	
V_{bat}	250 V	320 V	430 V
f_{sw}	60 kHz		200 kHz
R_{in}		0.01 Ω	
R_{bat}		0.1 Ω	
C_{bat}		60 μ F	
n		0.8	
C_{r1}, C_{r2}		90 nF, 141 nF	
L_{r1}, L_{r2}		12.5 μ H, 8 μ H	
L_m		94 μ H	
f_r		150 kHz	

Les résultats obtenus montrent une bonne concordance entre les simulations hors ligne à pas variable et le modèle temps réel. L'erreur relative en norme 2 est inférieure à 10% sur le courant résonant, celle-ci s'expliquant en grande partie par les oscillations introduites par la méthode de calcul de l'état des diodes (ESH) comme le démontrent les résultats du script itératif qui donnent une erreur de l'ordre de 3%. L'erreur sur la tension et le courant de sortie est elle inférieure à 2%.

3. IMPLÉMENTATION SUR FPGA

3.1. Structure et occupation matérielle

Le convertisseur est simulé sur une cible Xilinx zynq 7000 modeste (XC7Z020-1CLG484C) et contrôlé par un microcontrôleur TI de la série C2000 (TMS320F280049C). L'implémentation réalisée en VHDL sous Vivado ne fait pas l'objet d'optimisation particulière. Le solveur est basé sur des matrices précalculées, qui sont stockées dans des mémoires RAM, permettant ainsi leur reconfiguration. Le calcul est effectué sans pipeline en un pas de temps unique, le solveur est donc synchronisé sur une horloge à 40 MHz. Les signaux de contrôles sont échantillonnés et traversent un étage de synchronisation, tandis que les autres entrées telles que les tensions de bus et de batterie sont programmées et reconfigurables dans le FPGA. Les sorties du solveur sont envoyées sur des convertisseurs numériques-analogiques mais peuvent également être remontées sous forme numérique par un système d'acquisition de données en temps réel [7].

Les résultats d'occupation du FPGA sont donnés dans le Tableau 2. On constate une utilisation importante des LUTRAM dont le rôle est le stockage des matrices. Cette ressource est sensible au nombre et à la taille des matrices, et par conséquent au nombre d'interrupteurs, d'éléments réactifs et de noeuds dans le circuit. Le nombre de DSP est également élevé. Etant l'élément permettant les produits matrice-vecteur de l'Eq. 1, son utilisation découle de la taille des matrices. Son utilisation peut être optimisée par le pipeline des calculs, ce qui peut impacter négativement la latence totale du simulateur.

TABEAU 2. Rapport d'utilisation des ressources FPGA

Ressource	Utilisation	Disponible	Utilisation (%)
LUT	24 171	53 200	45.43
LUTRAM	12 653	17 400	72.72
FF	17 456	106 400	16.41
BRAM	49	140	35.00
DSP	171	220	77.73
IO	60	200	30.00
BUFG	5	32	15.63
MMCM	1	4	25.00

L'implémentation démontre une occupation relativement importante du FPGA choisi, si bien qu'une augmentation de la taille du circuit l'amènerait à ses limites, et requièrerait un

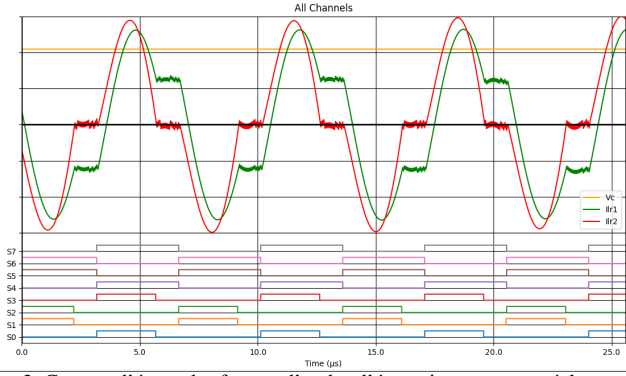


FIG. 3. Capture d'écran des formes d'ondes d'exécution en temps réel

FPGA de taille supérieure. Similairement, bien que peu d'optimisations ont été effectuées sur la synthèse et l'implémentation RTL, le pas de temps de 25 ns choisi semble être la limite. Les implications de cette valeur de pas de temps seront discutées par la suite. Si des étapes d'optimisations supplémentaires peuvent permettre une diminution du pas de temps, un changement de technologie est un autre levier important, de par la finesse de gravure des FPGA plus récents.

3.2. Validation des résultats sur FPGA

Les signaux de contrôle et formes d'ondes résultant de la simulation sur FPGA sont obtenues via le système d'acquisition numérique et sont donnés Fig. 3 sur un point d'opération donné.

Des mesures de gain sur charge résistive sont également conduites avec ce même système, comparant la simulation exécutée sur FPGA pilotée par un C2000 et la simulation *offline* sous SIMBA, pour deux valeurs de résistance correspondant à une charge faible et à une charge élevée. Les résultats donnés Fig. 4 et Fig. 5 montrent une bonne corrélation sur la plage de fréquence de fonctionnement nominale. On observe néanmoins un écart sur les basses fréquences, en particulier sur la résistance de 32 Ohm correspondant à une charge élevée, soit 10 A à la tension nominale de 320 V. Celui-ci peut s'expliquer par diverses raisons, dont principalement les erreurs d'échantillonnage sur les signaux de contrôle et les oscillations sur les périodes de blocage des diodes. Ces deux phénomènes seront analysés dans la section suivante.

4. ANALYSE DES PHÉNOMÈNES À L'ORIGINE DES ERREURS

Comme discuté dans la section précédente, les courbes de gain présentent des écarts sur certains points de fonctionnement, en particulier sur les basses fréquences à plus forte charge. Cette section s'intéresse aux deux principaux phénomènes dégradant la fidélité de la simulation temps réel.

4.1. Problématiques d'échantillonnage des signaux de contrôle

Du fait de la nature numérique de la simulation temps réel, les signaux de contrôle doivent être échantillonnés dans le domaine temporel. La fréquence de cet échantillonnage découle directement du pas de temps du solveur, une fréquence supérieure n'apportant pas de bénéfice compte tenu que le calcul des états est de toute manière effectué à chaque pas de simulation. Cet échantillonnage est à l'origine de 3 phénomènes.

La première conséquence de celui-ci est une erreur statique, égale au rapport entre le pas de temps du solveur et la période de commutation. Sur la plage de fréquence de commutation définie dans le Tableau 1, l'erreur maximale sur la fréquence du signal échantillonné varie entre 0.13% et 0.5%. Cette erreur introduite dans la commande du convertisseur peut avoir pour conséquence une erreur continue sur les sorties, particulièrement sur

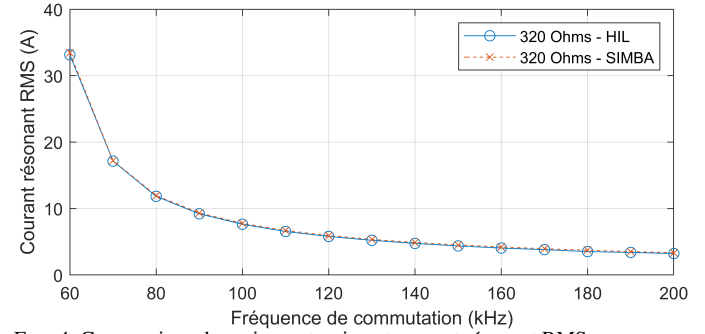
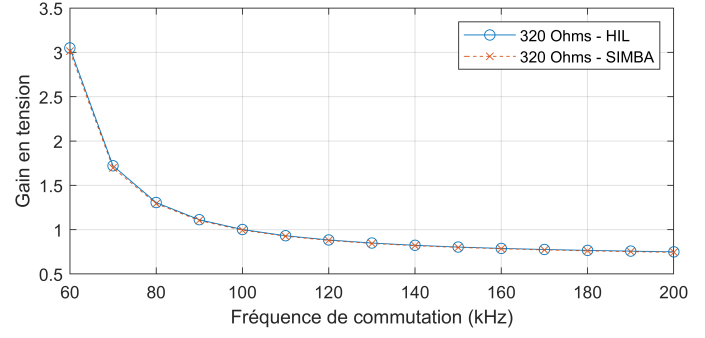


FIG. 4. Comparaison des gains en tension et courant résonant RMS pour une charge de 320 Ohms

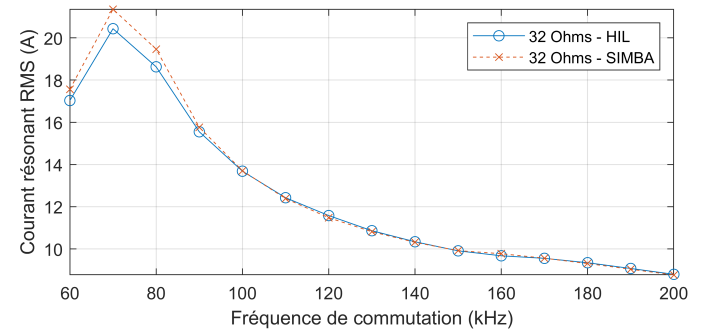
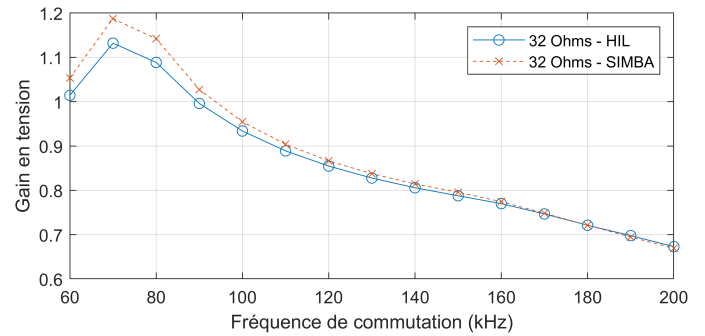


FIG. 5. Comparaison des gains en tension et courant résonant RMS pour une charge de 32 Ohms

les convertisseurs dont la commande n'est pas modulée (rapport cyclique ou fréquence fixe pour un point de fonctionnement donné), comme c'est le cas du convertisseur CLLLC objet de cette étude.

Le second phénomène intervenant lors de l'échantillonnage des signaux de contrôle est l'*aliasing*. La fréquence de calcul du solveur est supérieure à la fréquence de commutation de 2 à 3 ordres de grandeur sur la plage considérée. Cependant, compte tenu de la décroissance harmonique en $1/n$ d'un signal carré, les harmoniques du signal PWM dépassant la fréquence de Nyquist de 20 MHz sont d'amplitude non négligeable et enrichissent le

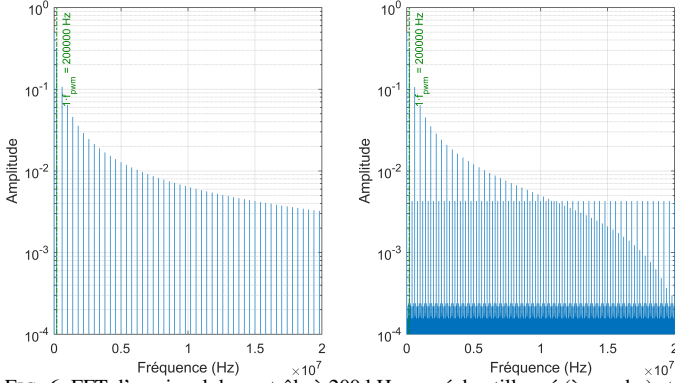


FIG. 6. FFT d'un signal de contrôle à 200 kHz non échantillonné (à gauche) et échantillonné au pas de 25 ns (à droite)

contenu basse fréquence du signal échantillonné par repliement de spectre, comme l'illustre la Fig 6. Ce contenu harmonique peut donc être à l'origine d'écarts vis-à-vis du convertisseur réel, bien qu'ils restent néanmoins des multiples de la fréquence de commutation et sont donc au-delà de la bande passante du convertisseur.

Le troisième phénomène à considérer dans le cas de l'échantillonnage d'un signal carré est dû à la désynchronisation entre les signaux de contrôle et le solveur [8]. En effet, ceux-ci étant générés par un microcontrôleur externe au FPGA dont l'horloge a une précision limitée, leur échantillonnage par le solveur est asynchrone, quand bien même la fréquence du solveur serait un multiple entier de la fréquence de commutation. En conséquence, un glissement temporel apparaît entre le signal de contrôle et le solveur, ayant pour conséquence un phénomène de battement sur le signal échantillonné, apparaissant en général à basse fréquence. La formule de calcul de la fréquence de battement est donnée Eq. 2, pour une fréquence d'échantillonnage f_s et une fréquence de commutation f_{sw} données. Il est remarquable dans la formule que la fréquence de battement revêt un caractère peu déterministe compte tenu de la précision limitée des horloges côté microcontrôleur comme FPGA. En effet, une faible déviation de l'une des fréquences peut conduire à une toute autre fréquence de battement. Les horloges présentant également une variabilité (gigue), ce phénomène peut enrichir significativement le spectre du signal échantillonné.

$$f_b = f_{sw} \cdot \left| \frac{f_s}{f_{sw}} - \text{arrondi}\left(\frac{f_s}{f_{sw}}\right) \right| \quad (2)$$

Intermodulées avec les harmoniques de commutation, ces harmoniques de battement introduisent dans le spectre des harmoniques d'intermodulation dont la fréquence se calcule comme indiqué Eq. 3.

$$f_{intm} = m \cdot f_{sw} \pm n \cdot f_b, \quad \text{avec } m, n \in \mathbb{N}^* \quad (3)$$

La Fig. 7 présente l'effet du battement sur les signaux de contrôle. En introduisant une légère désynchronisation entre les signaux de contrôle et le solveur, des harmoniques apparaissent à basse fréquence. Les premiers harmoniques de battement sont identifiés. Bien que d'amplitude moindre que l'aliasing, les harmoniques de battement et leur intermodulation avec la fréquence de commutation apparaissent à des fréquences plus basses et donc dans la bande passante du convertisseur. Ils peuvent ainsi être amplifiés par le convertisseur voire stimuler d'éventuelles résonances. En effet, le pic observé autour de 50 kHz dans ce cas d'exemple coïncide avec la fréquence de résonance basse du convertisseur CLLC à l'étude et pourrait donc être à l'origine d'erreur et d'instabilité des résultats.

Dans le cas où ces phénomènes impactent significativement le comportement du simulateur, des méthodes de correction reposant sur le suréchantillonnage des signaux associé à un algorithme de compensation des états dans le solveur peuvent être

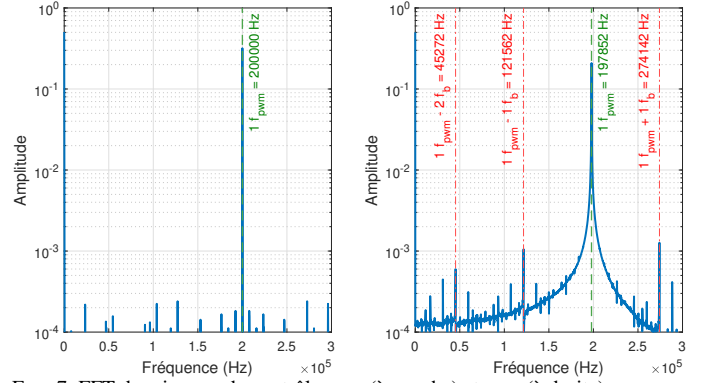


FIG. 7. FFT des signaux de contrôle avec (à gauche) et sans (à droite) synchronisation des signaux de contrôle et du solveur

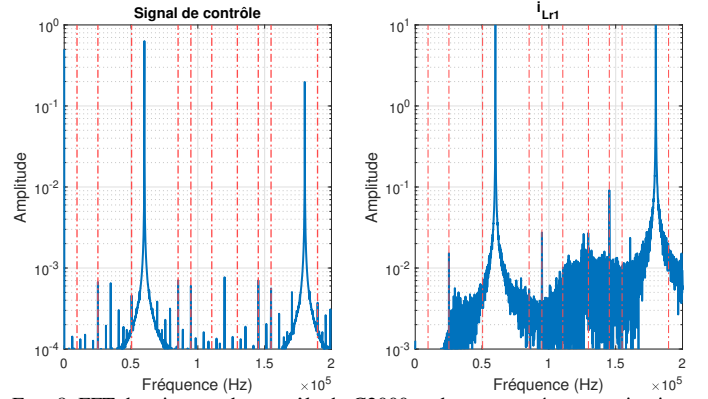


FIG. 8. FFT des signaux de contrôle du C2000 et du courant résonant primaire en sortie du solveur

appliquées, mais impliquent néanmoins une charge de calcul supérieure [9, 10]. La Fig. 8 présente la FFT des signaux de contrôle issus du microcontrôleur, ainsi que le courant résonant en sortie du solveur remonté via le système d'acquisition. Les résultats montrent la présence d'harmoniques de battement intermodulés avec la commutation, dont la fréquence fondamentale f_b est mesurée à environ 35 kHz. Ces harmoniques se retrouvent sur le courant résonant, mais leur impact est limité.

4.2. Impact de l'algorithme de calcul de l'état des diodes

La deuxième cause d'erreurs de gain effectuées par le simulateur est l'algorithme de calcul de l'état des diodes. Comme discuté précédemment, du fait du calcul en temps réel à pas fixe, l'état des diodes du circuit est déterminé à chaque pas de temps en une étape, rendant difficile l'implémentation des modes de blocage. Il en résulte dans ce cas une oscillation de l'état des diodes entre l'état fermé et l'état ouvert, à la fréquence de calcul du solveur. Ce phénomène peut être observé sur la Fig. 9. Observé sur le courant primaire, il découle du blocage des diodes au secondaire dans les phases de non conduction des interrupteurs, comme présenté sur la Fig. 10.

Les modes de blocage étant principalement rencontrés en deçà de la fréquence de résonance et sur un temps plus grand à mesure que l'on s'en éloigne, leur impact est plus important sur les basses fréquences, comme le montre la Fig. 11 présentant les formes d'ondes à 80 kHz pour une résistance 32 Ohms. Des méthodes plus avancées de détermination de l'état des diodes peuvent être implémentées, telles que la méthode DMM, se basant sur une analyse plus poussée du circuit simulé [6, 11].

5. CONCLUSIONS

Cet article démontre le potentiel des FPGA pour simuler les convertisseurs CLLC en temps réel, et plus généralement les convertisseurs CC-CC isolés à haute fréquence. Un modèle

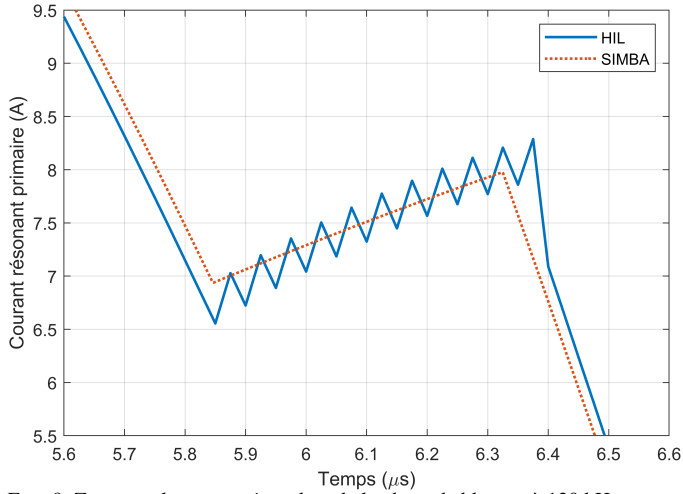


FIG. 9. Zoom sur le courant i_{Lr1} lors de la phase de blocage à 130 kHz sur charge de 32 Ohms

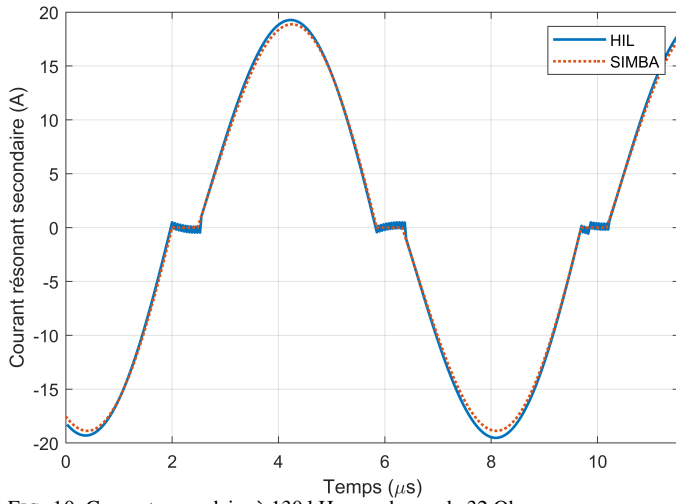


FIG. 10. Courant secondaire à 130 kHz sur charge de 32 Ohms

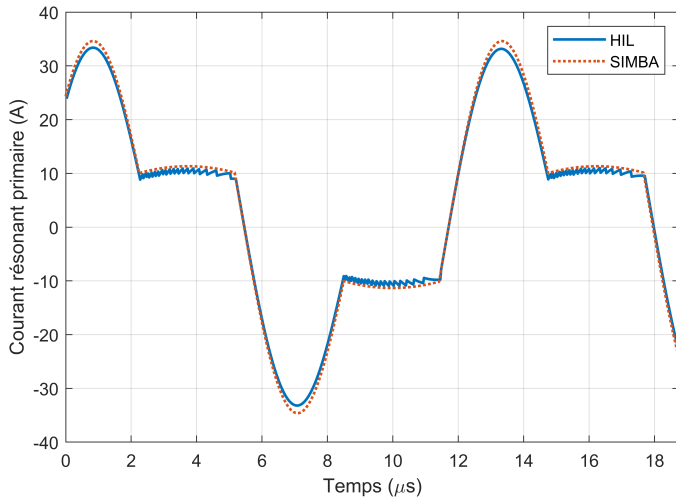


FIG. 11. Courant primaire à 80 kHz sur charge de 32 Ohms

commuté basé sur MANA associé à un modèle de commutateur résistif et à la méthode ESH pour le calcul de l'état des diodes a été développé. La mise en œuvre sur FPGA a été présentée accompagnée de l'utilisation des ressources. Les résultats du script hors ligne et du HIL sur FPGA avec un contrôleur C2000 ont été comparés à la simulation hors ligne. Les défis spécifiques aux convertisseurs résonnants à haute fréquence, tels

que les écarts d'échantillonnage des signaux de contrôle et les limitations de la méthode ESH, ont été discutés et des solutions ont été proposées. Les résultats montrant une corrélation étroite entre les formes d'onde et le gain du convertisseur avec la simulation hors ligne démontrent la faisabilité de la simulation HIL en temps réel des convertisseurs résonnants à haute fréquence sur des FPGA à faible coût, ouvrant la voie à des applications plus larges dans l'électronique de puissance.

6. REMERCIEMENTS

Ce travail fait partie de l'IPCEI Microélectronique et Connectivité et a été soutenu par les Pouvoirs Publics français dans le cadre de France 2030.

7. RÉFÉRENCES

- [1] N.-Z. Jin, Y. Feng, Z.-Y. Chen, and X.-G. Wu, "Bidirectional CLLC resonant converter based on frequency-conversion and phase-shift hybrid control," *Electronics*, vol. 12, no. 7, 2023.
- [2] H.-T. Chang, T.-J. Liang, and W.-C. Yang, "Design and implementation of bidirectional dc-dc cllic resonant converter," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 2712–2719.
- [3] Q. Deng, Y. He, C. Lei, and J. Liu, "Research on CLLC bi-directional resonant based on time-domain analysis," in *IEEE Student Conference on Electrical Machines and Systems (SCEMS)*, 2020, pp. 724–729.
- [4] K. Meddah, H. Chalanger, and T. Ould-Bachir, "Real-time simulation of a fast charger using a low-cost FPGA platform," in *Annual Conference of the IEEE Industrial Electronics Society (IECON)*, 2022, pp. 1–6.
- [5] K. Meddah, T. Robert, E. Rutovic, R. Monthéard, and T. Ould-Bachir, "Real-time simulation of a neutral point clamped dual active bridge converter," in *Industrial Electronics Society Annual On-Line Conference (ONCON)*, 2022, pp. 1–5.
- [6] H. Chalanger, T. Ould-Bachir, K. Sheshyekani, and J. Mahseredjian, "Methods for the accurate real-time simulation of high-frequency power converters," *IEEE Transactions on Industrial Electronics*, vol. 69, no. 9, pp. 9613–9623, 2022.
- [7] T. Gravey, K. Meddah, T. Robert, E. Rutovic, R. Monthéard, and T. Ould-Bachir, "A pynq-based data acquisition system for HIL simulations on low-cost FPGAs," in *2023 IEEE International Conference on Industrial Technology (ICIT)*, 2023, pp. 1–6.
- [8] E. Zamiri, A. Sanchez, M. S. Martínez-García, and A. de Castro, "Analysis of the aliasing effect caused in hardware-in-the-loop when reading PWM inputs of power converters," *International Journal of Electrical Power Energy Systems*, vol. 136, p. 107678, 2022.
- [9] K. Lian and P. Lehn, "Real-time simulation of voltage source converters based on time average method," *IEEE Transactions on Power Systems*, vol. 20, no. 1, pp. 110–118, 2005.
- [10] J. Allmeling and N. Felderer, "Sub-cycle average models with integrated diodes for real-time simulation of power converters," in *2017 IEEE Southern Power Electronics Conference (SPEC)*, 2017, pp. 1–6.
- [11] H. Chalanger, T. Ould-Bachir, K. Sheshyekani, and J. Mahseredjian, "A direct mapped method for accurate modeling and real-time simulation of high switching frequency resonant converters," *IEEE Transactions on Industrial Electronics*, vol. 68, no. 7, pp. 6348–6357, 2021.