

# Conception d'un banc de vieillissement accéléré de transistors MOSFET SiC dans le contexte MVDC

KUMAR Sanjiv<sup>1</sup>, ALLARD Bruno<sup>1</sup>, AUGER François<sup>2</sup>, HOLOGNE-CARPENTIER Malorie<sup>3</sup>, CLERC Guy<sup>1</sup>,  
RAZIK Hubert<sup>1</sup>, BEVILACQUA Pascal<sup>1</sup>

<sup>1</sup>INSA Lyon, Université Claude Bernard Lyon 1, Ecole Centrale de Lyon, CNRS, Ampère, UMR5005,  
69621 Villeurbanne, France

<sup>2</sup>Nantes Université, IREENA, UR 4642, Saint-Nazaire, France

<sup>3</sup>ECAM LaSalle, LabECAM, 69005 Lyon, France

**RESUME** – Le développement de méthodes et d'outils d'estimation de la durée de vie de MOSFETs en Carbone de Silicium (SiC), en cours d'utilisation, nécessite une compréhension des mécanismes de défaillance de ces composants. Un ensemble de données expérimentales de vieillissement est également nécessaire. L'article aborde les modes de défaillance de MOSFETs en SiC, à savoir les facteurs accélérant leur vieillissement et les indicateurs électriques permettant de suivre leur état de santé. L'article présente un banc de vieillissement accéléré de MOSFETs en SiC permettant de faire cycliser en température un Composant Sous Test (CST) via ses pertes par conduction et par commutation. Ces contraintes sont les plus proches du stress subi par les MOSFETs en SiC utilisés dans des convertisseurs de puissance moyenne tension continue (MVDC) pour l'éolien ou le photovoltaïque. Le contrôle de ce banc autorise un cyclage de la température de jonction  $T_j$  du CST à stress en courant ajustable et sans dégrader la diode interne de celui-ci. Un tel contrôle permet d'une part de décorréler les indicateurs de dégradation de la diode interne du MOSFET des autres défaillances tout en ajustant l'impact des phénomènes d'électromigration. La tension directe  $V_f$  de la diode interne d'un MOSFET est un Paramètre Electrique ThermoSensible (PETS). D'autre part, un tel contrôle permet ainsi de disposer d'une mesure de  $T_j$  du CST qui ne dérive pas au cours de son vieillissement, permettant donc un cyclage efficace en température. L'instrumentation du banc est ensuite abordée. L'essentiel des indicateurs de dégradation est mesuré en dehors des périodes de cyclage en température, ce qui permet de mesurer ces indicateurs à  $T_j$  constante. Ces indicateurs sont mesurés in-situ, sans déconnecter le CST du banc. L'instrumentation est protégée, au besoin, par des écrêteurs et relais. La mesure est isolée par des systèmes optiques. Ces relais assurent également un aiguillage des circuits de mesure. Avec un pilotage adapté, de telles préconisations permettent un fonctionnement autonome du banc de vieillissement. Un travail sur la réduction des sources de bruits de mode commun et le choix de sondes à large bande passante assurent une mesure précise et juste des indicateurs de vieillissement du CST.

**Mots-clés** – Dégradation MOSFET SiC, Test de cyclage actif, Banc de vieillissement accéléré, Suivi d'indicateur de vieillissement, Fiabilité MOSFET SiC

## 1. INTRODUCTION

Dans le domaine de l'électronique de puissance, les MOSFETs en SiC, composants grand gap, sont une alternative séduisante aux composants de puissance Si traditionnels pour atteindre des densités de puissance plus élevées avec un rendement très haut. Leur forte tenue en tension, leur capacité à fonctionner à des températures élevées, leur forte puissance admissible et leur vitesse de commutation élevée [1] sont autant de qualités qui permettent à ces composants de répondre aux enjeux d'efficacité énergétique des convertisseurs de puissance moyenne tension continue (MVDC) utilisés pour l'éolien ou le photovoltaïque. Cependant, des problèmes de fiabilité intrinsèque à l'utilisation d'un tel semiconducteur subsistent [2-4].

Développer des outils permettant d'estimer la durée de vie de MOSFETs SiC en utilisation est une solution pour fiabiliser le fonctionnement des convertisseurs utilisant ces composants. À cette fin, la collecte de données de vieillissement de MOSFETs SiC est nécessaire afin de construire des outils de pronostic et/ou de valider ceux-ci [4].

Ce travail présente la conception et l'instrumentation d'un banc de vieillissement accéléré de MOSFETs SiC. Celui-ci permet d'exacerber les mécanismes de vieillissement de ces composants utilisés dans des convertisseurs de puissance MVDC pour l'éolien ou le photovoltaïque tout en permettant un suivi de leurs indicateurs de dégradation. L'originalité de ce banc est de proposer d'une part des méthodes de décorrélation de ces indicateurs de vieillissement et de mesurer d'autre part ces indicateurs sans que le Composant Sous Test (CST) n'ait à être déconnecté du banc au cours de son vieillissement. L'organisation de l'article est la suivante : la section qui suit présente les défaillances dans les MOSFETs SiC, les facteurs accélérant leur vieillissement et les indicateurs permettant de surveiller l'usure de ces composants. Ce bref aperçu permet de présenter plus en détails les enjeux liés à la conception d'un banc de vieillissement accéléré. La section suivante présente le banc de vieillissement proposé en s'attardant sur sa commande et son instrumentation. Enfin, une conclusion à ces travaux est présentée.

## 2. VIEILLISSEMENT ACCÉLÉRÉ DE MOSFETS SiC

### 2.1. Défaillances dans les MOSFETs SiC

Les modes de défaillance d'un MOSFET SiC liés à une usure du composant en condition normale d'utilisation sont relatifs à la puce et au packaging de celui-ci [2-4]. Concernant la puce, l'oxyde de grille est principalement dégradé par les porteurs traversant ce diélectrique par effet tunnel. La large bande interdite du SiC ou encore les nombreuses impuretés générées par la croissance de l'oxyde rendent ces effets tunnels très présents dans les MOSFETs SiC. De plus, la faible mobilité des porteurs dans le SiC contraint la croissance d'un oxyde fin et un fonctionnement à potentiel de grille élevé, ce qui amplifie ces effets tunnels et limite la robustesse de ce diélectrique. La diode interne est essentiellement dégradée par l'énergie libérée par la recombinaison des porteurs au niveau de la jonction PN qui peut créer ou étendre des défauts d'empilement dans la maille cristalline.

Concernant le packaging, les principaux défauts se concentrent à l'interface entre les fils de connexion dits de "bonding" et la puce, ainsi qu'à l'interface entre la puce et son embase appelée "baseplate" (couche de soudure ou "solder layer"). Les différences de coefficient d'expansion thermique (CET) entre la puce en SiC et les fils de bonding – baseplate génèrent des contraintes thermomécaniques aux interfaces, provoquant l'apparition de fissures. Le cyclage actif en température du composant accélère la formation et la propagation de

ces fissures, pouvant à terme aboutir au décollement des fils de bonding. Ce phénomène est appelé lift-off. La propagation des fissures et le lift-off augmentent la résistance à l'état passant et donc les pertes du MOSFET, aggravant ainsi le stress en température subi par le composant. En présence d'un fort courant, les fils de bonding et les différentes métallisations de la puce peuvent être soumis à des phénomènes d'électromigration créant des défauts dans l'agencement cristallin de ces éléments. Ces défauts, notamment au niveau des fils de bonding, augmentent également, dans une moindre mesure, la résistance à l'état passant du MOSFET contribuant ainsi à augmenter le stress en température subi par celui-ci.

TABLEAU 1. Synthèse des principales défaillances d'usage, facteurs d'accélération et indicateurs de dégradation de MOSFETs SiC

| Localisation défaillance | Facteurs accélérant la défaillance         | Principaux indicateurs de dégradation                                                                                                                |
|--------------------------|--------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------|
| Oxyde de grille          | Fort champ électrique<br>Forte température | $V_{th}$ : tension de seuil<br>$i_{gss}$ : courant de fuite de grille<br>$R_{on}$ : résistance à l'état passant<br>$V_{gp}$ : tension plateau Miller |
| Diode interne            | Courant directe                            | $V_f$ : tension directe diode interne<br>$i_{dss}$ : courant de fuite de drain                                                                       |
| Fil de Bonding           | Cyclage en température                     | $R_{on}$ : résistance à l'état passant<br>$V_f$ : tension directe diode interne                                                                      |
| Solder Layer             | Cyclage en température                     | $R_{th}$ : résistance thermique                                                                                                                      |

## 2.2. Méthode de vieillissement accéléré retenue

Du fait de la nature intermittente des énergies renouvelables, les convertisseurs de puissance MVDC pour l'éolien ou le photovoltaïque sont soumis à des puissances notablement variables dans le temps. Ainsi, le principal stress des MOSFETs SiC fonctionnant dans ces convertisseurs est le cyclage en température [5]. Les principales défaillances prédictibles sont donc au niveau des fils de bonding, de la solder layer et éventuellement de l'oxyde de grille. Ainsi, la méthode de vieillissement accéléré retenue est le cyclage actif en commutation [2] : le composant subit à répétition un cyclage en température généré par ses pertes par conduction et commutation. Ce cyclage cible la dégradation du packaging du MOSFET et le fonctionnement à température élevée permet de cibler la dégradation de son oxyde de grille. Cette méthode de vieillissement accéléré est donc au plus proche du stress subi par le composant dans le contexte d'utilisation étudié.

## 2.3. Enjeux liés au développement d'un banc de vieillissement accéléré

D'après le tableau 1, un même indicateur peut être symptomatique de plusieurs modes de défaillance. De plus, tous ces indicateurs sont sensibles à la température de jonction  $T_j$  du MOSFET. La première difficulté consiste à décorréler les modes de défaillance entre eux et décorréler les indicateurs de dégradation de  $T_j$ . Réciproquement, afin de cyclage en température le composant, il est nécessaire de maîtriser  $T_j$ . La seconde difficulté réside donc dans la maîtrise de  $T_j$  du composant sous test, indépendamment du vieillissement de celui-ci.

Lorsqu'un CST est soumis à un test de vieillissement accéléré, il est primordial que l'environnement d'utilisation du composant n'évolue pas au cours du protocole afin d'éviter toute dégradation ou cicatrisation non contrôlée. La troisième principale difficulté consiste donc à réaliser une mesure in-situ des indicateurs de vieillissement, sans que le CST ne soit déconnecté du banc. Ceci représente un certain défi au niveau de la conception de l'électronique de mesure. D'une part, les MOSFETs SiC étant des composants de puissance, leur cyclage en

température se fait à des niveaux de tension et de courant élevés. Un travail sur la protection de l'électronique de mesure est nécessaire. D'autre part, il est nécessaire de suivre finement les variations relatives des indicateurs de dégradation du tableau 1 afin de comprendre le vieillissement du MOSFET. Cependant, la commutation rapide des composants SiC engendre des perturbations électromagnétiques importantes. Un travail sur la minimisation des sources de bruit afin d'implémenter une électronique de mesure la plus précise possible est donc nécessaire.

## 3. BANC DE VIEILLISSEMENT

### 3.1. Généralités

Le schéma synoptique du banc de vieillissement accéléré par cyclage actif en commutation est présenté à la figure 1. Il s'agit d'un pont en H connecté à une charge inductive.

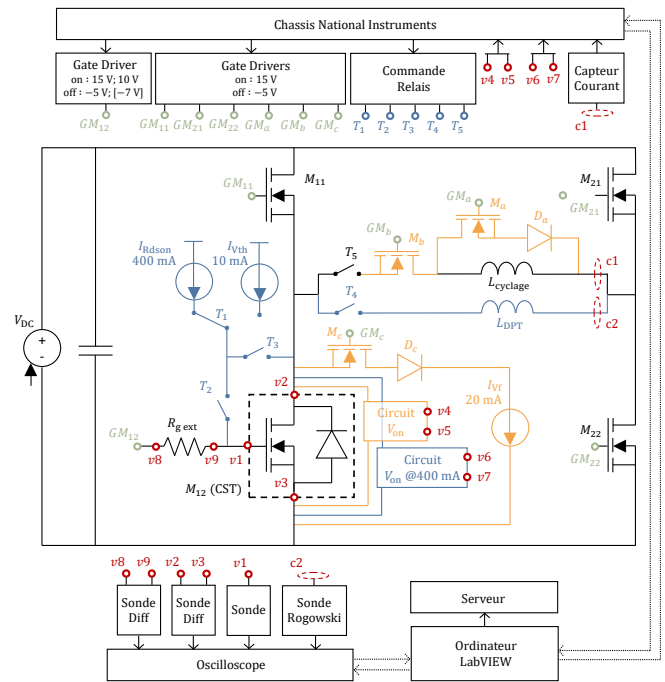


FIG. 1. Schéma synoptique du banc de vieillissement accéléré proposé

Le MOSFET  $M_{12}$  constitue le composant sous test de ce banc. Les composants  $M_{11}$ ,  $M_{21}$  et  $M_{22}$  sont surdimensionnés afin de limiter leur dégradation. Chaque composant est refroidi par un dissipateur à eau dont le débit et la température d'eau sont maintenus constants.

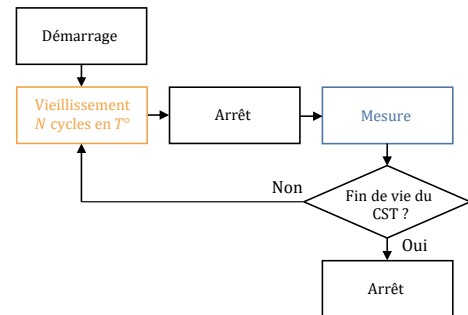


FIG. 2. Séquencement général d'utilisation du banc

La figure 2 décrit le séquencement d'utilisation du banc. Un protocole de vieillissement sur ce banc repose sur la succes-

**Initialisation :** L'impédance thermique de l'ensemble {CST + Dissipateur à eau} est évaluée entre la puce du composant et la température d'eau du dissipateur à l'aide de l'analyseur Phase 12 d'*Analysis Tech.* Un modèle thermique sous la forme

d'un schéma électrique d'ordre 4, équivalent RC de type Foster, en est extrait. Connaissant la température d'eau du système de refroidissement et la puissance dissipée au niveau de la puce, un tel modèle permet ainsi de remonter à  $T_j$  du MOSFET.

En combinant ce modèle thermique au modèle de pertes du composant,  $T_{jmin}$  et  $T_{jmax}$  peuvent s'exprimer comme fonction de  $x = [i_{Lmin}^{ref}, i_{Lmax}^{ref}]$  et d'un ensemble de paramètres fixés  $y = [T_{on}, T_{off}, \rho_1, f_{cm}, T_{eau}]$ . Trouver  $i_{Lmin}^{ref}, i_{Lmax}^{ref}$  permettant de satisfaire le cyclage en température désiré revient à résoudre un problème d'optimisation sous contrainte défini par la fonction de coût suivante :

$$f(x) = (T_{jmin}(x, y) - T_{jmin}^{ref})^2 + (T_{jmax}(x, y) - T_{jmax}^{ref})^2 \quad (2)$$

Comme évoqué précédemment, la valeur de  $\rho_1$  peut être ajustée suivant le stress électrique auquel on souhaite soumettre le composant. Pour un cyclage en température désiré, il existe donc un ensemble  $\{i_{Lmin}^{ref}, i_{Lmax}^{ref}, \rho_1\}$  solution.

**En cours de vieillissement :** Le modèle de perte et l'impédance thermique du composant sont évalués avec une incertitude importante. L'étape d'initialisation permet ainsi seulement d'établir des ordres de grandeur de  $i_{Lmin}^{ref}$  et  $i_{Lmax}^{ref}$  à appliquer au niveau du contrôle. Il est nécessaire d'affiner ces valeurs par une mesure de  $T_j$  du CST. Le choix s'est porté sur l'utilisation d'un Paramètre Électrique ThermoSensible (PETS) [7-9]. Un PETS est une grandeur électrique du MOSFET dont la valeur varie avec  $T_j$ . Connaissant la relation de dépendance entre le PETS et  $T_j$  du MOSFET, une mesure du PETS donne une image de la température indicative de celui-ci. Comme évoqué en section 2.3, les PETS sont également des indicateurs de vieillissement du MOSFET. La difficulté est donc de choisir un PETS avec une bonne sensibilité à la température et dont la calibration en température ne dérive pas trop vite avec le vieillissement du composant ou à défaut peut être corrigée [10-11].

Le potentiel de diffusion interne  $V_{bi}$  d'une jonction PN varie significativement avec la température [12]. La tension directe  $V_f$  de la diode interne du MOSFET est ainsi un PETS présentant une bonne sensibilité à la température [7-9], comme en atteste la courbe de calibration présentée à la figure 6 extraite pour un MOSFET SiC 1.2 kV, 98 A.

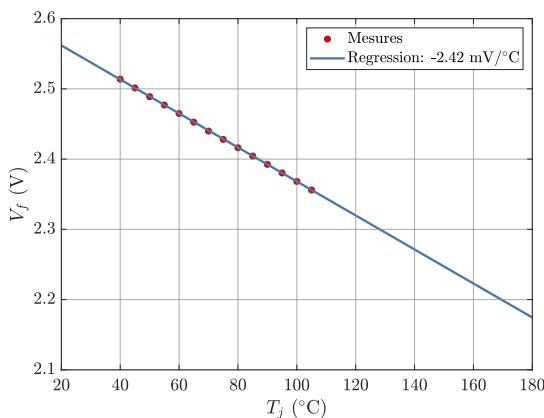


FIG. 6. Courbe de calibration  $T_j - V_f$  pour  $I_f = 20$  mA (MOSFET SiC 1.2 kV, 98 A)

A courant direct  $I_f$  constant,  $V_f$  peut être exprimée comme fonction de  $V_{bi}(T_j)$ , d'un terme représentant la dégradation de la diode interne  $V_{BD}(t)$  et d'un terme représentant la dégradation des fils de bonding  $V_{FdB}(t)$ . Selon la loi d'Ohm,  $V_{FdB}(t)$  peut s'exprimer comme le produit du courant direct  $I_f$  et de la résistance des fils de bonding  $R_{FdB}(t)$  dont la valeur dépend de l'état de dégradation de ces fils.

$$\begin{aligned} V_f &= V_{bi}(T_j) + V_{BD}(t) + V_{FdB}(t) \\ &= V_{bi}(T_j) + V_{BD}(t) + R_{FdB}(t) \cdot I_f \end{aligned} \quad (3)$$

D'après le contrôle-commande présenté, la diode interne du CST n'est pas sollicitée. Celle-ci n'est donc pas dégradée et le terme  $V_{BD}(t)$  reste donc constant au cours du vieillissement. Seul  $R_{FdB}(t)$  varie au cours du vieillissement. Néanmoins, en mesurant  $V_f$  à faible courant  $I_f$ , les variations de  $V_{FdB}(t)$  sont négligeables devant celles de  $V_{bi}(T_j)$ . À faible courant  $I_f$  et dans les conditions de contrôle du banc, la dérive de la courbe de calibration en température du PETS  $V_f$  peut être considérée comme négligeable au cours du vieillissement du CST.

La mesure du PETS  $V_f$  s'inspire de la méthode proposée par [13] mais est néanmoins adaptée pour notre besoin. Cette mesure est assurée par le circuit en orange à la figure 1. À la fin du  $T_{on}$  pour mesurer  $T_{jmax}$  ou du  $T_{off}$  pour mesurer  $T_{jmin}$ , la séquence suivante est respectée : l'inductance de cyclage est court-circuitée via la mise en conduction de  $M_a$ , les composants  $M_{11}$ ,  $M_{12}$ ,  $M_{21}$  et  $M_{22}$  du pont en H ainsi que  $M_b$  sont ensuite maintenus à l'état ouvert puis  $M_c$  entre en conduction. Le CST est alors traversé par un courant  $I_f$  de l'ordre de 20 mA.  $V_f$  est ainsi mesuré durant le refroidissement du CST via le "Circuit  $V_{on}$ " à la figure 1.

### 3.2.3. Stress de l'oxyde de grille

En plus du cyclage en température, le banc offre la possibilité d'exacerber le stress subi par l'oxyde de grille du CST. D'après le tableau 1, en plus de la température, le champ électrique est un facteur accélérant la dégradation de l'oxyde de grille. L'idée est donc d'utiliser ce second paramètre pour accélérer cette défaillance. Comme indiqué à la figure 1, le niveau de tension off du gate driver peut ainsi être ajusté : -5 V pour une utilisation normale ou -7 V par exemple pour amplifier le stress subi par l'oxyde de grille.

## 3.3. Implémentation d'une électronique de mesure In situ

### 3.3.1. Indicateurs mesurés

**Phase de vieillissement :** Durant la phase de vieillissement, le pont en H est contrôlé en mode normal de fonctionnement et le CST subit  $N$  cycles de variation en température. Tous les  $n$  cycles ( $n < N$ ), une mesure de sa résistance à l'état passant  $R_{on}$  est réalisée. Le "Circuit  $V_{on}$ " (figure 1) permet de mesurer la tension à l'état passant du MOSFET. Son principe est repris de [14] et présenté à la figure 7. Lorsque le MOSFET est ouvert, la diode  $D_1$  bloque la haute tension, tandis que les diodes Zener  $Z_1$  et  $Z_2$  assurent un écrêtage permettant de contenir le potentiel  $V_m$  à des niveaux de tension acceptables pour le système d'acquisition. Lorsque le MOSFET est à l'état passant,  $D_1$  et  $D_2$  entrent en conduction et les diodes Zener  $Z_1$  et  $Z_2$  ne sont ainsi plus polarisées. En s'assurant que les diodes  $D_1$  et  $D_2$  présentent la même tension directe et que  $R_3 = R_4$ , l'AOP mesure en sortie  $V_m = V_d$ . Un étage optique assure ensuite une isolation de cette mesure à l'aide d'un optocoupleur.

La figure 8 présente les performances dynamiques du "Circuit  $V_{on}$ " de la figure 7. Des mesures à l'oscilloscope à puissance réduite (20 V, 0.8 A) sont réalisées sur un MOSFET SiC 1.2 kV, 98 A. La courbe rouge est une mesure directe de la tension drain-source du composant, la courbe bleue est une mesure de la tension  $V_m$  en sortie du circuit d'écrêtage (figure 7) et la courbe verte est une mesure de la tension en sortie de l'isolateur optique. Le circuit permet d'écarter efficacement la tension drain-source du MOSFET lorsque celui-ci est bloqué. La dynamique de l'isolateur optique contraint cependant un délai d'au moins 10  $\mu$ s à la fermeture du MOSFET avant de réaliser la mesure, limitant ainsi la fréquence de commutation  $f_{cm}$  des composants du banc. Pour un courant drain-source de 0.8 A, la tension à l'état passant du MOSFET est très faible. Cette tension

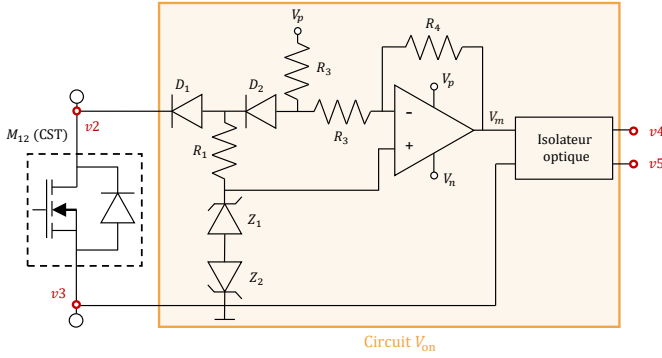


FIG. 7. Circuit de mesure de la tension à l'état passant  $V_{on}$  du MOSFET

est donc noyée dans le bruit de mesure des sondes de tension sur la figure 8.

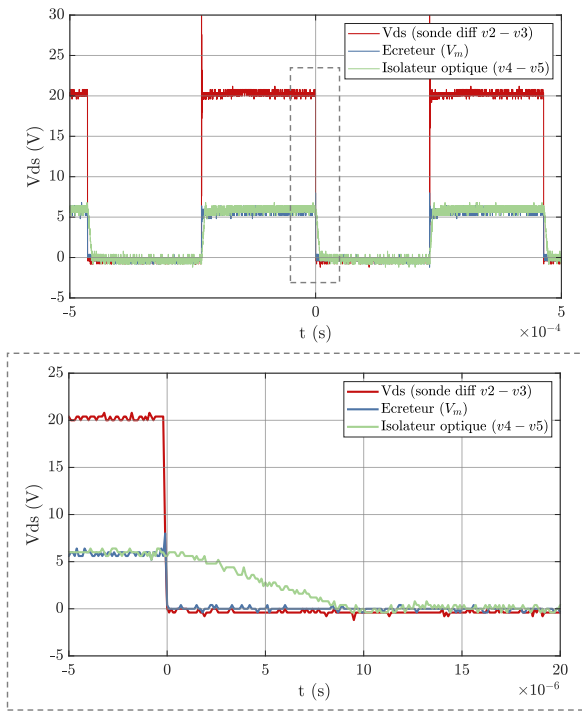


FIG. 8. Oscillogramme illustrant à puissance réduite (20 V, 0.8 A) les performances du "Circuit  $V_{on}$ " (MOSFET SiC 1.2 kV, 98 A)

Comme illustré à la figure 1, la mesure est ensuite directement réalisée par le châssis NI. Simultanément, le capteur de courant en c2 mesure le courant  $i_L$  image de  $I_{DS}$ , permettant ainsi d'extraire la résistance à l'état passant  $R_{on}$  du composant. Immédiatement après la mesure de  $R_{on}$ ,  $T_j$  est mesurée via le PETS  $V_f$  selon la méthode présentée en 3.2 grâce au même circuit présenté à la figure 7. Ces mesures de  $T_j$  permettent de décorréliser les mesures de  $R_{on}$  de la température.

**Phase de mesures :** La mesure durant la phase de vieillissement des indicateurs permet un suivi approfondi de l'évolution de la dégradation du CST. Néanmoins, mesurer l'ensemble des indicateurs de dégradation durant cette phase pose des problèmes d'instrumentation et de décorrélation efficace de la température. Ainsi, tous les  $N$  cycles, selon le schéma de séquençage présenté en figure 2, le cyclage en température du CST est arrêté. La température de celui-ci est donc ramenée à la température du dissipateur à eau. Des mesures à faible courant et courant pulsé sont alors réalisées. Les auto-échauffements sont

donc négligeables et  $T_j$  est donc supposée constante durant cette phase, permettant ainsi de décorréliser complètement les indicateurs de vieillissement de la température. Durant cette période, plusieurs indicateurs de vieillissement sont mesurés. L'intégralité des relais  $T_i$ , MOSFETs  $M_j$  et  $M_{ii}$  sont ouverts ou fermés au besoin selon l'indicateur mesuré.

$V_{th}$  est mesurée en s'inspirant du circuit proposé dans [15]. Les relais  $T_2$  et  $T_3$  sont fermés, court-circuitant ainsi le drain et la grille du MOSFET. Le driver du CST est amené à un état de haute impédance HZ et le relais  $T_1$  est connecté à la source de courant " $I_{V_{th}} = 10$  mA". Le courant injecté charge la grille du CST, jusqu'à atteindre la tension de seuil  $V_{th}$  du MOSFET. À cet instant, le courant injecté circule alors entre le drain et la source du MOSFET et le potentiel de grille de celui-ci reste limité à  $V_{th}$  puisqu'aucun courant de grille supplémentaire n'est disponible. Une sonde de tension permet alors de mesurer la tension de grille du CST.

$R_{on}$  à 400 mA du CST est mesurée. Le relais  $T_3$  est fermé, le CST est maintenu à l'état passant et le relais  $T_1$  est connecté à la source de courant " $I_{R_{dson}} = 400$  mA". La tension à l'état passant est mesurée via le "Circuit  $V_{on}$  @400 mA" (figure 1). La tension à l'état passant étant faible à ce niveau de courant, ce circuit assure une amplification de la tension mesurée. Ce circuit est protégé en amont par un écrêteur et isolé en aval par un isolateur optique. Ceci permet de laisser ce circuit connecté durant la phase de vieillissement.

Puisque la température est supposée constante durant cette phase, une mesure du PETS  $V_f$  sous 20 mA est également réalisée afin de corriger d'éventuels offsets de la courbe de calibration du PETS amenés par la variation de  $R_{FdB}(t)$ , selon l'équation (3).  $M_c$  est fermé et  $V_f$  est mesurée selon le même principe que durant le cyclage en température.

Des tests dits en double pulse (DPT) sont également réalisés. Le relais  $T_4$  est fermé et le MOSFET  $M_{21}$  est maintenu à l'état passant durant toute la durée du test. Le courant pulsé est généré grâce à une inductance toroïdale à air  $L_{DPT}$ . Durant ces tests, le potentiel  $V_G$  est mesuré à l'aide d'une sonde de tension active tandis que  $V_{DS}$  est mesurée par une sonde de tension différentielle isolée. Une image de la variation de courant de grille  $i_G$  est évaluée par une mesure de tension différentielle aux bornes de la résistance de grille externe  $R_{gext}$ . Le courant  $I_{DS}$  est quant à lui évalué à l'aide d'une sonde Rogowski. Toutes ces sondes sont connectées à un oscilloscope. Le niveau de tension on du gate driver peut aussi être commandé. Un premier test double pulse est réalisé en conditions normales de commutation à  $V_{GSon} = 15$  V. Un second test est réalisé à commutation ralentie à  $V_{GSon} = 10$  V afin de mesurer un plateau de Miller propre.

$V_f$  sous un courant pulsé de 10 A est mesurée. D'après l'expression de  $V_f$  dans l'équation (3), l'idée est cette fois-ci de rendre prédominante la variation de potentiel induite par le terme  $V_{FdB}(t)$  devant  $V_{bi}(T_j)$  afin d'extraire l'évolution de  $R_{FdB}(t)$ . La génération de ce courant pulsé se fait grâce à  $L_{DPT}$  et les mesures effectuées sont identiques à celles effectuées durant les tests DPT.

Le tableau 2 synthétise les différents indicateurs évalués durant la phase de mesure et l'état des différents composants du banc pour chacune de ces observations.

### 3.3.2. Mise en œuvre

Comme évoqué à la section 2.3, un travail sur la protection et la précision de cette électronique de mesure est nécessaire. En termes de protection, les différents relais  $T_2$  et  $T_3$  assurent une isolation galvanique entre les sources de courant de précision  $I_{R_{dson}}$  et  $I_{V_{th}}$  et le pont en H. Comme évoqué dans la section précédente, des étages d'isolation optique et d'écrêtage de la tension sont implémentés à des endroits stratégiques pour protéger les mesures.

Concernant la précision, un travail sur la réduction des différentes sources de bruit a été réalisé. L'optimisation du routage

TABLEAU 2. Indicateurs mesurés et configuration associée des interrupteurs

| Indicateur mesuré  | $T_1$       | $T_2$ | $T_3$ | $T_4$ | $T_5, M_b$ | $M_a$ | $M_c$ |
|--------------------|-------------|-------|-------|-------|------------|-------|-------|
| $V_{th}$           | $I_{Vth}$   | on    | on    | off   | off        | off   | off   |
| $R_{on}$ à 400 mA  | $I_{Rdson}$ | off   | on    | off   | off        | off   | off   |
| $V_f$ à 20 mA PETS | -           | off   | off   | off   | off        | off   | on    |
| $V_f$ à 10 A pulse | -           | off   | off   | on    | off        | on    | off   |
| Double pulse 15 V  | -           | off   | off   | on    | off        | on    | off   |
| Double pulse 10 V  | -           | off   | off   | on    | off        | on    | off   |

des différentes cartes électroniques constituant le banc et l'utilisation d'inductances de filtrage permettent de minimiser les perturbations de mode commun. Le choix s'est également porté sur des sondes différentielles actives avec un taux de réjection de mode commun important. Les sondes et l'oscilloscope utilisés présentent une bande passante importante afin d'évaluer au mieux les indicateurs mesurés au transitoire du composant.

#### 4. CONCLUSION

Les principaux modes de défaillance des MOSFETs SiC, les facteurs accélérant ces défaillances et les indicateurs permettant d'évaluer l'état de dégradation de ces composants ont été présentés. La variation en température étant le principal stress subi par les MOSFETs SiC utilisés dans des convertisseurs de puissance MVDC pour l'éolien ou le photovoltaïque, un banc de vieillissement accéléré permettant à un CST de subir un cyclage en température via ses pertes par conduction et par commutation est proposé. Le séquençage et l'instrumentation de ce banc sont abordés. Le contrôle-commande de celui-ci permet de ne pas dégrader la diode interne du CST. D'une part, ceci permet de décorréler les indicateurs de dégradation de la diode interne du MOSFET des autres défaillances. D'autre part, la tension directe  $V_f$  de diode interne étant un PETS, ceci permet de disposer d'une mesure de la température de jonction  $T_j$  du composant, qui ne dérive pas au cours du vieillissement du CST, permettant un cyclage en température pertinent. Le contrôle-commande proposé permet également d'ajuster le stress en courant subi par le CST et donc les phénomènes d'électromigration. L'instrumentation et le séquençement du banc permettent un suivi in situ des indicateurs de vieillissement du CST à température constante. D'une part, ceci permet de s'assurer que l'environnement du CST ne varie pas au cours de son vieillissement. D'autre part, ceci permet de décorréler les indicateurs de vieillissement du MOSFET de la valeur de  $T_j$ . Différents relais assurent un aiguillage de l'électronique de mesure tout en assurant la protection de celle-ci. Des écrêteurs et étages d'isolation optique viennent compléter les mesures de protection. Un travail sur la réduction des bruits de mode commun permet d'optimiser la précision des mesures.

Le fonctionnement de ce banc étant validé, les perspectives sont désormais d'entamer une campagne de test de vieillissement accéléré de MOSFETs SiC. La collecte des indicateurs de vieillissement au cours des tests permettra de construire des outils de diagnostic-pronostic de MOSFETs SiC utilisés dans des convertisseurs de puissance MVDC pour l'éolien ou le photovoltaïque.

#### 5. RÉFÉRENCES

- [1] X. She, A. Q. Huang, Ó. Lucía, et B. Ozpineci, «Review of Silicon Carbide Power Devices and Their Applications», IEEE Transactions on Industrial Electronics, vol. 64, n° 10, p. 8193-8205, 2017.
- [2] S. Pu, F. Yang, B. T. Vankayalapati, et B. Akin, «Aging Mechanisms and Accelerated Lifetime Tests for SiC MOSFETs : An Overview», IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 10, n° 1, p. 1232-1254, 2022.

- [3] J. Wang et X. Jiang, «Review and analysis of SiC MOSFETs' ruggedness and reliability», IET Power Electronics, vol. 13, n° 3, p. 445-455, 2020.
- [4] Z. Ni, X. Lyu, O. P. Yadav, B. N. Singh, S. Zheng, et D. Cao, «Overview of Real-Time Lifetime Prediction and Extension for SiC Power Converters», IEEE Transactions on Power Electronics, vol. 35, n° 8, p. 7765-7794, 2020.
- [5] M. Dbeiss, «Mission Profile-Based Accelerated Ageing Tests of SiC MOSFET and Si IGBT Power Modules in DC/AC Photovoltaic Inverter», PhD Thesis, 2018.
- [6] F. Forest et al., «Use of opposition method in the test of high-power electronic converters», IEEE Transactions on Industrial Electronics, vol. 53, n° 2, p. 530-541, 2006.
- [7] H. Yu, X. Jiang, J. Chen, Z. J. Shen, et J. Wang, «Comparative Study of Temperature Sensitive Electrical Parameters for Junction Temperature Monitoring in SiC MOSFET and Si IGBT», in 2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia), 2020, p. 905-909.
- [8] J. O. Gonzalez, O. Alatisé, J. Hu, L. Ran, et P. A. Mawby, «An Investigation of Temperature-Sensitive Electrical Parameters for SiC Power MOSFETs», IEEE Transactions on Power Electronics, vol. 32, n° 10, p. 7954-7966, 2017.
- [9] Y. Avenas, L. Dupont, et Z. Khatir, «Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters—A Review», IEEE Transactions on Power Electronics, vol. 27, n° 6, p. 3081-3092, 2012.
- [10] R. Wang et X. Zhu, «An online junction temperature detection circuit for SiC MOSFETs considering threshold voltage drift compensation», Microelectronics Reliability, vol. 163, p. 115548, 2024.
- [11] F. Yang, S. Pu, C. Xu, et B. Akin, «Turn-on Delay Based Real-Time Junction Temperature Measurement for SiC MOSFETs With Aging Compensation», IEEE Transactions on Power Electronics, vol. 36, n° 2, p. 1280-1294, 2021.
- [12] S. M. Sze, Y. Li, et K. K. Ng, Physics of semiconductor devices. John Wiley & sons, 2021.
- [13] K. Muñoz Barón, K. Sharma, et I. Kallfass, «Virtual Junction Temperature Estimation during Dynamic Power Cycling Tests», in 2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia), 2023, p. 3193-3199.
- [14] D. A. Velazco Navarro, «Du diagnostic au pronostic de l'état de santé des IGBT dans un convertisseur modulaire multinationaux pour les réseaux HVDC», PhD Thesis, 2023.
- [15] S. H. Ali, X. Li, A. S. Kamath, et B. Akin, «A Simple Plug-In Circuit for IGBT Gate Drivers to Monitor Device Aging : Toward Smart Gate Drivers», IEEE Power Electronics Magazine, vol. 5, n° 3, p. 45-55, 2018.

#### 6. MENTION

Ce travail a bénéficié d'une aide de l'Etat gérée par l'Agence Nationale de la Recherche au titre de France 2030 portant la référence 22-PETA-0003.

