

Transistor à effet de champ interdigité en diamant : augmentation du calibre en courant

Damien MICHEZ^{1,2}, Juliette LETELLIER¹, Julien PERNOT³, Nicolas ROUGER²

¹DIAMFAB, ²LAPLACE, ³Institut Néel

RESUME – Les transistors en diamant commencent à montrer des caractéristiques électriques intéressantes mais ces dernières doivent encore être améliorées pour pouvoir atteindre une réalité industrielle. Ce travail présente le transistor à effet de champ en diamant (FET) utilisant une conduction volumique avec la valeur de courant la plus élevée rapportée à ce jour. L'objectif était d'augmenter considérablement le courant de ce type de dispositif en augmentant la largeur totale de la grille grâce à une architecture interdigitée et des propriétés de croissance homogènes. Cette homogénéité a été quantifiée en caractérisant les différents doigts qui composent le transistor interdigité indépendamment. Le dispositif interdigité développe une largeur totale de grille de 15,1 mm, avec 24 doigts parallélisés et un courant supérieur à 50 mA à $V_{DS} = -15$ V, $V_{GS} = 0$ V, à 450 K et sous illumination. Sa résistance spécifique en état ON et sa tension de seuil sont respectivement de 620 m Ω .cm² et 50 V. À partir des mesures de la méthode du transfert de longueur (TLM), nous extrayons une résistivité de 3,6 m Ω .cm pour une couche de diamant fortement dopée au bore (p++). Nous avons mesuré les caractéristiques du courant de drain en fonction de la tension de grille à haute température, montrant que ce n'est plus la résistance du canal de conduction mais la résistance d'accès du dispositif qui est prédominante laissant une marge de progression pour le futur. Cette étude indique qu'il est possible d'améliorer considérablement l'état ON des FETs en utilisant une architecture interdigitée, tout en utilisant des couches de diamant homogènes de grande taille obtenues par CVD.

Mots-clés — *Diamant, JFET, interdigitation, fort courant, électronique de puissance.*

1. INTRODUCTION

L'électronique de puissance est essentielle pour obtenir une gestion de l'énergie plus durable [1]. Il est nécessaire de développer des transistors de plus en plus performants pour leur intégration dans des convertisseurs de puissance, avec des résistances faibles à l'état passant et une grande capacité à supporter les températures élevées. Les matériaux à large et ultra-large bande interdite ont montré des dispositifs efficaces et prometteurs, tels que le carbure de silicium (SiC) [1][2], le nitrure de gallium (GaN) [3][4], l'oxyde de gallium (Ga₂O₃) [5][6] et le diamant [7–10]. Les propriétés exceptionnelles électriques et thermiques du diamant en font un matériau idéal pour les transistors de puissance de la prochaine génération. Le diamant a montré une mobilité allant jusqu'à 2000 cm².V⁻¹.s⁻¹ [11], un champ de claquage allant jusqu'à 10 MV/cm [12] et une conductivité thermique comprise entre 2200 et 2400 W.m⁻¹.K⁻¹. Afin de faire du diamant une réalité industrielle, il est nécessaire d'améliorer les performances des transistors à effets de champs (FET). Actuellement les meilleures performances sont obtenues avec des transistors à conduction surfacique avec un gaz

bidimensionnel de trous (2DHG) appelé H-FET [7][8]. Cependant, il est difficile de contrôler la mobilité et la concentration des porteurs dans la résistance du canal 2DHG (en raison de l'état de l'interface diamant/oxyde [13]). Cela limite la répétabilité de ce type de dispositif, ce qui peut constituer un obstacle à leur développement industriel. Les FETs à conduction volumique permettent de tirer parti des propriétés du diamant et d'avoir un bon contrôle du dopage, de l'épaisseur, et donc de la résistivité du canal de conduction. Les MOSFETs (Métal Oxyde Semiconducteur FET) et les JFETs (Jonction FET) utilisant une conduction volumique ont précédemment démontré des caractéristiques intéressantes [14–18]. Dans cette étude le but est d'augmenter drastiquement le calibre en courant du transistor JFET en passant d'une architecture à doigt simple à une architecture interdigitée mettant en parallèle 24 doigts.

2. PROCEDE DE FABRICATION ET PRINCIPE DE FONCTIONNEMENT DU JFET

La Fig. 1.a est la représentation schématique, en vue de coupe, du transistor JFET étudié. Il est composé d'un substrat diamant obtenu par la méthode haute pression et haute température (HPHT) fortement dopé à l'azote ([N] $\approx 10^{19}$ atomes.cm⁻³ et épaisseur 500 μ m). Une couche de diamant de type p avec un dopage visé de [B] $\approx 2.10^{17}$ atomes.cm⁻³ et une épaisseur de 410 nm est épitaxiée sur le substrat par la technique de dépôt chimique en phase vapeur assisté par plasma microonde (MPCVD). Afin d'obtenir des contacts ohmiques pour définir les contacts de source et de drain, une croissance sélective de diamant très fortement dopé type p ([B] > transition métal-isolant) est effectuée par la même technique. Des contacts métalliques formés d'un empilement de titane (30 nm), platine (40 nm) et or (50 nm), sont définis par la technique de lithographie laser et lift-off et sont ensuite déposés sur la couche fortement dopée. Le contact de grille est déposé sur la totalité de la face arrière du substrat avec le même empilement métallique que pour les contacts de drain et de source. Dans notre cas, le JFET est composé de 24 doigts élémentaires qui seront mis en parallèle avec une longueur drain source (L_{DS}) de 14 μ m et une largeur de grille (W_G) de 630 μ m chacun, comme le montre l'image en microscopie optique présentée en Fig. 1.b. Avant de les paralléliser, nous avons réalisé des caractérisations électriques de chacun des doigts indépendamment afin d'éliminer si nécessaire les doigts non fonctionnels et d'effectuer une étude statistique de leurs performances.

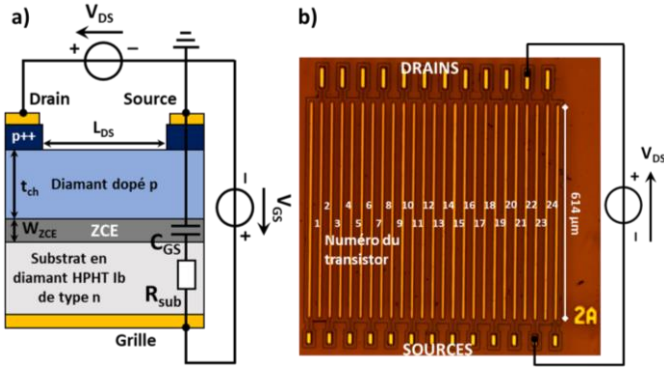


Fig. 1 : a) Schéma en coupe d'un JFET élémentaire en diamant incluant le montage de mesure. La résistance du substrat et la capacité induite par le zone de charge d'espace (ZCE) de la jonction pn sont aussi représenté. b) Vue de dessus en microscopie optique du JFET interdigité en diamant avant la parallélisation des doigts.

Le principe de fonctionnement du JFET en diamant est présenté par Masante et al. [19]. Lorsqu'une tension est appliquée sur la face arrière de l'échantillon avec le contact de grille, il est possible de venir polariser la jonction pn présente à l'interface entre le substrat et la couche active sous certaines conditions. L'énergie d'activation de l'azote dans le diamant dopé type n est égale à 1,7 eV ce qui en fait un donneur profond. Il est donc nécessaire d'apporter de l'énergie au système afin de les ioniser et de les rendre actifs. Pour ce faire, une source lumineuse avec une énergie supérieure à l'énergie d'activation est nécessaire. Ainsi lorsque la jonction pn est polarisée en inverse et sous illumination, la zone de charge d'espace (ZCE) peut s'étendre pour dépléter le canal de conduction du transistor (couche dopée p).

3. CARACTERISATION DES DOIGTS AVANT LA PARALLELISATION

Le JFET interdigité est réalisé en parallélisant de nombreux doigts sur de grandes surfaces. L'homogénéité des propriétés de de ces derniers a un impact sur les performances finales du transistor. Pour étudier cette homogénéité, les caractéristiques $I_D(V_{GS})$ des 24 doigts montrés sur la Fig. 2.b ont été mesurées à $V_{DS} = -1$ V, 450 K et sous illumination.

Comme mentionné précédemment, il est nécessaire d'illuminer le JFET pour contrôler la jonction pn entre la grille et la source. Toutes les mesures ont donc été effectuées sous une source LED blanche Leica CLS 150 de 11 mW/cm², ayant une forte composante bleu foncé. Il convient de noter que seuls les photons dont l'énergie est supérieure à l'activation de l'azote (1,7 eV) et inférieure à la bande interdite du diamant (5,5 eV) sont nécessaires pour permettre le contrôle électrostatique de la jonction pn [20]. Le dispositif de mesure électrique utilisé dans cette étude se compose d'une station à pointe sous vide ($\approx 10^{-4}$ mbar), d'un Keithley SourceMeter multisource 2612B pour les mesures électriques, du contrôleur de système T95-PE LINKAM couplé à la pompe à azote liquide LNP95 LINKAM pour le contrôle de la température. Une résistance Pt100 a été utilisée près de la fixation de l'échantillon de diamant pour lire la température réelle de la jonction.

Les 24 caractéristiques, correspondant aux 24 doigts mesurés, sont tracées dans la Fig. 2.a et ont été obtenues pour un balayage en tension de grille en aller et retour de -50 à 100V, montrant 24 dispositifs fonctionnels. Pour chacun des 24 doigts, leurs performances statiques, extrait à partir de la Fig. 2.a, sont tracées dans la Fig. 2.b. Une hystérésis est observée entre les courbes « aller » et « retour » probablement dû à la grande résistance du substrat. En effet le substrat et la zone de charge

d'espace de la jonction pn forme un circuit RC (Fig. 1.a) dont la constante de temps est fortement dépendante de la résistance du substrat. Une étude plus poussée de ce phénomène a été réalisée dans [21].

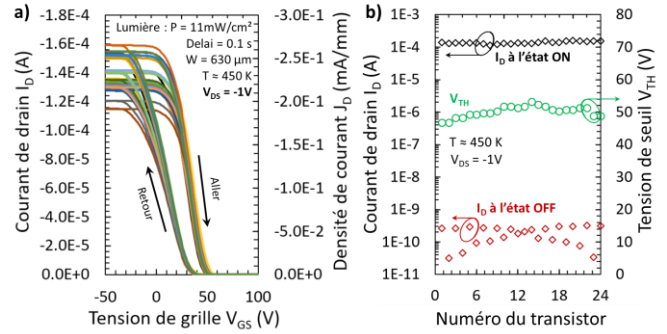


Fig. 2 : a) Courbe $I_D(V_{GS})$ à $V_{DS} = -1$ V et environ 450 K pour chaque doigt de JFET du transistor 2A. b) Vue d'ensemble de la tension de seuil, du courant à l'état ON et du courant à l'état OFF des JFET à doigts à partir des caractéristiques $I_D(V_{GS})$.

Les courants à l'état passant sont supérieurs à 0,1 mA, les tensions de seuil sont autour de 50 V et un écart de plus de 5 ordres de grandeur est observé entre les courants à l'état passant et à l'état bloqué. Le courant moyen à l'état passant est de 0,14 mA. L'écart type associé est de 0.01 mA ce qui correspond à une dispersion entre la plus basse et la plus haute valeur de courant mesurée inférieure à 30 %.

4. CARACTERISATION ET PERFORMANCE DU JFET INTERDIGITE

L'objectif principal de ce travail était d'augmenter le courant du JFET en diamant à conduction volumique en utilisant une structure interdigitée. Les doigts précédemment caractérisés ont été parallélisés avec un dépôt de contacts métalliques (Fig. 3). Après cette étape, la largeur totale de la grille du JFET interdigité est de 15.1 mm ($24 \times 630 \mu m$).

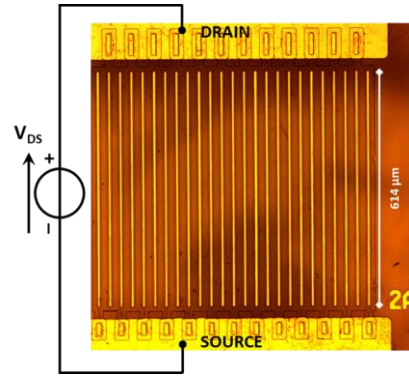


Fig. 3 : Vue de dessus en microscopie optique du JFET interdigité en diamant après la parallélisation des doigts.

La caractéristique $I_D(V_{GS})$ présentée dans la Fig. 4.a a été mesurée dans les mêmes conditions (450 K, sous vide et sous illumination) que celles de la Fig. 2.a et présente un courant de 3,7 mA. Cela est légèrement supérieur à la valeur attendue de $24 \times 0,14$ mA et peut être expliqué par l'incertitude sur le contrôle de la température du dispositif. Néanmoins, aucune perte de courant n'est observée en raison de l'étape de parallélisation. La tension de seuil est d'environ 50 V. Cette valeur élevée a été choisie afin de cibler une valeur réduite de résistance à l'état passant: ceci se traduit par une épaisseur de couche dopée p élevée, et alors, un compromis entre tension de seuil (possiblement élevée) et résistance à l'état passant (possiblement faible) [15]. De plus, à l'état bloqué, quand

$V_{GS} > 60$ V, le courant de fuite traversant la grille est deux fois plus élevé que le courant de drain mesuré. En effet, pour des valeurs de V_{DS} faible, le courant de fuite de grille est partagé entre les contacts de drain et de source ce qui explique le facteur 2 observé.

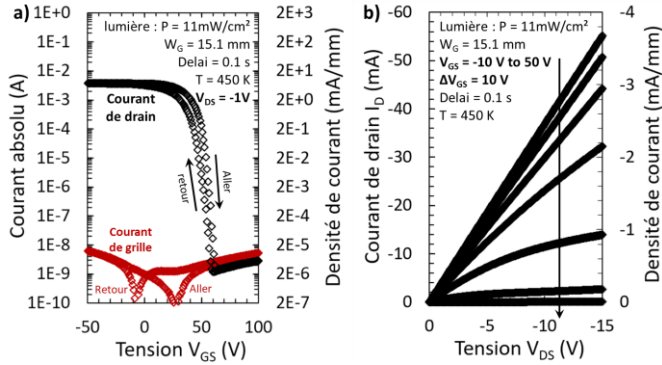


Fig. 4 : Mesures du JFET interdigité. a) Caractéristique du courant de drain (I_D) en fonction de la tension de grille (V_{GS}), $I_D(V_{GS})$ (noir) et du courant de grille en fonction de la tension de grille (rouge). b) Caractéristique du courant de drain (I_D) en fonction de la tension de drain (V_{DS}), $I_D(V_{DS})$. V_{GS} varie de -10 V à 50 V par paliers de 4 V.

La Fig. 4.b représente la mesure du courant de drain (I_D) en fonction de la tension de drain (V_{DS}), pour différentes valeurs de tension de grille (V_G) allant de -10 V à 50 V par pas de 10 V. Lorsque $V_G = 0$ V et que $V_{DS} = -15$ V, le JFET montre un courant de drain supérieur à 50 mA soit environ 3,5 mA/mm.

La résistance spécifique normalisée $R_{ON.S}$ a été calculée autour de 620 m Ω .cm² en utilisant la résistance à l'état passant à $V_{GS} = 0$ V dans le régime linéaire et en considérant la surface du canal de conduction ($S = W_G \cdot L$

$D_S = 1,51 \times 0,0014$ cm²). En tenant compte de la marge technologique imposée par l'équipement de fabrication, L_{DS} peut être divisé par plus de 4 pour atteindre une valeur inférieure à 3,5 μ m. En considérant uniquement la résistance du canal de conduction, cela correspond à un $R_{ON.S}$ inférieur à 38 m Ω .cm² et montre qu'il existe une marge considérable pour l'amélioration de ce type de dispositif. Cependant, si on s'intéresse aux différentes contributions participant à la résistance totale du JFET interdigité il est nécessaire de prendre la résistance d'accès en compte.

Les Fig. 5.a et b montrent que la résistance à l'état passant (R_{ON}) d'un doigt du JFET interdigité est composée de plusieurs résistances en série. La première, R_1 , est uniquement constituée par le goulot d'étranglement de la couche p++ ($S = 5 \times 32$ μ m²). Cet accès via la couche p++ non métallisé avait été prévu dans un procédé parallèle, en vue de réaliser des MOSFET à grille isolé. Les mêmes masques ayant été utilisés, il en résulte une résistance supplémentaire de doigt p++ non métallisé dans ces variantes JFET. Ensuite, il y a la résistance des doigts R_F qui correspond aux couches métalliques ($S = 5 \times 614$ μ m²) et à la couche p++ ($S = 15 \times 614$ μ m²) en parallèle ($R_2/R_3/R_4/R_5$). Les deux résistances précédentes composent ce que nous considérons ici comme la résistance d'accès R_A du dispositif ($R_A = 2R_1 + R_F$). La dernière résistance R_p correspond au canal de conduction ($S = 14 \times 614$ μ m²). La résistance totale pour un doigt est donnée par $R_A + R_p$. Le schéma équivalent de résistance généralisé à n doigt est donné par la Fig. 5.c.

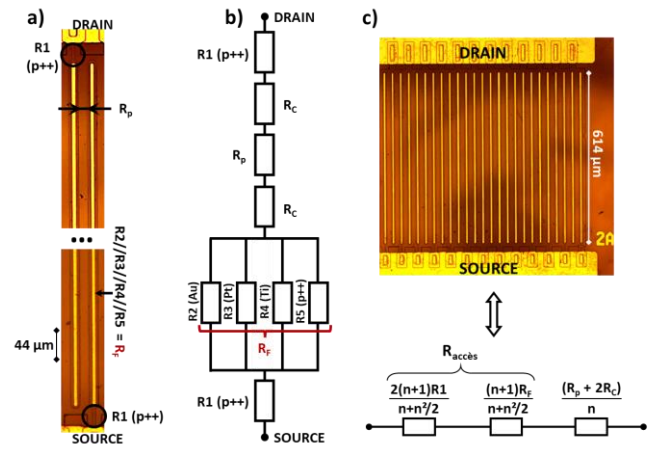


Fig. 5 : a) Microscopie optique d'un doigt de JFET interdigité montrant la contribution des résistances de chacun des éléments. b) Circuit équivalent de la résistance d'un doigt. c) Généralisation du circuit équivalent pour n doigts. Dans ce travail $n = 24$.

Dans ce travail $n = 24$. Ce modèle a été utilisé pour ajuster la résistance du dispositif en fonction de la température.

La Fig. 6.a montre les caractéristiques $I_D(V_{GS})$ à température ambiante (299 K), 383 K, 448 K, 485 K et 523 K. Elle fournit un aperçu des performances du JFET en fonction de la température (tension de seuil, résistance totale du régime linéaire, courant de drain et hystérésis). L'hystérésis diminue avec l'augmentation de la température. Comme expliqué précédemment, cette hystérésis provient probablement de la résistance du substrat dopé à l'azote. L'ionisation des donneurs suit le même modèle que l'ionisation des accepteurs. En augmentant la température, un plus grand nombre de donneurs sont ionisés et la résistance interne de la grille diminue. Cela explique pourquoi l'hystérésis diminue avec la température.

La résistance totale du transistor a été simulée avec le modèle proposé précédemment (Fig. 5.c) en fonction de la température et a été tracée en noir (Fig. 6.b). Les points rouges représentent les résistances mesurées à partir de la Fig. 6.a. A basse et haute température, la résistance du canal de conduction et la résistance d'accès limitent respectivement le courant.

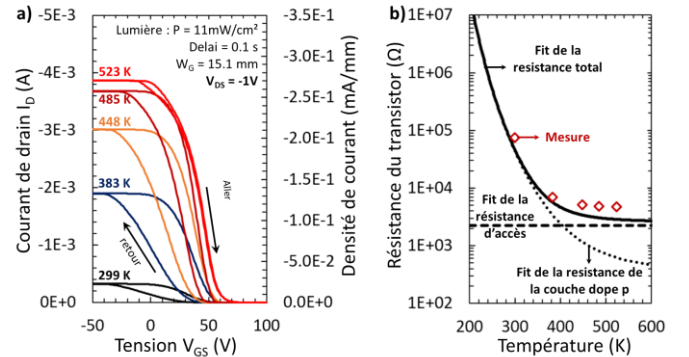


Fig. 6 : a) Caractéristiques $I_D - V_{GS}$ mesurées à 299 K, 383 K, 448 K, 485 K et 523 K. b) Mesures de résistance en fonction de la température. Les mesures sont en rouge et les simulations en noir. La résistance de la couche p simulée a été ajustée en utilisant $N_A = 2.10^{17}$ cm⁻³, une compensation de 10 % ($N_{Dp} = 2.10^{16}$ cm⁻³) et $t_{epi} = 410$ nm.

Ici, la résistivité de la couche p++ utilisée pour la simulation est de 3,6 m Ω .cm et est extraite par TLM. Cela correspond à un niveau de dopage de 6×10^{20} cm⁻³ (mobilité ≈ 3 cm².V⁻¹.s⁻¹ [22]). Ces dispositifs se trouvent près du bord de l'échantillon et le transistor est près du centre ce qui peut entraîner une

inhomogénéité des propriétés de la couche p++. Les différences entre les mesures et les ajustements proviennent probablement de cette inhomogénéité dû à une variation du niveau de dopage entre le bord et le centre de la couche. Néanmoins, le modèle de résistance utilisé est une bonne description du dispositif présenté dans ce travail.

Dans l'état de l'art la valeur absolue du courant de drain à $V_{DS} = 15$ V en fonction de la résistance spécifique $R_{ON.S}$ présentée par la Fig. 7, le composant reporté dans ce travail est comparé à d'autres transistors en diamant utilisant une conduction volumique.

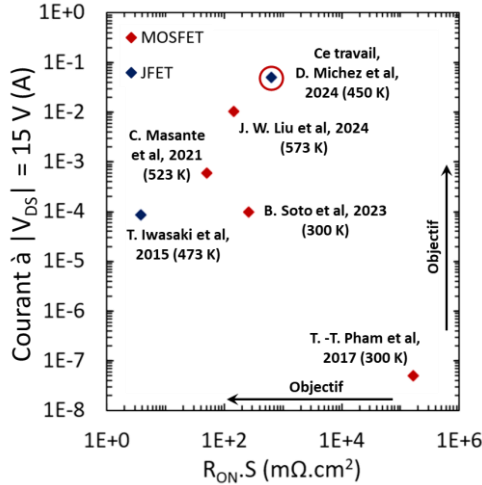


Fig. 7 : Etat de l'art du courant à l'état passant pour une tension absolue $|V_{DS}| = 15$ V en fonction de la résistance spécifique $R_{ON.S}$ [14–18,21].

La résistance spécifique obtenue pour le JFET interdigité n'est pas la plus basse : par exemple, le composant reporté dans [16] présente de meilleures performances ($R_{ON.S}$ plus faibles), en considérant la surface du canal de conduction $W_G \times L_{DS}$. Les dispositifs présentés dans l'état de l'art n'ont pas été optimisés pour une capacité de courant total élevée ; une performance qu'ils pourraient avoir, mais qui n'a pas été démontrée expérimentalement dans les travaux antérieurs. Dans ce travail, l'objectif était d'augmenter le courant total en utilisant une largeur totale de grille plus grande (architecture interdigitée) et des couches de diamant homogènes de grande taille, obtenues par CVD. Cette étude est un succès puisque la plus grande valeur de courant total pour un FET en diamant utilisant une conduction volumique est obtenue pour le JFET interdigité présenté dans ce travail. Il est intéressant de noter que le courant et la résistance spécifique reporté dans ce travail peuvent encore être grandement améliorés en diminuant la résistance d'accès induite en grande partie par la résistance R_1 (goulot d'étranglement de la couche p++) et en diminuant la longueur drain-source L_{DS} . Des simulations menées en utilisant le modèle de résistance de la Fig. 5.c ont montré qu'en supprimant R_1 et en utilisant $L_{DS} = 3.5$ μm le courant du dispositif serait multiplié par plus de 7 ($I_D > 350$ mA) et la résistance spécifique divisée par plus de 10 ($R_{ON.S} > 60$ m $\Omega.\text{cm}^2$). Ces valeurs restent à confirmer expérimentalement mais sont très prometteuses.

5. ESTIMATION DES PERFORMANCE A L'ETAT BLOQUE DU JFET INTERDIGITE

Pour ne pas endommager le composant présenté dans ce travail, il a été décidé d'étudier l'état OFF sur un JFET élémentaire fabriqué sur le même échantillon. Il a été démontré précédemment que sur ce type d'architecture (JFET latérale), le claquage se produit entre le drain et la grille, dans la jonction pn

[17]. C'est la raison pour laquelle l'étude se concentre sur la caractérisation de cette jonction. La courbe I-V de cette dernière a été mesurée sous illumination, et à 230 K pour réduire le courant de fuite, et sur un JFET élémentaire (Fig. 8.a).

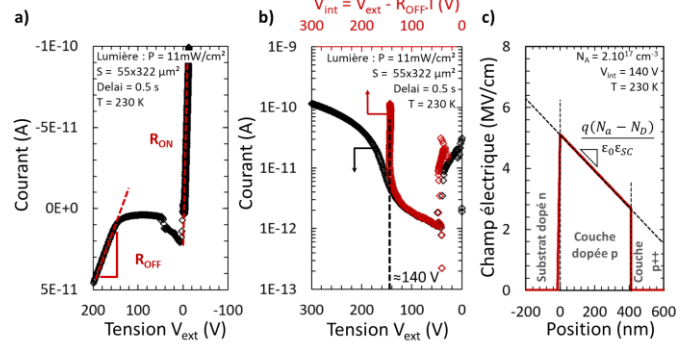


Fig. 8 : Caractérisation de la jonction pn d'un JFET élémentaire.

- Caractéristiques de la courbe I-V à l'état passant et à l'état bloqué.
- Courant circulant dans la jonction pn en fonction de la tension interne aux bornes de cette dernière.
- Simulation du champ électrique 1D dans la région de déplétion (ZCE) de la jonction pn. ϵ_0 est la permittivité du vide et ϵ_{sc} est la permittivité relative du diamant.

Dans la Fig. 8.b, le courant de la jonction pn a été tracé en rouge en fonction de $V_{int} = V_{ext} - R_{OFF}I$, où V_{int} est le potentiel interne de la jonction pn et V_{ext} est la tension mesurée (ici, la résistance à l'état bloqué $R_{OFF} = 75$ M $\Omega.\text{cm}^2$). R_{OFF} est différent de R_{ON} (1,5 M $\Omega.\text{cm}^2$), la résistance à l'état passant (Fig. 2.a). Cela montre que la résistance du substrat ne limite pas le courant dans l'état bloqué. Sur la courbe I- V_{int} , il n'y a pas de courant de fuite significatif avant $V_{ext} = 140$ V. À ce point, $R_{OFF}I$ n'est plus négligeable et V_{int} devient constant. Cela correspond à un champ électrique maximal de 5 MV/cm dans la jonction, estimé en utilisant une simulation 1D (Fig. 2.c).

6. CONCLUSION

En conclusion nous avons réussi à fabriquer un transistor en diamant à effet de champ, interdigité avec 24 doigts fonctionnels ce qui représente une largeur de grille W_G de 15.1 mm et une augmentation du calibre à l'état passant de 10 mA à plus de 51 mA. Ces résultats en font le transistor diamant à effet de champ et à conduction volumique le plus élevé. Chacun des doigts a été caractérisé indépendamment, ce qui a permis une étude statistique de leurs propriétés montrant une dispersion totale du courant inférieur à 30 %. Un modèle de résistance cohérent avec les résultats expérimentaux a été mis en place pour expliquer les performances en courant du composant présenté. D'après ce modèle le design du JFET interdigité reporté dans ce travail pourrait être grandement amélioré ce qui devrait permettre de diminuer la résistance spécifique par 10 et le multiplier le courant par 7. La mesure de la jonction pn a montré une tenue au champ électrique supérieure à 5 MV/cm sans détérioration du composant.

7. REMERCIEMENTS

Ce travail est en partie financé par le projet européen DCADE. Les auteurs souhaitent remercier les équipes de l'Institut Néel : NANOFAB et SC2G.

8. REFERENCES

- [1] S.H. Ryu, S. Krishnaswami, M. O'Loughlin, J. Richmond, A. Agarwal, J. Palmour, A. R. Hefner, 10-kV, 123-m $\Omega.\text{cm}^2$ 4H-SiC power DMOSFETs, IEEE Electron Device Lett. 25 (2004) 556–558.

<https://doi.org/10.1109/LED.2004.832122>.

- [2] S.H. Ryu, A.K. Agarwal, R. Singh, J.W. Palmour, 1800 V NPN bipolar junction transistors in 4H-SiC, *IEEE Electron Device Lett.* 22 (2001) 124–126. <https://doi.org/10.1109/55.910617>.
- [3] I. Abid, R. Kabouche, F. Medjdoub, S. Besendorfer, E. Meissner, J. Derluyn, S. Degroote, M. Germain, H. Miyake, Remarkable Breakdown Voltage on AlN/AlGaIn/AlN double heterostructure, *Proc. Int. Symp. Power Semicond. Devices ICs.* 32 (2020) 310–312. <https://doi.org/10.1109/ISPSD46842.2020.9170170>.
- [4] D. Shibata, R. Kajitani, M. Ogawa, K. Tanaka, S. Tamura, T. Hatsuda, 1.7 kV / 1.0 mΩcm² Normally off Vertical GaN Transistor on GaN substrate with Regrown p GaN/AlGaIn/GaN Semipolar Gate Structure, *IEEE Int. Electron Devices Meet.* (2016) 10.1.1-10.1.4. <https://doi.org/10.1109/IEDM.2016.7838385>.
- [5] M.H. Wong, K. Sasaki, A. Kuramata, S. Yamakoshi, M. Higashiwaki, Field-Plated Ga₂O₃ MOSFETs With a Breakdown Voltage of Over 750 V, *IEEE Electron Device Lett.* 37 (2016) 212–215. <https://doi.org/10.1109/LED.2015.2512279>.
- [6] Z. Hu, K. Nomoto, W. Li, N. Tanen, K. Sasaki, A. Kuramata, T. Nakamura, D. Jena, H.G. Xing, Enhancement-Mode Ga₂O₃ Vertical Transistors With Breakdown Voltage >1kV, *IEEE Electron Device Lett.* 39 (2018) 869–872. <https://doi.org/10.1109/LED.2018.2830184>.
- [7] H. Imanishi, Shoichiro Kudara, Ken Ishiwata, Hitoshi Horikawa, Kiyotaka Amano, Shotaro Iwataki, Masayuki Morishita, Aoi Hiraiwa, Atsushi Kawarada, Drain Current Density over 1.1 A/mm in 2D Hole Gas Diamond MOSFETs with Regrown p⁺⁺-Diamond Ohmic Contacts, *IEEE Electron Device Lett.* 42 (2021) 204–207. <https://doi.org/10.1109/LED.2020.3047522>.
- [8] N.C. Saha, S.W. Kim, T. Oishi, Y. Kawamata, K. Koyama, M. Kasu, 345-MW/cm² 2608-V NO p-Type Doped Diamond MOSFETs with an AlO Passivation Overlayer on Heteroepitaxial Diamond, *IEEE Electron Device Lett.* 42 (2021) 903–906. <https://doi.org/10.1109/LED.2021.3075687>.
- [9] J. Tsunoda, N. Niikura, K. Ota, A. Morishita, A. Hiraiwa, H. Kawarada, 580 v Breakdown Voltage in Vertical Diamond Trench MOSFETs with a P⁺-Drift Layer, *IEEE Electron Device Lett.* 43 (2022) 88–91. <https://doi.org/10.1109/LED.2021.3131038>.
- [10] A. Traoré, P. Muret, A. Fiori, D. Eon, E. Gheeraert, J. Pernot, Zr/oxidized diamond interface for high power Schottky diodes, *Appl. Phys. Lett.* 104 (2014) 052105-1-052105-4. <https://doi.org/10.1063/1.4864060>.
- [11] P.N. Volpe, J. Pernot, P. Muret, F. Omnès, High hole mobility in boron doped diamond for power device applications, *Appl. Phys. Lett.* 94 (2009) 092102-1-092102-3. <https://doi.org/10.1063/1.3086397>.
- [12] A. Hiraiwa, H. Kawarada, Blocking characteristics of diamond junctions with a punch-through design, *J. Appl. Phys.* 117 (2015) 1–7. <https://doi.org/10.1063/1.4916240>.
- [13] N. Donato, N. Rouger, J. Pernot, G. Longobardi, F. Udreă, Diamond power devices: State of the art, modelling, figures of merit and future perspective, *J. Phys. D: Appl. Phys.* 53 (2020). <https://doi.org/10.1088/1361-6463/ab4eab>.
- [14] T.T. Pham, N. Rouger, C. Masante, G. Chicot, F. Udreă, D. Eon, E. Gheeraert, J. Pernot, Deep depletion concept for diamond MOSFET, *Appl. Phys. Lett.* 111 (2017) 173503-1-173503-4. <https://doi.org/10.1063/1.4997975>.
- [15] C. Masante, N. Rouger, J. Pernot, Recent progress in deep-depletion diamond metal – oxide – semiconductor field-effect transistors, *J. Phys. D: Appl. Phys.* 54 (2021) 0–22. <https://doi.org/10.1088/1361-6463/abe8fe>.
- [16] J.W. Liu, T. Teraji, B. Da, Y. Koide, Electrical property improvement for boron-doped diamond metal-oxide-semiconductor field-effect transistors, *Appl. Phys. Lett.* 124 (2024) 072103-1-072103-5. <https://doi.org/10.1063/5.0194424>.
- [17] B. Soto, M. Couret, C. J, A. Castelan, N. Rouger, D. Araujo, M.P. Villar, J. Pernot, Non-volatile tuning of normally-on and off states of deep depletion ZrO₂ / O-terminated high voltage diamond MOSFET, *Diam. Relat. Mater. J.* 134 (2023) 0–7. <https://doi.org/10.1016/j.diamond.2023.109802>.
- [18] T. Iwasaki, J. Yaita, H. Kato, T. Makino, M. Ogura, D. Takeuchi, H. Okushi, S. Yamasaki, M. Hatano, 600 v Diamond junction field-effect transistors operated at 200° C, *IEEE Electron Device Lett.* 35 (2014) 241–243. <https://doi.org/10.1109/LED.2013.2294969>.
- [19] C. Masante, M. Kah, C. Hébert, N. Rouger, J. Pernot, C. Masante, M. Kah, C. Hébert, N. Rouger, J.P.N. Photo-, Non-Volatile Photo-Switch Using a Diamond pn Junction To cite this version : HAL Id : hal-03367390, (2021).
- [20] C. Masante, M. Kah, C. Hébert, N. Rouger, J. Pernot, Non-Volatile Photo-Switch Using a Diamond pn Junction, *Adv. Electron. Mater.* 8 (2022) 1–7. <https://doi.org/10.1002/aelm.202100542>.
- [21] D. Michez, J. Letellier, I. Hammas, J. Pernot, N. Rouger, Over 50 mA Current in Interdigitated Diamond Field Effect Transistor, *IEEE Electron Device Lett.* 45 (2024) 2058–2061. <https://doi.org/10.1109/LED.2024.3453504>.
- [22] R.S. Balmer, I. Friel, S. Hepplestone, J. Isberg, M.J. Uren, M.L. Markham, N.L. Palmer, J. Pilkington, P. Huggett, S. Majdi, R. Lang, Transport behavior of holes in boron delta-doped diamond structures, *J. Appl. Phys.* 113 (2013) 033702-1-033702-10. <https://doi.org/10.1063/1.4775814>.