

Comment la standardisation accélère le déploiement des nouveaux matériaux semiconducteurs SiC et GaN en Génie Electrique

Laurent GUILLOT

STMicroelectronics France SAS et vice-chairman du comité JEDEC JC-70

RESUME – L'introduction de nouvelles technologies semiconducteurs grand gap amène de nouvelles opportunités en génie électrique. En même temps, les usages des électroniques sont plus intenses pour satisfaire les nouvelles applications. Il est donc primordial de comprendre les mécanismes de défaillance vis-à-vis des profils de mission. Les organismes de standardisation sont instrumentaux pour la mutualisation des connaissances et des bonnes pratiques.

Mots-clés — SiC, GaN, profil de mission, fiabilité, robustesse, standardisation.

1. INTRODUCTION

Les nouveaux matériaux semiconducteurs à base de Carbure de Silicium (SiC) ou Nitrure de Galium (GaN) permettent d'atteindre des performances inégalées en termes d'efficacité énergétique grâce à des temps de commutation dix fois plus faibles que les composants utilisant le Silicium (Si). Il est aussi possible d'augmenter significativement la densité de puissance en lien avec l'accroissement de la fréquence d'usage des convertisseurs, au-delà de 100 kHz.

Le déploiement de ces nouvelles technologies « grand gap » nécessite de revisiter les modèles de dégradation usuellement utilisés pour le Si. Dans ce cadre, les organismes de standardisation, à l'instar du comité « Joint Electron Device Engineering Council » JEDEC [1], jouent un rôle central pour définir des méthodes de tests spécifiques ainsi qu'élaborer un plan de qualification commun entre tous les fournisseurs, facilitant l'approche double-source nécessaire au marché automobile.

2. FIABILISATION DES COMPOSANTS POUR LE GENIE ELECTRIQUE

2.1. Profils de mission des convertisseurs

Aujourd'hui l'électrification de l'industrie et des moyens de transports entraînent des nouveaux usages et donc des nouvelles contraintes aux électroniques embarquées. La durée de vie des équipements reste sensiblement la même mais l'intensité d'utilisation est drastiquement augmentée, par exemple pour les voitures connectées de manière active au réseau électrique grâce à la fonction de bidirectionnalité des chargeurs (OBC : On-board charger).

La figure 1 présente le nombre d'heures cumulées d'utilisation en fonction des applications. On remarque des besoins en disponibilité semblables entre les domaines qui

n'étaient jusqu'alors pas liées, par exemple les chargeurs OBC des voitures et les assistances électriques des avions (déplacement au sol, phases de vol hybride, ...). Le facteur d'accélération est aussi extrait dans l'hypothèse de limiter les tests de vieillissement accélérés à 1000 heures. Un facteur 13 est actuellement d'usage pour les voitures thermiques ; il sera nécessaire d'accélérer plus fortement pour atteindre 80.

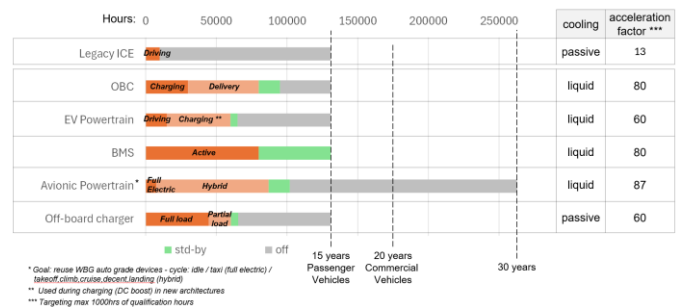


Fig. 1. Exemples de profils de mission et facteurs d'accélération attendus.

2.2. Robustesse des composants

Les mécanismes de défaillance sont bien connus pour le Si et les stress thermoélectriques sont modélisés comme la tension, le courant, la température, l'humidité, la pression, les vibrations, etc. Pour des raisons pratiques et en lien avec les lois de fatigue, la durée maximale de test de qualification est généralement de 1000 heures. Il est donc attendu que l'ensemble des composants représentant la production soit en spécification jusqu'à ce temps.

Dans le cadre de nouvelles technologies telles que le SiC et le GaN, les modèles doivent être confirmés ou ajustés [2]. Pour cela, des tests à défaillance et à différentes conditions sont nécessaires. La probabilité à défaillance dans le temps est ensuite reportée dans des courbes Weibull comme illustré en figure 2.

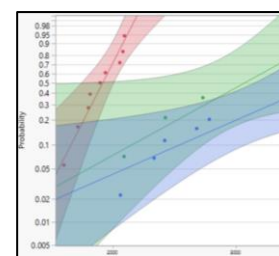


Fig. 2. Courbe de Weibull présentant la probabilité de défaillances dans le temps.

Lors des tests de vieillissement accéléré, la performance des composants doit être analysée, jusqu'à la défaillance, par des systèmes de mesures en continu des paramètres critiques comme présenté en figure 3.

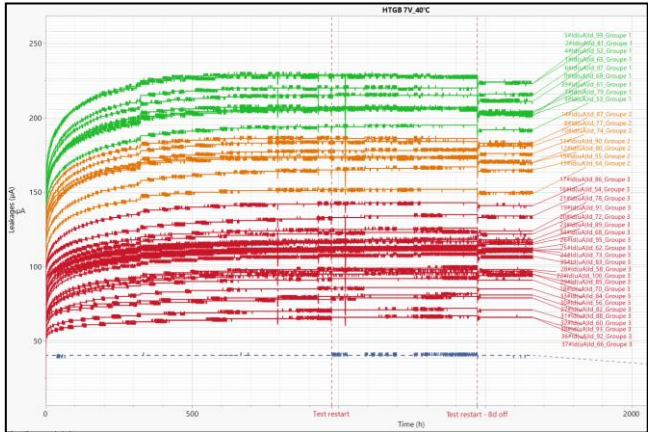


Fig. 3. Evolution d'un paramètre critique lors d'un test de vieillissement accéléré.

3. INTERET DE LA STANDARDISATION

Les organismes de standardisation établissent des méthodes de test capitalisant sur l'expérience de l'ensemble des acteurs industriels et de la communauté académique. Ce va-et-vient entre recherche fondamentale et développement industriel permet de comprendre les phénomènes physiques en lien avec la production à fort volume. Par la suite, ces méthodes et ces recommandations seront regroupées pour établir des plans de qualification des composants avant leur mise sur le marché afin d'amener les évidences de leur fiabilité.

En septembre 2017, le JEDEC JC-70 a été le premier comité à travailler sur ces nouveaux composants grand gap et regroupe aujourd'hui plus de 80 membres provenant essentiellement du monde du semiconducteur [3].

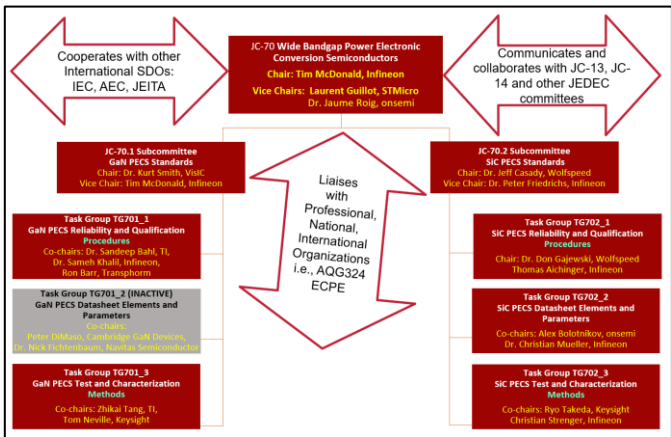


Fig. 4. Articulatation du comité JEDEC JC-70 en charge du SiC et du GaN.

Le comité JC-70 est composé de trois groupes de travail et ceci pour chaque technologie, comme illustré en figure 5. Le premier a pour objectif de définir les procédures de fiabilisation pour assurer la cohérent lors de la qualification des composants et ceci quel que soit le fabricant. Le deuxième axe d'étude consiste à établir des critères et des paramètres communs à reporter dans les datasheets pour faciliter les utilisateurs dans leur sélection de transistors. En fin, un troisième groupe a pour mission d'établir des méthodes de tests pour caractériser les comportements spécifiques de ces composants.

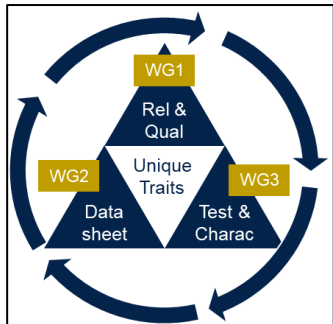


Fig. 5. Les trois groupes de travail par technologie du JEDEC JC-70.

A l'instar du JC-70, d'autres initiatives telles que l' « Automotive Electronics Council » AEC [4] ont ensuite vu le jour avec une approche descendante, c'est-à-dire des utilisateurs aux fabricants de composants, permettant la prise en compte des contraintes applicatives avec des temps d'utilisation cumulés de 8000 à 12000 heures.

Des liens entre ces organismes (JEDEC, AEC, IEC, JEITA) sont établis pour éviter des redondances mais aucun d'entre eux n'ont à ce jour traité des profils de mission étendus jusqu'à 120000 heures. Une cartographie précise des activités de standardisation en vue d'étendre les usages a été réalisée récemment dans le cadre du projet collaboratif européen Archimedes [5].

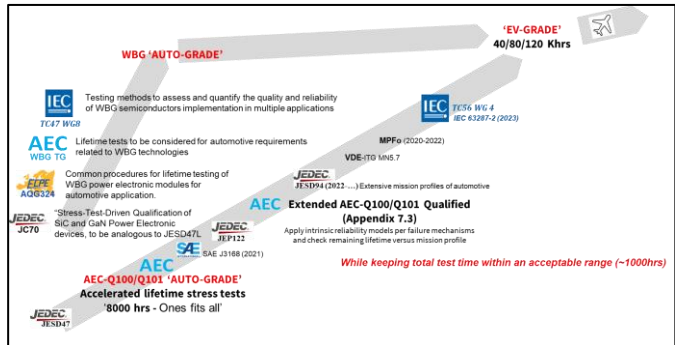


Fig. 6. Cartographie des standards étudiant les profils de mission automobile traditionnelle et électrique.

3.1. Caractérisation de la tension de seuil de transistors SiC

La technologie SiC se distingue par une évolution de sa tension de seuil (V_{TH}), lors de son utilisation, réversible à court terme amenant une hystérésis (ΔV_{TH}^{HYST}) ou permanente à long terme (ΔV_{TH}^{BTI}), comme présentée en figure 6.

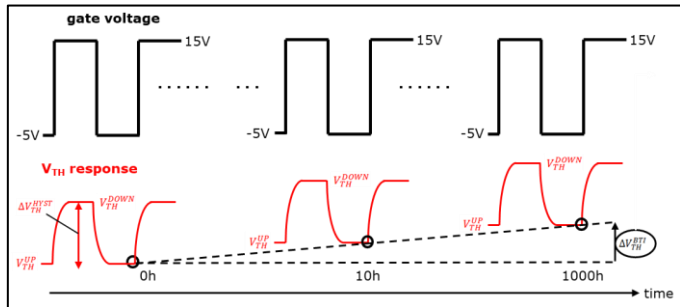


Fig. 7. Evolution réversible ou permanente de la tension de seuil d'un transistor SiC.

La première étape a été de déterminer une méthode garantissant une mesure reproductible du V_{TH} . Ceci a donc amené à l'élaboration du guide [6]. Ensuite, les instabilités intrinsèques ont été étudiées en température [7] pour établir un guide sur la mise en œuvre en commutation de ces transistors [8] au plus proche des applications visées. L'illustration de la figure 8 résume la démarche suivie dans le comité JEDEC JC-70.

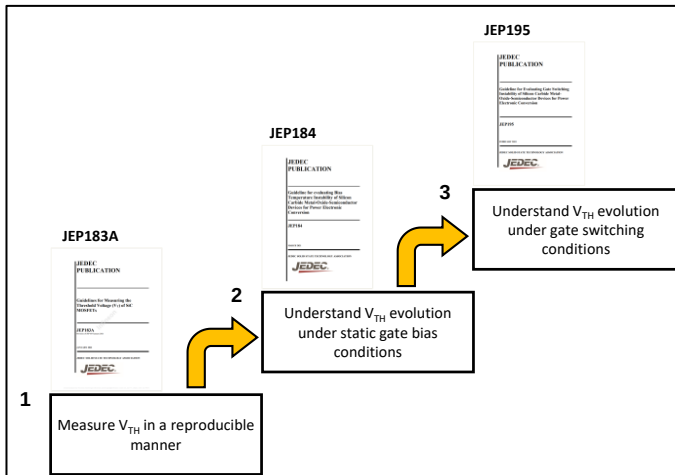


Fig. 8. Approche suivie par le JC-70 pour la compréhension de l'évolution du seuil des transistors SiC.

3.2. Caractérisation de la résistance dynamique de transistors GaN

A l'instar du SiC sur son paramètre critique V_{TH} , l'accroissement de la résistance à l'état passant ($R_{DS(on)}$) a été étudiée pour les transistors GaN. Ce phénomène, aussi appelé « Current collapse », est lié aux piégeages de charges dans le canal lors du blocage du transistor (tension appliquée et aussi durée à l'état « off ») et lors des commutations par l'apparition d'électrons chauds (croissement de la tension et du courant aux passages « off à on » et « on à off »). L'augmentation de $R_{DS(on)}$, présentée en figure 9, est réversible à l'état passant mais doit tout de même être prise en compte pour l'évaluation des pertes lors de la mise en œuvre en commutation du dispositif.

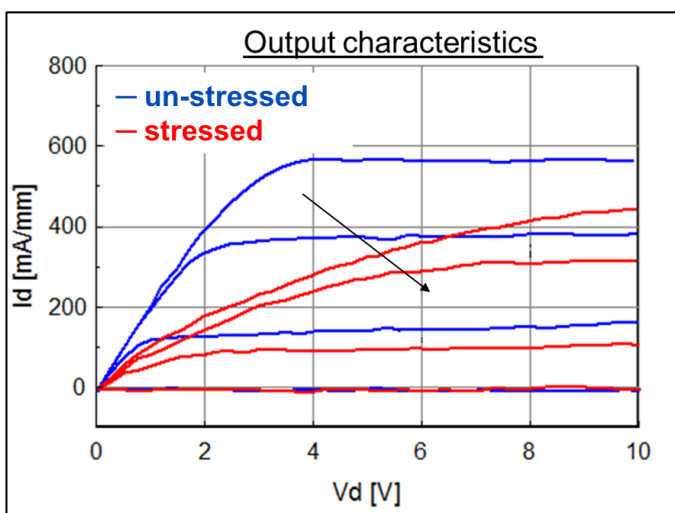


Fig. 9. Evolution réversible du réseau de caractéristique de sortie des transistors GaN.

Le comité JEDEC JC-70 a donc établi une méthode de test pour caractériser ce phénomène physique [9] et en particulier lors des commutations [10]. L'accélération des mécanismes de dégradation a été adressée par le test à défaillance « Switching

Accelerated Lifetime Testing – SALT » et définie par la procédure [11], comme illustré en figure 10.

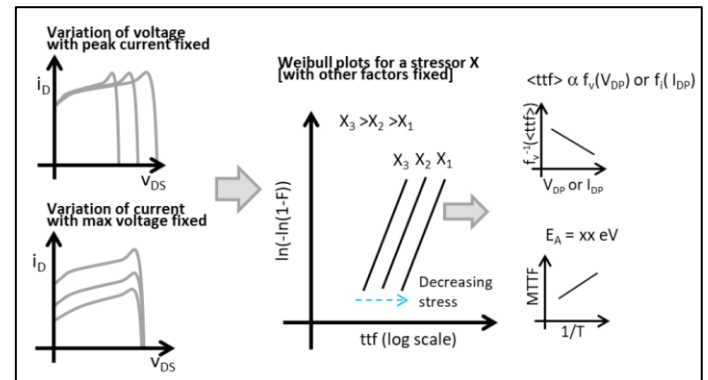


Fig. 10. Détermination des facteurs d'accélération de la défaillance des transistors GaN lors de leur commutation [11].

Les conditions génériques de test « Dynamic High-Temperature Operating Life – DTHOL » peuvent être ainsi déterminées. Dans ce cas, les composants sont stressés au maximum de leur capacité applicative et non pour un usage spécifique, respectivement la courbe en bleue et en rouge de la figure 11.

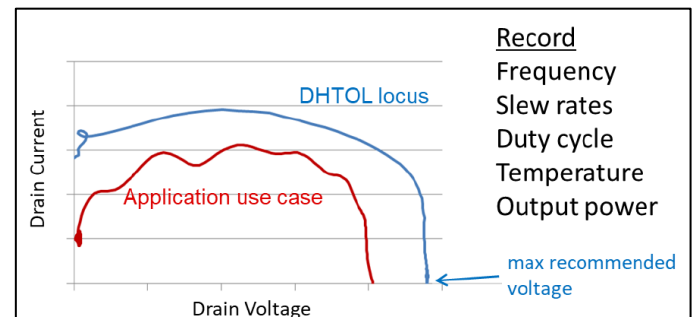


Fig. 11. Locus de commutation appliqué lors des tests DHTOL des transistors GaN [11].

La figure 12 synthétise la démarche déployée par le JEDEC JC-70.

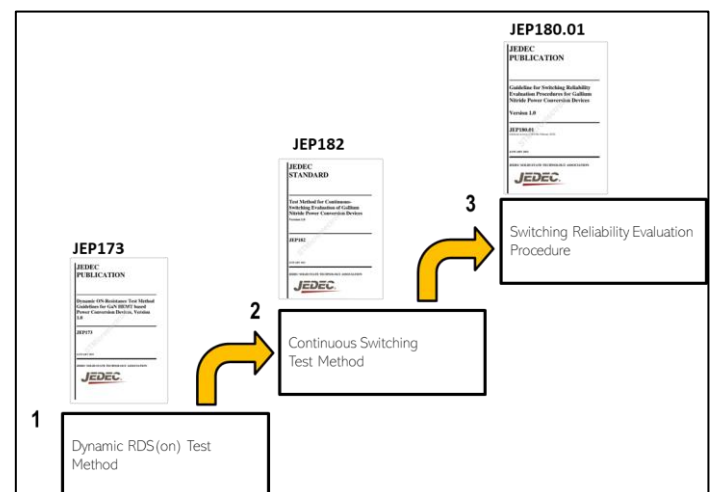


Fig. 12. Approche suivie par le JC-70 pour la compréhension de l'évolution de la résistance à l'état passant des transistors GaN.

4. CONCLUSIONS

Cet article a pour but de présenter les opportunités et les bénéfices de la standardisation pour accompagner l'introduction de technologies semiconducteurs de rupture en génie électrique.

En plus de démystifier l'usage de ces nouveaux matériaux par rapport aux solutions établies Si, les approches quantifiant la performance et la défaillance seront présentées dans le cadre d'une utilisation de manière intensive, soit plus de 10 fois ce qui est requis par les applications automobiles traditionnelles.

Des axes de mutualisation entre l'avionique et l'automobile seront aussi identifiés dans le poster final, par exemple, à l'aide des travaux communs initié avec l'Automotive Electronics Concil [13].

5. REMERCIEMENTS

Les figures 1 et 6 proviennent des travaux du programme collaboratif Archimedes [6] soutenu par l'Union Européenne sous le numéro d'agrément 101112295.

6. REFERENCES

- [1] <http://www.jedec.org/committees/jc-70>
- [2] S.R. Bahl « Mission profile approach for the calculation of GaN FET reliability in power supply applications », 2024 IEEE International Reliability Physics Symposium.
- [3] L. Guillot « JC-70 WBG Semiconductors for Electronic Power Conversion », European AEC Workshop, 5 Octobre 2023, Toulouse, France.
- [4] M. Regardi « AEC Wide Band Gap task group », European AEC Workshop, 5 Octobre 2023, Toulouse, France.
- [5] D. Dutey, « From Auto-Grade to EV-Grade: New concepts and qualification methods for extended mission profiles », ECPE Condition & Health Monitoring in Power Electronics workshop, 27 - 28 Juin 2024, Bilbao, Espagne.
- [6] Guidelines for measuring the Threshold Voltage of SiC MOSFETs JEP183A, Janvier 2023.
- [7] Guidelines for evaluating the bias temperature instability of SiC devices, JEP184, Mars 2021.
- [8] Guidelines for evaluating gate switching instability of SiC devices, JEP195, Février 2023.
- [9] Dynamic on-resistance test method guidelines for GaN devices, JEP173, Janvier 2019.
- [10] Test method for continuous-switching evaluation for GaN devices, JEP182, Janvier 2021.
- [11] Guideline for switching reliability evaluation for GaN devices, JEP180.01, Janvier 2021.
- [12] <http://cordis.europa.eu/project/id/101112295>
- [13] <http://www.aecouncil.com/>