

Réalisation de thyristors SiC 5×5 mm² avec une JTE simple gravée

Sigo SCHARNHOLZ, Kamil KOTRA, Milan ZUVIC, Ralf HASSDORF
Institut franco-allemand de recherches de Saint-Louis (ISL), 68300 Saint-Louis, France

RESUME - Cette contribution présente les résultats d'une étude visant à la fabrication de deux wafers SiC contenant des thyristors de type SCR d'une taille de 5×5 mm². La comparaison entre simulations TCAD et caractéristiques I(V) permet une évaluation de l'épaisseur de la terminaison JTE simple gravée. En particulier, il apparaît important de prendre en considération l'anisotropie du substrat SiC 4H dans les simulations. De plus, les caractéristiques à l'état passant révèlent les différences entre les paramètres d'épitaxie des deux wafers à l'étude.

Mots-clés—Carbure de silicium, SiC, thyristor, puissance pulsée, simulations TCAD, JTE.

1. INTRODUCTION

Les thyristors en carbure de silicium (SiC) sont des composants de puissance haute tension prometteurs pour des applications spécifiques dans les domaines tels que celui des convertisseurs [1] ou de celui de la puissance pulsée. Les premiers composants ont été mis en vente en 2010 [2], depuis aucune nouveauté n'a fait son apparition sur le marché. Cela est symptomatique des difficultés techniques qui empêchent la technologie des thyristors SiC d'accéder à maturité. Néanmoins pour les démonstrateurs technologiques, on constate des progrès continus vers de plus hautes tensions et des performances plus élevées en termes de commutation [3].

En contribuant à ce développement progressif, nous orientons notre recherche sur un processus de fabrication simple et peu cher en production. Une particularité du processus de fabrication de nos thyristors est leur terminaison, qui est réalisée par gravure plasma au lieu d'une implantation ionique. Ceci est possible exclusivement pour des transistors bipolaires ou des thyristors en utilisant la couche de la base n en même temps pour l'électrode de commande et pour la terminaison de type JTE (*junction termination extension*). Dans le cas d'un thyristor SiC avec une JTE simple gravée, il n'y a pas d'étape technologique supplémentaire, car la gravure de la gâchette et de la JTE sont réalisées simultanément.

Pour évaluer la performance technologique de notre design, nous avons conçu et réalisé un jeu de masques, comprenant un grand nombre de composants avec des paramètres géométriques identiques. Il s'agit de thyristors simples de type SCR, d'une taille de 5×5 mm², qui possèdent une gâchette en forme de point ou de croix au centre. Récemment, deux wafers SiC avec un diamètre de 100 mm et de 75 mm ont été réalisés dans notre salle blanche à partir de ce jeu de masques. Dans cet article nous présentons en détail la structure des thyristors SiC réalisée, les simulations TCAD de la tenue en tension et les

résultats de la caractérisation électrique. Dans un premier temps, l'accent sera mis sur les caractéristiques en mode direct bloqué, mais la mise en conduction et la commutation seront également présentées.

2. STRUCTURE ET FABRICATION DU COMPOSANT

La figure 1 montre les deux wafers SiC après finalisation du processus de fabrication. Ces wafers ont été choisis pour des raisons de disponibilité. Le wafer 1 (100 mm de diamètre) fait partie d'un lot de wafers avec épitaxie acquis dans le cadre d'un projet de recherche sur des thyristors SiC 1.2 kV avec gâchette amplificatrice [4]. Le wafer 2 (75 mm de diamètre) est originaire d'un projet de thèse de l'année 2016 [5]. Il a été choisi parce qu'il dispose d'une structure d'épitaxie qui supporte potentiellement une tenue en tension au-delà de 10 kV. Les différences entre ces deux substrats sont résumées dans le tableau 1.

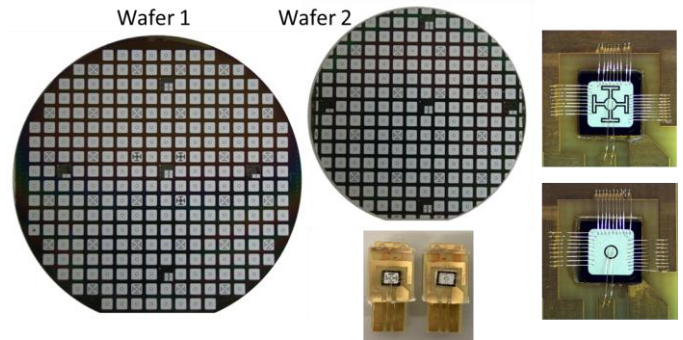


Fig. 1. Photographies des deux wafers SiC à l'étude après finalisation du processus de fabrication et détails des puces 5×5 mm² après packaging.

Tableau 1. Paramètres variants des deux wafers SiC à l'étude (diamètre « d », épaisseur « t » et concentration de dopage « c »).

Substrat à l'étude	d [mm]	Couche de dérive p'		Couche tampon p	
		t [μm]	c [cm ⁻³]	t [μm]	c [cm ⁻³]
Wafer 1	100	10	5×10 ¹⁵	4	5×10 ¹⁷
Wafer 2	75	100	4×10 ¹⁴	1	1×10 ¹⁷

Les composants fabriqués sont des thyristors SiC verticaux et asymétriques. La vue en coupe d'une demi-cellule est présentée figure 2. Leur couche de base-p (dérive) est séparée du substrat de type n (> 1×10¹⁹ cm⁻³) par une autre couche p (tampon). L'épaisseur et la concentration de dopage de ces deux couches varient selon le wafer utilisé (voir tableau 1). Les couches de la base-n (gâchette) et de l'anode ont des épaisseurs

nominales de $2\text{ }\mu\text{m}$ ($1\times 10^{17}\text{ cm}^{-3}$) et $1\text{ }\mu\text{m}$ ($1\times 10^{19}\text{ cm}^{-3}$) respectivement. La gâchette et la terminaison JTE ont été fabriquées simultanément par gravure RIE (*reactive ion etching*). La première étape RIE définit l'épaisseur de la JTE (D_{JTE}), qui est le paramètre prédominant pour atteindre une tenue en tension proche à la valeur maximale $V_{\text{br, max}}$. À l'appui de simulations anciennes, qui ne prenaient pas encore en compte l'anisotropie [6], une épaisseur de $D_{\text{JTE}} = 0,9\text{ }\mu\text{m}$ a été ciblée pour les deux wafers à l'étude. Une deuxième étape de gravure RIE est utilisée pour définir la longueur de la JTE (l_{JTE}) et donc la mesa du composant. Ensuite, la métallisation primaire de la gâchette/cathode (Ti/Ni) et celle de l'anode (Ni/Ti/Al) ont été réalisées séparément en utilisant des procédés d'évaporation par faisceau électronique, de lift-off, et de recuit à haute température. La surface est passivée avec une couche de SiO_2 . La métallisation finale est une couche de Al de $4\text{ }\mu\text{m}$ pour la gâchette et l'anode, et une couche Ti/Ni/Au de $0,7\text{ }\mu\text{m}$ sur la cathode (face arrière).

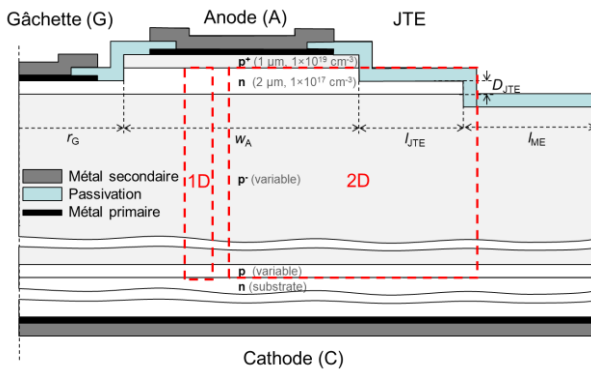


Fig. 2. Vue en coupe d'une demi-cellule du thyristor à l'étude ($r_G = 500\text{ }\mu\text{m}$, $w_A = 1400\text{ }\mu\text{m}$, $l_{\text{JTE}} = 300\text{ }\mu\text{m}$, $D_{\text{JTE}} = 0,9\text{ }\mu\text{m}$, $l_{\text{ME}} = 300\text{ }\mu\text{m}$). Sont indiquées en rouge les structures simulées.

3. SIMULATION TCAD

L'outil TCAD utilisé pour les simulations décrites dans ce papier est Synopsys Sentaurus Device. La tension de claquage a été déterminée par des simulations utilisant un solveur en régime transitoire et un critère d'arrêt vérifiant si le courant de cathode dépasse une valeur de 5 nA . Les modèles physiques pris en compte sont notamment celui de « recombinaison » (SRH, Auger et avalanche) et celui de « mobilité », et en particulier pour l'avalanche le modèle « Okuto-Crowell » pour l'ionisation par impact. Sauf pour ce dernier, les paramètres des modèles sont pris du fichier matériel standard SiC, mis à disposition par Synopsys. Pour prendre en compte l'anisotropie pour certains modèles, ce fichier contient des sets de paramètres additionnels. Pour plus d'informations sur l'implémentation de l'anisotropie, voir la documentation de Synopsys [7]. En ce qui concerne le modèle Okuto-Crowell, les coefficients d'ionisation utilisés dans des simulations présentées ici viennent d'une publication de Hatakeyama et al. [8].

La figure 3 montre des résultats de simulation de la tension de claquage V_{br} des deux thyristors SiC à l'étude (Wafers 1 et 2). Sa tenue en tension en mode direct bloqué est donnée par la jonction centrale entre la base-n (gâchette) et la base-p (couche de dérive). Sa valeur maximale ($V_{\text{br, max}}$) est déterminée par une structure de simulation quasi-unidimensionnelle (1D). Des simulations à base d'une structure 2D (voir Fig. 2) permettent de déterminer V_{br} en fonction de l'épaisseur de la JTE (D_{JTE}).

La comparaison entre ces simulations et les mesures de tenue en tension des composants, décrite dans le chapitre ci-après, montre un bon accord. Avec une épaisseur D_{JTE} de $0,9\text{ }\mu\text{m}$, la tension de claquage attendue des simulations qui prennent en compte l'anisotropie est de $5,4\text{ kV}$ et de $1,2\text{ kV}$ pour les deux wafers à l'étude respectivement. Si l'anisotropie n'est pas prise en compte et que donc seuls les coefficients d'ionisation pour la direction $\langle 0001 \rangle$ sont utilisés, les simulations du wafer 2 montrent une valeur maximale pour cette épaisseur. C'est justement pour cette raison qu'une valeur de $0,9\text{ }\mu\text{m}$ a été ciblée pour D_{JTE} .

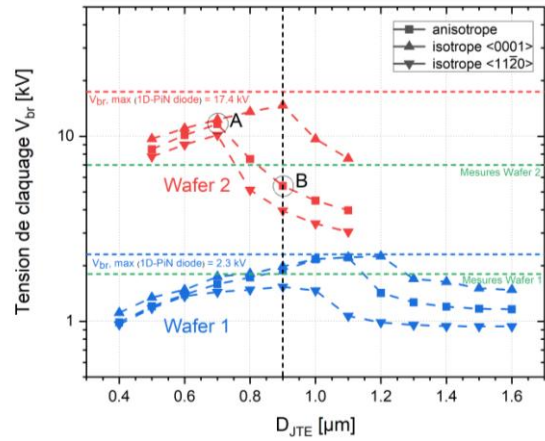


Fig. 3. Simulations TCAD de la tension de claquage V_{br} des thyristors des deux wafers à l'étude en fonction de l'épaisseur D_{JTE} de la JTE simple gravée.

Comme le montre aussi le graphe de la figure 3, l'épaisseur d'une JTE simple gravée devrait avoir été ciblée à une valeur d'environ $0,7\text{ }\mu\text{m}$, ce qui correspond à la valeur maximale des simulations prenant en compte l'anisotropie du semi-conducteur SiC 4H. Mais comme cela l'a déjà été mentionné dans l'introduction, la technologie de fabrication est basée sur d'anciens résultats [6], et les nouvelles simulations, présentées ici, n'ont été faites qu'après la finalisation des deux wafers.

D'un point de vue général, la figure 3 montre pour chacun des deux wafers que les résultats d'une simulation anisotrope se trouvent entre les deux cas d'isotropie. Plus précisément, pour une épaisseur D_{JTE} loin la valeur optimale (V_{br} maximale), ils se trouvent plus près des valeurs calculées avec des coefficients de la direction $\langle 11\bar{2}0 \rangle$, et autour de l'épaisseur optimale ils sont plus près de la courbe des coefficients de $\langle 0001 \rangle$. Cela suggère que pour des épaisseurs D_{JTE} très faibles et très grandes, la tension de claquage est dominée par les plus petites coefficients de la direction $\langle 11\bar{2}0 \rangle$ et donc à l'endroit du claquage par un champ électrique majoritairement dans cette direction. D'un autre côté, pour des épaisseurs près de la valeur maximale, le claquage paraît se trouver dans une zone avec un champs électrique dirigé majoritairement dans la direction $\langle 0001 \rangle$.

Pour mieux comprendre cette influence de l'anisotropie sur la tenue en tension des thyristors, voir la structure de la JTE simple gravée, les figures 4 et 5 montrent des résultats de simulation de la répartition du champ électrique et des lignes équipotentielles autour de la JTE au moment du claquage. Deux cas exemplaires sont montrés, correspondant aux simulations A et B dans la figure 3, anisotropes avec des épaisseurs $D_{\text{JTE}} = 0,7\text{ }\mu\text{m}$ et $0,9\text{ }\mu\text{m}$ respectivement. Pour le cas A on constate deux zones, aux deux extrémités de la JTE simple, avec un champ électrique plus élevé. Cela correspond à la transition de la région de claquage de gauche (près de la

gâchette) à droite (bord de la mesa). Dans ce cas, la chute de potentiel se produit surtout le long de la JTE.

Pour le cas B, le claquage a lieu dans une zone à droite, près du bord de la mesa (Fig. 4 en bas). Au vu des résultats de la figure 3, dans cette zone le champ électrique devrait être plus dirigé vers la direction $\langle 11\bar{2}0 \rangle$, ce qui est confirmé par les lignes équipotentielles de la figure 5 (en bas).

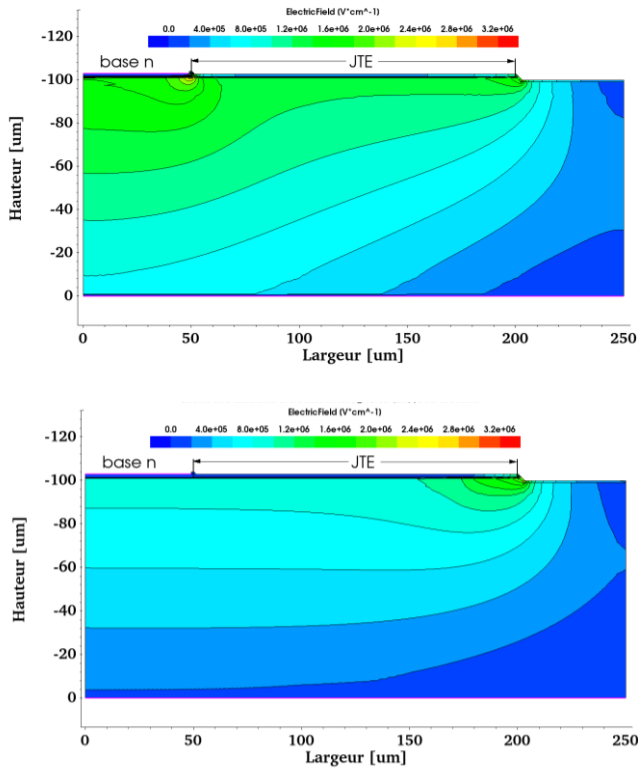


Fig. 4. Répartition du champ électrique à l'état bloqué autour de la JTE (simulations anisotrope) pour deux épaisseurs $D_{JTE} = 0,7 \mu\text{m}$ et $0,9 \mu\text{m}$, correspondant aux deux cas indiqués dans la figure 3 (A en haut, B en bas).

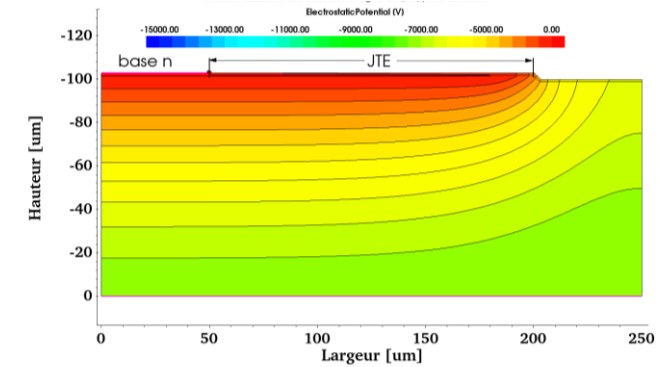
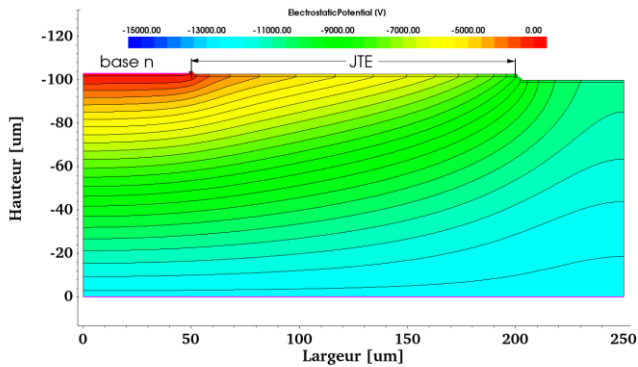


Fig. 5. Répartition des lignes équipotentielles à l'état bloqué autour de la JTE pour une épaisseur $D_{JTE} = 0,9 \mu\text{m}$, correspondant aux deux cas indiqués dans les figures 3 et 4 (A en haut, B en bas).

4. CARACTÉRISATION ÉLECTRIQUE

La figure 6 montre pour chacun des deux wafers les trois meilleures caractéristiques électriques en mode direct bloqué, mesurées sous pointe dans une enceinte à vide. Les tensions de claquage maximales atteintes correspondent assez bien aux résultats de simulation anisotrope si on prend en compte qu'une épaisseur D_{JTE} de $0,9 \mu\text{m}$ a été ciblée. Pour le wafer 2, la simulation de la tension de claquage V_{br} donne une valeur de 5.4 kV (Fig. 3, point B). Le fait que cette valeur est encore plus basse que les résultats de mesure pourraient s'expliquer par des incertitudes de paramètres technologiques, notamment l'épaisseur et le dopage de la JTE simple gravé. Vu les valeurs mesurées, l'épaisseur D_{JTE} réalisée par gravure devrait plutôt être autour de $0.8 \mu\text{m}$ et/ou le dopage de la couche de base n est inférieur à la spécification de $1 \times 10^{17} \text{ cm}^{-3}$.

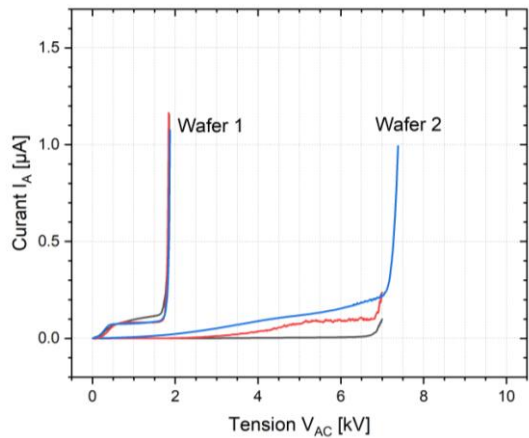


Fig. 6. Caractéristiques $I(V)$ en mode direct bloqué des trois meilleurs thyristors pour chacun des deux wafers à l'étude.

La figure 7 montre des caractéristiques $I(V)$ à l'état passant de deux thyristors exemplaires découpés, connectés avec des fils de bonding et encapsulés, originaires des deux wafers à l'étude (voir Fig. 1). Les deux courbes montrent bien la capacité des thyristors à l'étude de faire passer un courant de 25 A , ce qui correspond à environ 100 A/cm^2 .

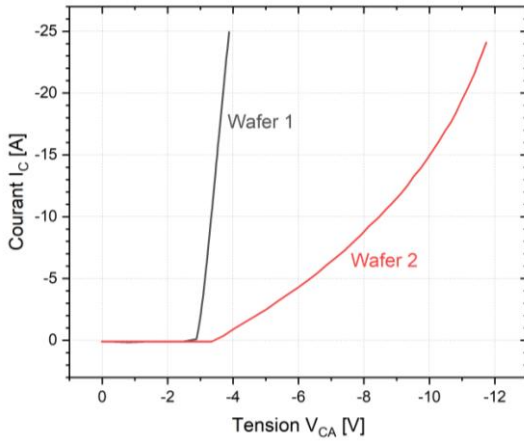


Fig. 7. Caractéristiques I(V) à l'état passant exemplaires de deux thyristors (avec une gâchette en forme de point) originaires des deux wafers à l'étude.

En comparant les deux courbes, on constate une chute de tension beaucoup plus élevée du composant venant du wafer 2, ce qui s'explique partiellement par sa couche de dérivation plus épaisse et moins fortement dopée. Une autre contribution résistive vient très probablement de la résistance de contact de l'anode qui est plus élevée pour le wafer 2 à cause d'une difficulté rencontrée pendant le recuit post-métallisation. Une autre contribution peut être attribuée à une courte durée de vie des porteurs, qui se manifeste beaucoup moins pour une couche de drift moins épaisse, comme celle du wafer 1. Une première évaluation plus détaillée de ces contributions de résistance peut être trouvée dans un article récent [9].

La figure 8 montre des caractéristiques de commutation exemplaires d'un thyristor originaire du wafer 2. Le circuit de test réalise la décharge d'un condensateur de 47 μ F dans une inductance de 50 μ H, en série avec une résistance de 50 Ω . La décharge est initiée par le thyristor SiC, commandé par une impulsion de courant de gâchette I_G d'environ 200 mA, pour une durée de 10 μ s. Pendant ce temps, la tension gâchette-anode V_{GA} monte à environ 12 V, ce qui est dû à une résistance de la couche n entre gâchette et anode et est due à un surdimensionnement des distances de sécurité lors du design des masques lithographiques.

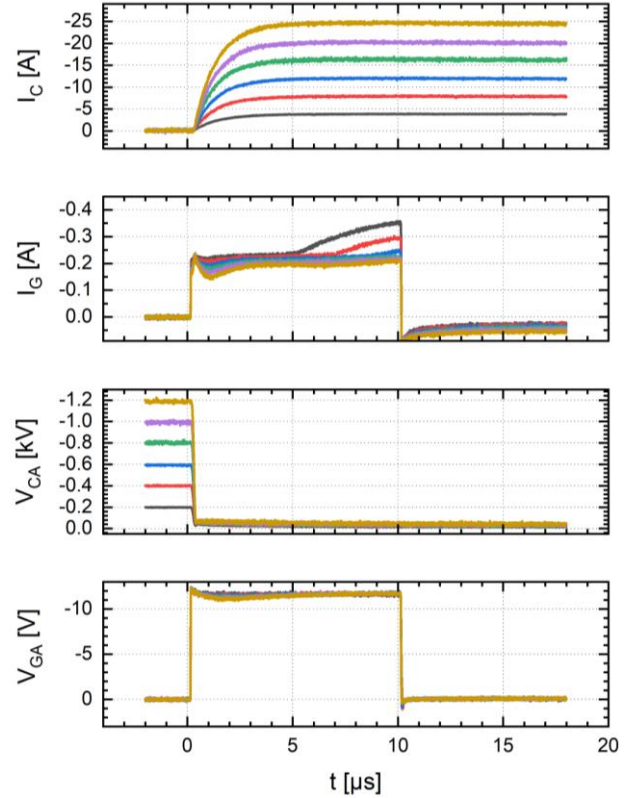


Fig. 8. Mise en conduction (1.2 kV, 25 A) d'un thyristor SiC (avec une gâchette en forme de point) originaires du wafer 2 (charge inductive, $L_L = 50 \mu$ H, $R_L = 50 \Omega$).

Néanmoins, ces caractéristiques de commutation montrent la capacité des thyristors de commuter 25 A à une tension de 1.2 kV, la limite actuelle du banc de test utilisé. Pour ces essais préliminaires à haute tension, le temps de montée en courant a été limité avec une inductance pour des raisons de prudence. D'autres essais de commutation purement résistive ont été faits jusqu'à une tension de 500 V et avec des courants de gâchette variables. Ceci est une première étape pour une analyse plus approfondie des temps de commutation de ces thyristors SiC qui fera l'objet d'une communication ultérieure.

5. CONCLUSIONS

Cet article décrit les résultats d'une étude visant à un processus de fabrication de thyristors SiC simple et économique. La comparaison entre les simulations TCAD et les mesures de tenue en tension des composants montre un bon accord. Cependant, l'épaisseur d'une JTE simple gravée peut être mal adaptée si l'anisotropie du semi-conducteur SiC 4H n'est pas prise en compte. Si l'on se base sur un comportement isotrope avec uniquement des coefficients d'ionisation pour la direction $\langle 0001 \rangle$ - comme cela a été fait par le passé - les simulations TCAD suggèrent une épaisseur optimale de la JTE simple gravée trop grande par rapport à la réalité. Cette circonstance est due au fait que le champ électrique autour de la zone de claquage est dirigé vers la direction $\langle 11\bar{2}0 \rangle$ avec des coefficients d'ionisation moins élevés. Dans le cas des thyristors SiC présentés ici (wafer 1), cela se traduit par une tension de claquage maximale d'environ 7 kV, par rapport à une tension supérieure à 11 kV potentiellement atteignable pour la structure de terminaison simple JTE.

Pour agir contre ce constat de l'impact de l'anisotropie dès la phase de conception des composants, on doit envisager une structure de terminaison favorisant le claquage dans une zone

avec un vecteur de champ électrique dirigé vers la surface du composant ($\langle 0001 \rangle$). Une solution serait d'utiliser une terminaison de type mesa, comme Hatakeyama et al. le constate [8]. Si on opte pour une terminaison de type JTE gravée, il faut envisager une structure avec de multiples étages [5]. Ce dernier n'a seulement pour avantage de favoriser l'ionisation par impact dans la direction $\langle 0001 \rangle$, mais aussi d'être moins sensible aux variations technologiques.

Mise à part la limitation de tenue en tension rencontrée, les thyristors SiC, $5 \times 5 \text{ mm}^2$ présentés ont montré leur capacité de conduire un courant de 25 A (100 A/cm^2) avec une chute de tension raisonnable. En plus, leur capacité de commuter un tel courant jusqu'à une tension de 1.2 kV a été démontrée. Pour la prochaine étape, une étude plus approfondie sur leur comportement dynamique est en cours de réalisation. De plus, deux autres lots de wafers de thyristors SiC avec multiple JTE gravé vont bientôt être finalisés et testés.

6. REFERENCES

- [1] I. Martinez de Alegria, M. Mansour, A. L. Perez, K. Djallel, J. Andreu, « Medium to low voltage DC/DC resonant converter with SiC SCRs and nanocrystalline magnetic core transformer », PCIM Europe 2016, p. 1785.
- [2] Sandia National Laboratories, « Ultra-high-voltage silicon carbide thyristors », R & D 100, 2011.
- [3] H. O'Brien, A. Ogguni, S. H. Ryu, T. Tsoi, S. B. Bayne, « High-voltage silicon carbide thyristors on n-doped epi for pulsed power », Proceedings IEEE Int. Pulsed Power Conference, Denver, CO, USA, 2021.
- [4] S. Schamholz, R. Hassdorf, D. Bauersfeld, B. Vergne, L. V. Phung, D. Planson, « Investigation of SiC thyristors with varying amplifying gate design », Mat. Science Forum Vol. 1062, 2022, p. 493.
- [5] G. Pâques, « Development of SiC GTO thyristors with etched junction termination », PhD thesis, RWTH Aachen, ISBN 978-3-942789-35-6, 2016.
- [6] G. Pâques, S. Schamholz, N. Dheilly, D. Planson, and R. W. De Doncker, « High-voltage 4H-SiC thyristors with a graded etched junction termination extension », IEEE Electron Device Letters, vol. 32, no. 10, 2011.
- [7] Synopsys Sentaurus™ Device User Guide, Version S-2021.06, June 2021.
- [8] T. Hatakeyama, J. Nishio, C. Ota, T. Shinohe, « Physical modeling and scaling properties of 4H-SiC power devices », Proc. IEEE Int. Conf. on Simulation of Semiconductor Processes and Devices, Tokyo, Japan, 2005.
- [9] K. Kotra, S. Schamholz, R. Hassdorf, M. Zuvic, K. Hoffmann, « Design parameters impact on electrical characteristics of 4H-SiC thyristors with etched junction termination extension » accepté pour publication à Materials Science Forum 2025.