

Structure de gate driver innovante à temps de propagation constant intégrant une barrière d'isolation pour la mise en parallèle de modules SiC

Louison Gouy

IETR, Nantes Université

Anne-Sophie Descamps

IETR, Nantes Université

Nicolas Ginot

IETR, Nantes Université

Christophe Batard

IETR, Nantes Université

La connexion en parallèle des transistors de puissance est une approche répandue pour accroître la capacité en courant des systèmes de conversion. Les récentes avancées concernant les composants large bande offrent de nouvelles possibilités mais imposent de relever de nouveaux challenges. Lorsque ces composants sont connectés en parallèle, il est nécessaire de synchroniser leur commande. Le décalage entre les tensions de grille dû aux différences entre les gate drivers est l'une des causes du déséquilibre des courants de puissance. Cet article présente une nouvelle structure de gate driver conçue pour assurer la synchronisation de huit modules SiC 1,2 kV et 204 A (réf. BSM180D12P2E002) en parallèle. Il répond également à la problématique d'oscillations de la boucle de grille formée par la connexion des transistors. Un canal de synchronisation dédié assure une précision temporelle inférieure à 100 ps. L'architecture modulaire, en chaîne, permet une mise à l'échelle simple vers d'autres configurations. Les tests valident le bon fonctionnement entre -20 °C et 80 °C, avec un écart maximal de propagation limité à 5,15 ns. Cette conception facilite une commutation rapide et fiable dans les systèmes à transistors en parallèles.

Gate driver, gigue, Silicon carbide (SiC), MOSFET, parallélisation de MOSFET de puissance, topologie de gate driver, équilibrage des courants

1. CHALLENGES DE LA PARALLÉLISATION

Les avantages de la technologie carbure de silicium (SiC) sont désormais bien établis [1]. Le courant nominal des modules de puissance SiC est généralement limité à 500 A, le fonctionnement en parallèle est donc une stratégie habituelle pour améliorer la capacité en courant [2]. Dans cette configuration, il est crucial que les courants des MOSFET en parallèle suivent la même trajectoire pendant les phases de commutation pour éviter un échauffement inégal [3] et un vieillissement prématuré [4]. Les déséquilibres de courant peuvent provenir de variations dans les caractéristiques des modules, telles que la tension de seuil (V_{th}) [5] [6], ou de différences entre les circuits, notamment d'asymétries dans les boucles de puissance [7] [8] [9], une dissipation thermique inégale [10] [11], et des retards dans les signaux de grille [12] [13]. Les déséquilibres de courant peuvent provenir de variations des caractéristiques des modules telles que la tension de seuil (V_{th}), ou la différence entre les circuits, comme l'asymétrie dans les boucles de puissance, une dissipation thermique inégale et des retards dans les signaux de grille [13]. Un autre défi important dans le fonctionnement en parallèle est l'existence d'oscillations parasites de la boucle de grille [14] [15] [16]. Ce phénomène est causé par des inductances parasites inégales dans le circuit de puissance et des déséquilibres de courant. Pendant la commutation, les fronts montants et descendants du courant de puissance génèrent une chute de tension dans les inductances parasites L_{sx} et L_{dx} . S'il existe une asymétrie dans la pente du courant ou dans les valeurs des inductances, la différence de tension qui en résulte permet à un courant de circuler dans les boucles parasites comme illus-

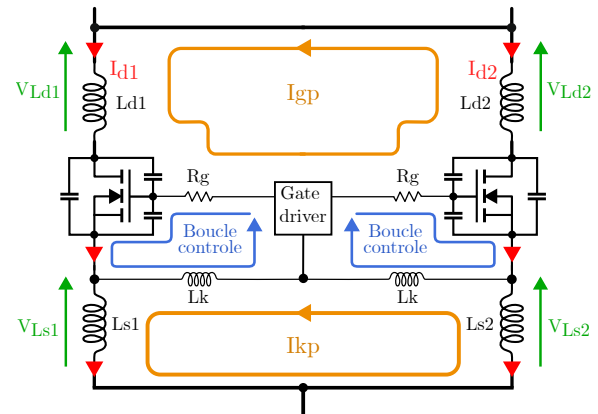


FIG. 1. Schéma des boucles parasites de grille

tré sur la figure 1. Ce phénomène est principalement visible dans la boucle de source en raison du chemin à faible impédance. Lorsque le courant traverse les sources Kelvin, il génère une chute de tension dans les inductances parasites L_k . Dans la boucle de contrôle, cette tension vient s'ajouter ou se soustraire à la tension du gate driver, modifiant ainsi la valeur de V_{gs} . La commutation d'un des transistors est accélérée alors que celle du second est ralentie. Le déséquilibre du courant de puissance est amplifié et des oscillations sont introduites. Elles peuvent endommager le module en raison d'une surtension sur la grille ou d'une surintensité dans la source de Kelvin [17]. Cet article propose une nouvelle structure de commande de grille à faible gigue (en anglais : jitter) pour la mise en parallèle de huit modules SiC 204 A de 1.2 kV (réf. BSM180D12P2E002). Il aborde à la fois le problème du déséquilibre des courants causé par les délais de propagation, mais aussi le problème des oscillations de la boucle de grille.

2. STRUCTURES DE GATE DRIVER EXISTANTES

Dans la littérature, un certain nombre de structures de gate driver optimisées pour le fonctionnement en parallèle sont présentées. Dans ce contexte, les deux principaux défis au niveau du gate driver sont la synchronisation et l'oscillation parasite de la boucle de grille. La méthode la plus simple pour commander des transistors en parallèle est d'utiliser un seul gate driver (Figure 2-a). La synchronisation est optimale puisque tous les transistors reçoivent la même commande de grille. Cette structure est envisageable pour les transistors discrets de petite taille car les inductances parasites d'interconnexion sont de faible valeur. Cependant, pour les modules de puissance, où les grilles sont séparées par des dizaines de centimètres, la structure à un seul gate driver est proscrite en raison des inductances parasites importantes. Ainsi, dans le cas des modules de puissance, il est impératif de placer un buffer au plus près de chaque composant (Figure 2-b). La synchronisation reste satisfaisante puisque l'isolation galvanique, source de jitter, est placée en amont. La

seconde contrainte liée à la commande de transistors en parallèle est l'existence d'une boucle parasite. Les deux structures présentées font partie de la catégorie des drivers non isolés, ne répondent pas à cette contrainte et ne sont pas viables. Une troisième approche vise donc à utiliser un gate driver par transistor (Figure 2-c). Cette structure atténue efficacement ce problème en brisant la boucle grâce à l'isolation située dans les gate drivers. Cependant, concernant la synchronisation, la structure isolée est moins avantageuse en raison des temps de propagation variables de l'isolation galvanique (fibre optique, optocoupleur ou magnétique) [18] [19], pouvant fluctuer de quelques dizaines de nanosecondes. Cette variabilité peut entraîner des déséquilibres de courant importants dans des conditions de commutation rapide (<50ns). Il existe donc un compromis fondamental entre la synchronisation et l'oscillation de la boucle de grille. Plusieurs solutions peuvent être rassemblées sous la même stratégie : ajouter une impédance en amont du buffer visant à amortir les oscillations sans perturber la commande du transistor (Figure 2-d). Dans [20], une résistance est ajoutée avec cette intention.

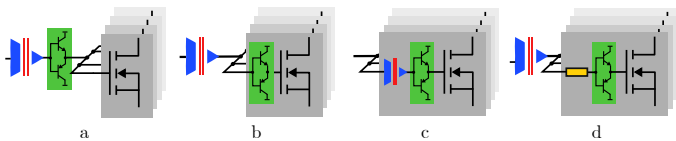


FIG. 2. Structures de gate driver existantes : non-isolé buffer commun (a), non-isolé buffer réparti (b), isolé (c) et non-isolé avec impédance d'amortissement (d)

Une self de mode commun connectée au gate driver et à la source Kelvin est mentionnée dans [14] [21] [22]. Ce composant est intéressant puisqu'il permet de cibler le filtrage sur les courants de mode commun à l'origine des oscillations. Bien que leur efficacité soit démontrée, le dimensionnement de ces composants reste une tâche difficile, principalement pour les gate drivers sur étagères. Dans le cas de la self de mode commun, il est limité par sa saturation et sans bande de fréquence. Aucune étude n'a encore été publiée sur la fiabilité de ces circuits en cas de court-circuit sur le module de puissance. Des mesures manquent globalement pour évaluer les performances en matière de synchronisation des signaux de porte. De plus, les circuits sont généralement conçus pour un nombre fixe de transistors (typiquement 2 ou 3) en parallèle et leur mise à l'échelle est délicate.

3. STRUCTURE INNOVANTE DE GATE DRIVER À FAIBLE GIGUE

Cet article aborde les deux principaux défis de la conception des gate drivers pour les transistors en parallèle en proposant une nouvelle structure.

En utilisant un seul gate driver par transistor, les boucles de courants parasites sont rompues mais le temps de propagation est variable. Le développement d'un système d'isolation galvanique capable de supporter un dv/dt élevé tout en maintenant une faible gigue représente un défi important. Pour cette raison, l'architecture choisie (Figure 4) utilise deux isolations différentes. La première est une double isolation sécurisée standard qui suit des contraintes et normes rigoureuses. La seconde est une isolation à basse tension (100 V) et optimisée pour la gigue, employée pour supprimer les courants de mode commun. L'isolation sécurisée est partagée par tous les transistors, tandis que la seconde sépare chaque gate driver, ce qui permet un contrôle synchrone de tous les transistors. La structure illustrée en figure 4 présente le prototype dans son ensemble. Elle comprend un prédriver et des étages de drivers individuels détaillés dans la Figure 3. Les étages d'isolation fonctionnelle et sécurisée conventionnels sont représentés respectivement par des lignes rouges doubles et simples, tandis que la nouvelle isolation est indiquée par la ligne rouge en pointillé. Une impulsion de syn-

chronisation (Sync) servant de signal d'horloge est transmise à chaque changement d'état du signal de commande à travers les câbles coaxiaux et l'étage d'isolation à faible gigue. Les commandes de commutation, ainsi que les signaux auxiliaires tels que la détection de court-circuit et la coupure progressive, sont transmis par une nappe et passent par un isolateur numérique peu coûteux sans contrainte de temps stricte. Inspirées de la structure d'un bus de données de processeur, les commandes de commutation sont resynchronisées sur front montant de l'horloge à l'aide d'une bascule. L'étape de synchronisation à travers la barrière d'isolation a été initialement proposée dans [18] et [23] pour d'autres applications. Il est largement adapté pour la parallélisation dans ce travail. Pour éliminer les sources de

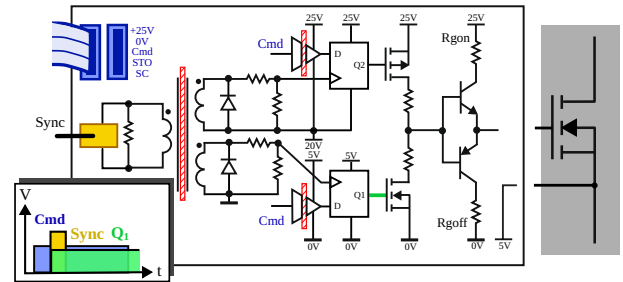


FIG. 3. Circuit électronique de la carte driver

gigue, les convertisseurs de niveaux classiques sont supprimés. Ils convertissent habituellement la tension de commande (5 V) en tension de grille (25 V). Cependant, ils peuvent introduire jusqu'à 20 ns de gigue [24]. La solution proposée (Figure 3) exploite le transformateur planaire existant en créant un double enroulement secondaire. Il est ainsi possible d'adresser les deux bascules référencées respectivement en haut et en bas de l'alimentation driver réalisant ainsi la conversion de niveau. Un préamplificateur à MOSFET complémentaires push-pull fournit le courant de base aux transistors bipolaires du buffer final. Il est intéressant de noter le faible nombre de composants utilisés après l'étape de resynchronisation (après la bascule) afin de réduire les potentielles sources de gigue. Pour valider l'architecture proposée, une phase de mesures rigoureuse est menée.

4. EXPERIMENTATION

4.1. Méthode et terminologie

Le nouveau gate driver a été conçu pour éliminer la source de jitter. La performance du circuit doit être évaluée en comparant le fonctionnement de quatre gate drivers en parallèle. Plus précisément, la différence de temps entre des signaux identiques est mesurée à un niveau défini. Ce type de mesure est typiquement utilisé en électronique numérique, où il est appelé jitter ou time skew (figure 5). Le jitter fait référence à l'écart temporel d'un front contrôlé par rapport à sa position nominale. Il est utilisé dans les systèmes de génération d'horloge des microprocesseurs. Le time skew est défini comme la différence de temps entre deux événements qui devraient idéalement se produire simultanément. Il peut être exprimé comme la différence entre deux temps de propagation t_p .

$$t_{sk} = t_{p1} - t_{p2} \quad (1)$$

Cette technique est appliquée pour évaluer le fonctionnement des arbres d'horloge dans les circuits intégrés. Le facteur différenciant clé entre le jitter et le time skew est la référence utilisée. Le jitter est une mesure de la différence entre un signal et sa valeur attendue ou historique. En revanche, le time skew implique une comparaison entre deux signaux. Par conséquent, le time skew représente une méthode efficace pour évaluer la performance de la synchronisation des gate drivers. Cette définition convient pour mesurer deux signaux, mais doit être étendue pour plus. Dans la littérature et particulièrement dans les fiches tech-

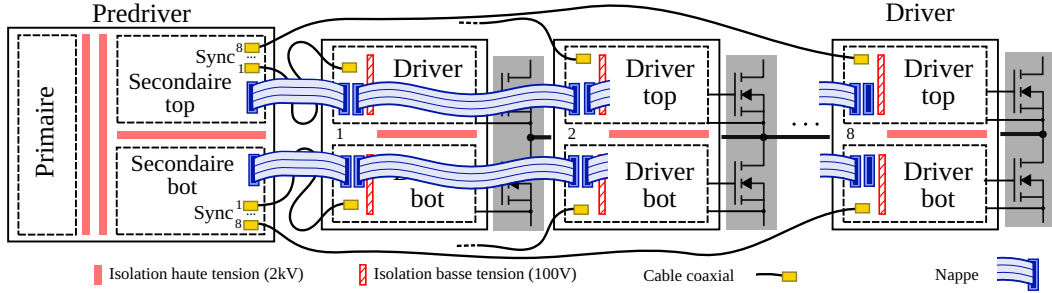


FIG. 4. Structure de gate driver proposée

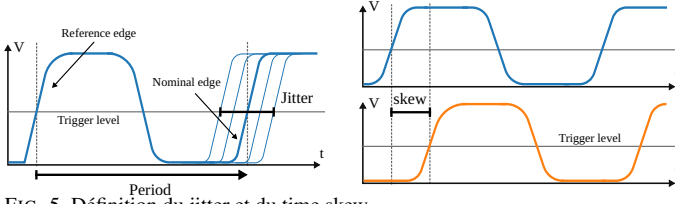


FIG. 5. Définition du jitter et du time skew

niques, le time skew est généralement mesuré entre chaque canal, avec la valeur maximale rapportée. Cette méthode donnerait un résultat surestimé dans notre application. En effet, la répartition des pertes entre les transistors peut se produire à l'échelle de plusieurs cycles de commutation. Le gate driver le plus rapide peut également être le plus lent au cycle de commutation suivant, et le résultat est une bonne répartition. En ne conservant que le time skew maximal, nous ne tirerions pas parti de cette propriété. Il est donc préférable de calculer le time skew moyen sur N_s cycles de commutation, puis de sélectionner le plus élevé. Dans l'expérience suivante, le time skew est calculé en fonction du temps de propagation. Pour cette raison, il est intéressant de noter que le time skew moyen peut également être exprimé comme la différence des temps de propagation moyens.

$$\langle t_{sk} \rangle = \frac{1}{N_s} \sum_{n=1}^{N_s} t_{p1n} - t_{p2n} = \frac{1}{N_s} \sum_{n=1}^{N_s} t_{p1n} - \frac{1}{N_s} \sum_{n=1}^{N_s} t_{p2n} \quad (2)$$

La seconde expression peut être facilement visualisée sur les histogrammes des temps de propagation dans les Figures 10 à 13.

4.2. Signal de synchronisation

Le signal de synchronisation (Sync) généré par le pré-driver et transmis au driver assure une bonne synchronisation des ordres de commande entre les drivers. Ce signal est véhiculé à travers un câble coaxial, passe par le transformateur avant d'être lu par une bascule. Il prend la forme d'une impulsion d'amplitude 15 V et de durée 50 ns. Il contient une part d'harmonique dont la longueur d'onde est comparable à celle du câble (1 m). Une résistance de 50 Ω est placée en sortie du câble pour assurer l'adaptation d'impédance et éviter les réflexions du signal. Les câbles coaxiaux doivent obligatoirement être de même longueur, chaque centimètre de différence ajoute 53 ps de retard. L'innovation présentée dans cette étude réside dans l'utilisation d'une isolation faible tension optimisée pour supprimer les courants de mode commun. Le chemin de synchronisation critique, qui s'étend de la génération d'impulsions sur le pré-driver jusqu'à l'étage secondaire des transformateurs planaires, y compris le câble coaxial, est examiné. Pour simuler les conditions de charge maximale pour le générateur de synchronisation, huit transformateurs planaires sont connectés en parallèle, dont quatre sont visualisés à l'aide d'un oscilloscope à quatre canaux (figure 6). L'objectif principal de cet essai est de mesurer l'écart des temps de propagation (time skew) entre les

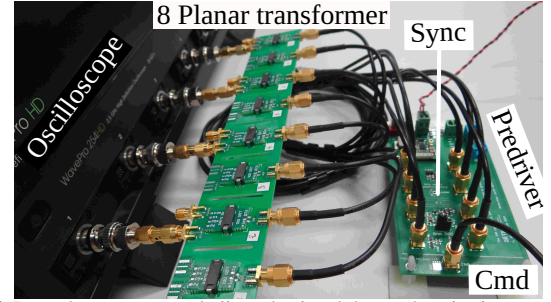


FIG. 6. Banc de mesure pour le jitter du signal de synchronisation

voies. Le niveau du trigger est fixé à 3,5 V, ce qui correspond au seuil d'entrée typique de la bascule. Les mesures de time skew sont effectuées sur 10 000 fronts de signal, le time skew moyen maximal observé étant de 68 ps. La figure 7 illustre les résultats sur un échantillon de 500 fronts. Les résultats démontrent l'ef-

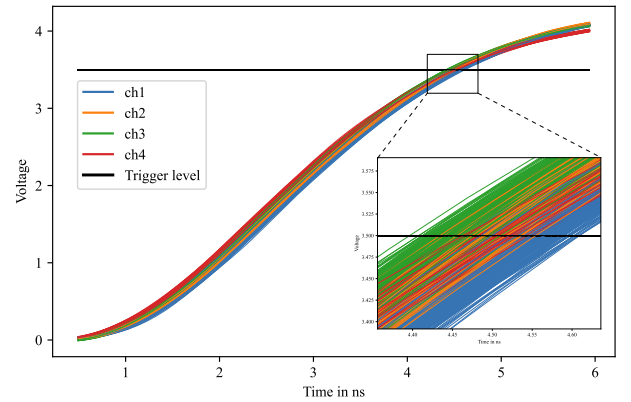


FIG. 7. Fronts du signal de synchronisation après 4 transformateurs planaires pour 500 échantillons

ficacité du principe de synchronisation développé pour réduire le jitter. Ils sont particulièrement intéressants car le signal de synchronisation traverse une barrière d'isolation qui agit également comme convertisseur de niveau. Des tests supplémentaires peuvent être effectués pour évaluer les performances du driver complet.

4.3. Délai de propagation en fonction de la température

Cette expérience examine le délai de propagation de la carte de driver (Figure 8) à trois températures : -20°C, 25°C et 80°C à divers points du circuit. L'objectif est double : premièrement, évaluer les performances du circuit à différentes températures, et deuxièmement, identifier les composants qui contribuent le plus à la génération de jitter. La carte correspond exactement au schéma de la carte driver présentée figure 3, où le placement des sondes est illustré. Le connecteur Sync visible sur la Figure 8 est suivi du transformateur monté en configuration

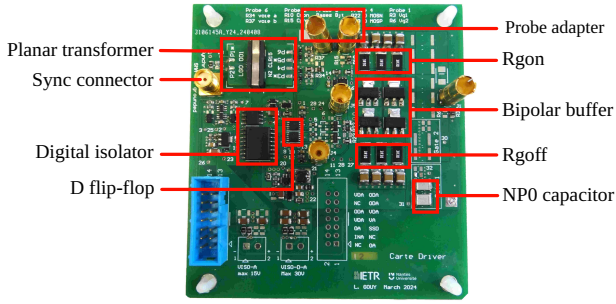


FIG. 8. Carte de driver avec légende des composants

crénelée (en. castellated) avec une ferrite 3F36. En dessous, la nappe arrive sur le connecteur bleu, où elle est connectée à l'isolateur non optimisé pour le jitter avant d'être routée vers les bascules (74LVC1G74). Enfin, les transistors bipolaires (ref. 2SA2016/2SC5569) constituant le buffer de sortie sont situés à droite, avec des résistances de grille de $1,1\Omega$. Pour assurer une analyse précise de la contribution du driver, un condensateur NP0 de valeur fixe de 33nF est utilisé à la place du MOSFET de puissance. Cette valeur capacitive est sélectionnée en fonction de la capacité C_{gs} du module de puissance ciblé. La Figure 3 indique l'emplacement des sondes. La différence de temps entre les canaux 1 et 2 montre la performance de la bascule. Les canaux 2 et 3 observent le MOSFET. Les canaux 3 et 4 sont pour les transistors bipolaires. Chaque signal est déclenché à un niveau différent en fonction de l'opération de l'étage suivant. Le canal 1 est déclenché à $3,5\text{V}$, ce qui correspond au niveau $V_{th} +$ de la bascule. Le canal 2 est déclenché à $2,5\text{V}$, ce qui est égal au V_{th} du signal MOSFET. Le canal 3 est déclenché à 50% de la sortie, car le transistor bipolaire fonctionne en mode linéaire sans seuil spécifique. Le canal 4 est déclenché à $2,5\text{V}$, ce qui est égal au V_{th} du MOSFET de puissance. Le délai de propagation pour chacun des trois étages est calculé sur la base de 10 000 observations. La carte est placée dans une chambre thermique avec un contrôle précis de la température. La mesure est répétée pour les trois températures, et il est observé que le temps de propagation augmente avec l'augmentation de la température. La différence entre les valeurs moyennes μ à -20°C et 80°C représente l'excursion maximale.

Étape\Temp	-20°C	25°C	80°C	$\mu_{80} - \mu_{-20}$
Bascule	1,077ns	1,255ns	1,339ns	0,262ns
Mosfet N	6,652ns	6,709ns	6,835ns	0,183ns
Bipolaire	21,438ns	21,643ns	22,051ns	0,613ns
Total	29,167ns	29,607ns	30,226ns	1,059ns

TABEAU 1. Résultat expérimental : délai de propagation moyen des étapes en fonction de la température à l'amorçage

Étape\Temp	-20°C	25°C	80°C	$\mu_{80} - \mu_{-20}$
Bascule	1,039ns	1,072ns	1,283ns	0,244ns
Mosfet P	3,556ns	3,776ns	3,981ns	0,425ns
Bipolaire	51,773ns	53,242ns	55,202ns	3,429ns
Total	56,367ns	58,089ns	60,466ns	4,099ns

TABEAU 2. Résultat expérimental : délai de propagation moyen des étapes en fonction de la température au blocage

Les tableaux 1 et 2 rassemblent les résultats numériques. L'étape la plus sensible à la température est l'étape bipolaire avec l'excursion maximale. Les disparités deviennent plus évidentes au point de blocage, car la distance entre l'état initial et le seuil est plus grande. En effet, comme V_{th} est pris

comme niveau de déclenchement, la tension de grille est observée pour commencer à -5V et se terminer à $2,5\text{V}$ pendant la phase d'amorçage. Inversement, la phase de blocage est étudiée de 25V à $2,5\text{V}$. Avec une même constante de temps, le temps pour parcourir une différence de tension plus grande est naturellement plus élevé. Néanmoins, les résultats montrent une excellente performance avec une différence maximale des valeurs moyennes du délai de propagation de 4ns malgré les variations de température extrêmes.

4.4. Délai de propagation sur 4 gate drivers

Dans la troisième expérience, le délai de propagation du signal de grille entre les composants est évalué. Cette analyse est réalisée en utilisant quatre gate drivers connectés en parallèle, comme illustré sur la Figure 9. Tout d'abord, les gate drivers

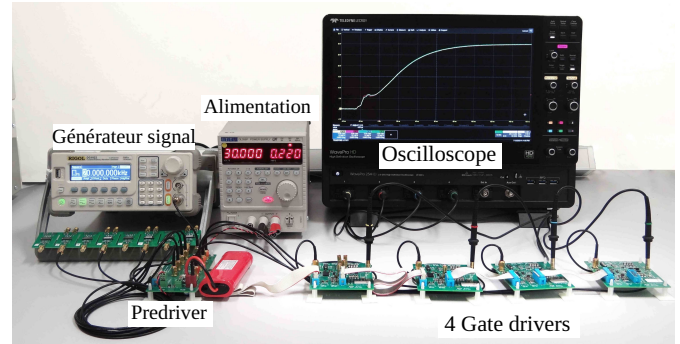


FIG. 9. Configuration de test pour la mesure entre composants

sont testés à 25°C , où leurs temps de propagation sont mesurés et classés en conséquence. Le délai de propagation est défini comme le temps entre le signal de synchronisation (Sync) généré par le pré-driver et la tension de grille virtuelle sur le condensateur NPO. Le déclencheur est choisi sur le seuil de tension de grille du module de puissance ciblé. Pour tenir compte de la limite de quatre canaux de l'oscilloscope (Teledyne Lecroy WavePro 254HD), le trigger externe est utilisé pour démarrer les mesures sur le front montant du signal Sync. Cette configuration capture le délai de propagation total du système. Chaque mesure est répétée 10 000 fois pour assurer une précision statistique. Le signal de commande est fabriqué par un générateur de signaux fonctionnant à une fréquence fixe de 20kHz . Le pré-driver est chargé avec huit transformateurs planaires pour émuler des conditions réalistes pour huit cartes driver. Pour minimiser l'influence des courants en mode commun, le pré-driver est alimenté par une batterie, bien que cette précaution ne soit pas strictement nécessaire pour cette expérience. Les mesures enregistrées sont stockées et ensuite traitées sur ordinateur. Les Figures 10 et 11 présentent les résultats expérimentaux sous forme d'histogrammes pour l'amorçage et le blocage respectivement. Les données sont approximées par des distributions normales, avec les valeurs moyennes et les écarts-types rapportés. Le délai de propagation moyen pour l'amorçage est observé entre $31,25\text{ns}$ et $32,93\text{ns}$, tandis que pour le blocage, il est observé entre $61,14\text{ns}$ et $62,53\text{ns}$. En adéquation avec l'étude sur un seul driver, le délai d'amorçage est plus court que le délai de blocage. Pour mettre en évidence d'éventuelles disparités, les drivers sont soumis à des conditions extrêmes de température. Les deux drivers avec les délais de propagation les plus courts à 25°C sont refroidis à -20°C , tandis que les deux autres sont chauffés à 80°C . Le classement des délais de propagation diffère entre l'amorçage et le blocage. Les drivers sont apparés et placés dans deux chambres thermiques configurées aux températures spécifiées. La surveillance de la température est effectuée à l'aide d'un thermomètre numérique dont le capteur est fixé directement sur les cartes. Les résultats expérimentaux sont présentés sous forme d'histogrammes dans les Figures 12 et 13 pour la deuxième phase. Le délai de propagation moyen

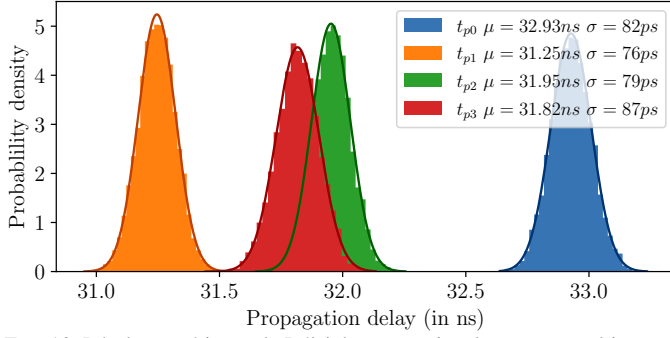


FIG. 10. Résultat expérimental : Délai de propagation de quatre gate drivers pour l'amorçage à 25°C

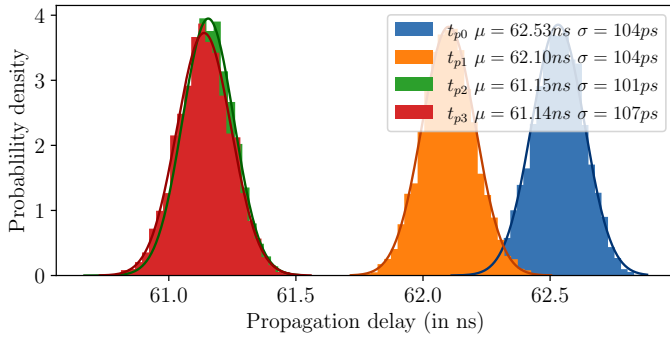


FIG. 11. Résultat expérimental : Délai de propagation de quatre gate drivers pour le blocage à 25°C

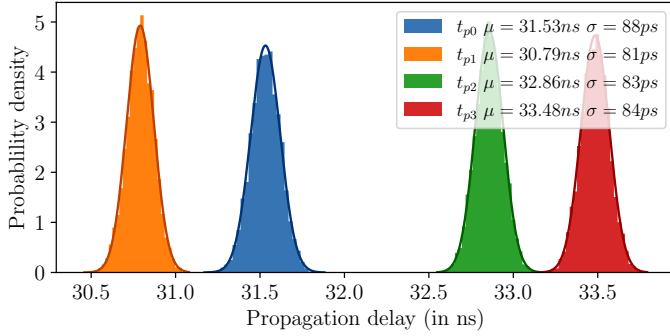


FIG. 12. Résultat expérimental : Délai de propagation de quatre gate drivers à l'amorçage avec ch1, ch2 à -20°C et ch3, ch4 à 80°C

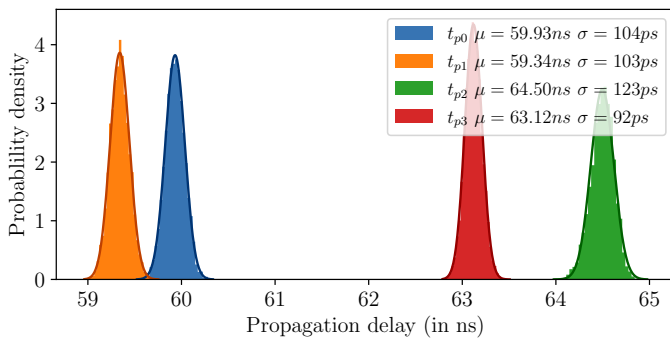


FIG. 13. Résultat expérimental : Délai de propagation de quatre gate drivers à le blocage avec ch1, ch2 à -20°C et ch3, ch4 à 80°C

à l'amorçage est observé entre 30,79ns et 33,48ns, tandis qu'à le blocage, il est observé entre 59,34ns et 64,50ns. La valeur absolue est connue, mais l'indicateur le plus pertinent est la différence de temps de propagation entre les drivers. Pour obtenir une répartition homogène du courant et des pertes de commutation entre les modules de puissance, l'objectif est d'obtenir des valeurs moyennes identiques. La différence des délais de propagation moyens maximaux, également appelée time skew moyen maximal (voir méthode section 4.1) est extraite de ces résultats. À 25°C, la différence de délai de propagation entre le canal 0 et le canal 1 est mesurée à 1,68ns pour la phase d'amorçage. De même, pendant le blocage à la même température, la différence entre le canal 3 et le canal 0 est déterminée à 1,39ns. Sous des conditions de température variables, pour la phase d'amorçage, la soustraction du délai de propagation moyen du canal 3 par celui du canal 0 donne un résultat de 2,69ns. Pour la phase de blocage, le décalage est calculé en soustrayant la valeur moyenne du canal 2 par celle du canal 1, résultant en une valeur de 5,15ns. Les résultats de cette expérience démontrent l'influence de la température et l'impact des disparités des composants. Selon la fiche technique du module de puissance sélectionné (BSM180D12P2E002), le temps de montée t_r et le temps de descente t_f sont de 45ns. Pour garantir un équilibre dynamique du courant, un faible décalage temporel est toléré. Le Tableau ?? présente les valeurs minimales, maximales et la variation des délais de propagation t_p mesurés pendant l'amorçage et le blocage sous des conditions de température uniforme (25°C) et extrêmes (-20°C et 80°C).

Conditions	$t_{p,min}$	$t_{p,max}$	Δt_p	% t_r, t_f
on, 25°C	31.25ns	32.93ns	1.68ns	3.73%
off, 25°C	61.14ns	62.53ns	1.39ns	3.09%
on, -20°C, 80°C	30.79ns	33.48ns	2.69ns	5.98%
off, -20°C, 80°C	59.34ns	64.50ns	5.15ns	13.28%

TABLEAU 3. Comparaison des délais de propagation moyens et des différences selon les conditions de température

Les résultats montrent qu'à 25°C, le décalage temporel représente 3,73% du temps de commutation du module de puissance pour l'allumage et 3,09% pour l'extinction. Dans le contexte de conditions de température extrêmes, les pourcentages respectifs sont de 5,98% et 13,28%. La faible variation du délai de propagation, même sous des conditions de température extrêmes, confirme que l'architecture proposée pour les gate drivers introduit des disparités négligeables par rapport aux temps de montée et de descente du module de puissance. Cette expérience, rarement documentée dans la littérature, démontre une excellente synchronisation des gate drivers.

5. CONCLUSION

La conception d'un gate driver pour la mise en parallèle des transistors de puissance doit répondre à la fois à la synchronisation des grilles et à la gestion des boucles de courant parasites. Les structures existantes montrent qu'il y a souvent un compromis entre le contrôle du temps de propagation et l'existence des boucles parasites. Cet article propose une nouvelle structure de gate driver à faible jitter, conçue pour atténuer les déséquilibres de courant induits par les retards des signaux de grille dans huit modules SiC en parallèle. Les boucles de courants parasites sont efficacement éliminées grâce à une isolation dédiée. La conversion de niveau, souvent source de jitter, est réalisée grâce à un second enroulement sur le transformateur planaire, minimisant ainsi le nombre de composants. La structure complète intègre un canal dédié à la synchronisation, offrant une grande flexibilité et permettant de modifier facilement le nombre de transistors grâce à une structure en chaîne. La validation expérimentale suit un processus rigoureux en trois phases. Tout d'abord,

le canal de synchronisation est étudié seul, démontrant un jitter ultra-faible de 68 ps. Ensuite, des mesures effectuées sous des températures variables (-20°C à 80°C) sur un gate driver montrent l'impact de chaque composant sur le délai de propagation. Une différence de 4.099 ns est observée entre les délais de propagation moyens, l'étage du buffer à bipolaire étant responsable de 3.429 ns. Enfin, quatre gate drivers sont étudiés simultanément, à la même température et avec des différences de température importantes. Les résultats montrent un time skew moyen maximal de 1.68 ns à des températures identiques et de 5.15 ns avec un gradient de température significatif. Ces résultats confirment les performances de synchronisation du gate driver proposé. Notamment, les écarts de temps de propagation mesurés représentent un pourcentage négligeable des temps de montée et de descente des modules de puissance, rendant ce design adapté aux applications SiC. Un gate driver complet est actuellement en développement pour confirmer la solution dans un contexte d'électronique de puissance.

RÉFÉRENCES

- [1] Xu SHE et al. "Review of Silicon Carbide Power Devices and Their Applications". In : *IEEE Transactions on Industrial Electronics* 64.10 (oct. 2017), p. 8193-8205. ISSN : 1557-9948. DOI : [10.1109/TIE.2017.2652401](https://doi.org/10.1109/TIE.2017.2652401).
- [2] Juan COLMENARES et al. "High-Efficiency 312-kVA Three-Phase Inverter Using Parallel Connection of Silicon Carbide MOSFET Power Modules". In : *IEEE Transactions on Industry Applications* 51.6 (nov. 2015), p. 4664-4676. ISSN : 1939-9367. DOI : [10.1109/TIA.2015.2456422](https://doi.org/10.1109/TIA.2015.2456422).
- [3] Helong LI et al. "Parallel Connection of Silicon Carbide MOSFETs—Challenges, Mechanism, and Solutions". In : *IEEE Transactions on Power Electronics* 38.8 (août 2023), p. 9731-9749. ISSN : 1941-0107. DOI : [10.1109/TPEL.2023.3278270](https://doi.org/10.1109/TPEL.2023.3278270).
- [4] Shi PU et al. "Aging Mechanisms and Accelerated Lifetime Tests for SiC MOSFETs: An Overview". In : *IEEE Journal of Emerging and Selected Topics in Power Electronics* PP (sept. 2021), p. 1-1. DOI : [10.1109/JESTPE.2021.3110476](https://doi.org/10.1109/JESTPE.2021.3110476).
- [5] Roman HORFF et al. "Current mismatch in paralleled phases of high power SiC modules due to threshold voltage unsymmetry and different gate-driver concepts". In : *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*. Sept. 2016, p. 1-9. DOI : [10.1109/EPE.2016.7695409](https://doi.org/10.1109/EPE.2016.7695409).
- [6] Yang XUE et al. "Active Current Balancing for Parallel-Connected Silicon Carbide MOSFETs". In : *2013 IEEE Energy Conversion Congress and Exposition*. Denver, CO, USA : IEEE, sept. 2013, p. 1563-1569. ISBN : 978-1-4799-0336-8. DOI : [10.1109/ECCE.2013.6646891](https://doi.org/10.1109/ECCE.2013.6646891). (Visité le 21/03/2023).
- [7] Jianing WANG et al. "Accurate Modeling of the Effective Parasitic Parameters for the Laminated Busbar Connected With Paralleled SiC MOSFETs". In : *IEEE Transactions on Circuits and Systems I : Regular Papers* 68.5 (mai 2021), p. 2107-2120. ISSN : 1558-0806. DOI : [10.1109/TCSI.2021.3064010](https://doi.org/10.1109/TCSI.2021.3064010).
- [8] Angelo RACITI et al. "Effects of the Device Parameters and Circuit Mismatches on the Static and Dynamic Behavior of Parallel Connections of Silicon Carbide MOSFETs". In : *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*. Sept. 2018, p. 1846-1852. DOI : [10.1109/ECCE.2018.8557676](https://doi.org/10.1109/ECCE.2018.8557676).
- [9] Gangyao WANG et al. "Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications". In : *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*. Mars 2014, p. 1478-1483. DOI : [10.1109/APEC.2014.6803502](https://doi.org/10.1109/APEC.2014.6803502).
- [10] Alessandro BORGHESE et al. "Statistical Analysis of the Electrothermal Imbalances of Mismatched Parallel SiC Power MOSFETs". In : *IEEE Journal of Emerging and Selected Topics in Power Electronics* 7.3 (sept. 2019). parallelisation, p. 1527-1538. ISSN : 2168-6777, 2168-6785. DOI : [10.1109/JESTPE.2019.2924735](https://doi.org/10.1109/JESTPE.2019.2924735). (Visité le 21/03/2023).
- [11] Yasushige MUKUNOKI et al. "Electro-thermal co-simulation of two parallel-connected SiC-MOSFETs under thermally-imbalanced conditions". In : *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. Mars 2018, p. 2855-2860. DOI : [10.1109/APEC.2018.8341422](https://doi.org/10.1109/APEC.2018.8341422).
- [12] Chen WANG et al. "Analytical Model of the Parallel-Connected Silicon Carbide MOSFET Turn-ON Switching Behavior Under Asynchronous Gate Signals". In : (oct. 2022), p. 1-6. DOI : [10.1109/ITECAsia-Pacific56316.2022.9941859](https://doi.org/10.1109/ITECAsia-Pacific56316.2022.9941859).
- [13] Jianing WANG et al. "Comprehensive Analysis of Paralleled SiC MOSFETs Current Imbalance Under Asynchronous Gate Signals". In : *IEEE Journal of Emerging and Selected Topics in Power Electronics* 11.5 (oct. 2023), p. 4850-4866. ISSN : 2168-6785. DOI : [10.1109/JESTPE.2023.3290935](https://doi.org/10.1109/JESTPE.2023.3290935).
- [14] Ziqing ZHENG. *A practical example of hard paralleling SiC MOSFET modules*. en. PCIM Asia, 2019. ISBN : 978-3-8007-4970-6.
- [15] Toshiba ELECTRONIC. *MOSFET Paralleling(Parasitic Oscillation between ParallelPower MOSFETs)*. Rapp. tech. 20180726 AKX00067. Toshiba Electronic, juill. 2018.
- [16] Dongxin JIN et al. "Analysis and Reduction of Turn-on Gate-source Voltage Oscillation on Paralleled SiC MOSFETs Application". In : oct. 2022, p. 1-7. DOI : [10.1109/ECCE50734.2022.9947878](https://doi.org/10.1109/ECCE50734.2022.9947878).
- [17] Ye ZHU et al. "Influence of Paralleled SiC MOSFET on Turn-off Gate Voltage Oscillation". In : *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*. Oct. 2020, p. 683-689. DOI : [10.1109/ECCE44975.2020.9235763](https://doi.org/10.1109/ECCE44975.2020.9235763).
- [18] M. MAUERER, A. TÜYSÜZ et J. W. KOLAR. "Gate signal jitter elimination and noise shaping modulation for high-SNR Class-D power amplifiers". In : (mars 2016), p. 1198-1205. DOI : [10.1109/APEC.2016.7468021](https://doi.org/10.1109/APEC.2016.7468021).
- [19] Le hanh LONG. "Isolation galvanique intégrée pour nouveaux transistors de puissance". Theses. Université Grenoble Alpes, nov. 2015. URL : <https://theses.hal.science/tel-01265549>.
- [20] Yan LI et al. "Comparative Analysis and Evaluation of Gate Driver Topologies for Paralleling Silicon Carbide (SiC) Power Modules". In : *2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia)*. Mai 2023, p. 2010-2017. DOI : [10.23919/ICPE2023-ECCEAsia54778.2023.10213664](https://doi.org/10.23919/ICPE2023-ECCEAsia54778.2023.10213664).
- [21] Eddy AELOIZA et al. "Evaluation and Characterization of Parallel Connected Ultra-Low-Inductance 400A SiC MOSFET Modules". In : (sept. 2019), p. 1934-1940. ISSN : 2329-3748. DOI : [10.1109/ECCE.2019.8912921](https://doi.org/10.1109/ECCE.2019.8912921).
- [22] Jiye LIU et Zedong ZHENG. "Switching Current Imbalance Mitigation for Paralleled SiC MOSFETs Using Common-mode Choke in Gate Loop". In : *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*. Oct. 2020, p. 705-710. DOI : [10.1109/ECCE44975.2020.9236412](https://doi.org/10.1109/ECCE44975.2020.9236412).
- [23] Mario MAUERER, Arda TÜYSÜZ et Johann W. KOLAR. "Low-Jitter GaN E-HEMT Gate Driver With High Common-Mode Voltage Transient Immunity". In : *IEEE Transactions on Industrial Electronics* 64.11 (nov. 2017), p. 9043-9051. ISSN : 1557-9948. DOI : [10.1109/TIE.2017.2677354](https://doi.org/10.1109/TIE.2017.2677354).
- [24] Integrated Circuit DIVISION. *IXD609 9-Ampere Low-Side Ultrafast MOSFET Drivers Datasheet*. Rapp. tech. Littelfuse, 2017. URL : <https://www.littelfuse.com/media?resourceType=datasheets&itemid=63dc5a9e-6cea-4349-bf4e-4540dadb0b53&filename=ixd-609>.