

Étude de la fiabilité des P-GaN HEMT avec contact Schottky sous surtensions en commutation dure

Thomas VADEBOUT¹ (thomas.vadebout@insa-lyon.fr), Pascal BEVILACQUA¹, Valeria RUSTICHELLI²,
Maroun ALAM², Laurence ALLIRAND³ et Hervé MOREL¹

¹ INSA Lyon, Université Claude Bernard Lyon 1, Ecole Centrale Lyon, CNRS, Ampère, F-69621, France

² IRT Saint Exupéry, F-31400, France, ³ Schaeffler, F-31100, France

RESUME – Les transistors GaN HEMT, réputés pour leurs performances en électronique de puissance, soulèvent des questions de fiabilité, et notamment face aux surtensions dynamiques. Nous introduisons un nouveau circuit de test, basé sur l’UIS (Unclamped Inductive Switching), conçu pour isoler les effets des surtensions dynamiques et du stress à l’état off. Les résultats préliminaires montrent que notre nouveau circuit permet d’atteindre des surtensions jusqu’à 1,45 kV (pour des composants 650 V), et des courants de 40 A. L’optimisation qu’apporte ce circuit permet d’avoir un échauffement minimal lors de tests répétitifs, et ainsi permettra de découpler l’impact lié à l’élévation de la température pour se concentrer uniquement sur l’impact des surtensions.

Mots-clés – GaN, HEMT, électronique de puissance, commutation dure, surtension, fiabilité, UIS.

1. INTRODUCTION

Les transistors à haute mobilité électronique en nitrure de gallium (GaN HEMT) gagnent en popularité dans les applications de puissance grâce à leurs performances supérieures par rapport aux technologies traditionnelles [1]. Cependant, le manque de modèles de vieillissement précis constitue un frein à leur adoption plus généralisée dans l’industrie. Ainsi, la fiabilité des GaN HEMT reste un sujet d’étude majeur. Notre travail s’inscrit dans le cadre d’une collaboration avec l’IRT Saint Exupéry et Schaeffler.

Contrairement aux composants en silicium (Si) et en carbure de silicium (SiC), les dispositifs GaN HEMT ne présentent pas de capacité d’avalanche [2]. Cela pose des questions concernant leur fiabilité face à des pics de tensions qui peuvent survenir dans les applications. Ces surtensions, souvent inévitables en raison des inductances parasites présentes dans les circuits, pourraient avoir un impact sur la durée de vie des composants. Il est nécessaire d’approfondir notre compréhension des mécanismes sous-jacents pour mieux prédire les dégradations.

Une approche courante pour étudier ces surtensions est le test UIS (Unclamped Inductive Switching) [2-4]. Cependant, cette méthode ne permet pas de découpler clairement les différents effets du stress appliqué lorsque le composant est à l’état "off". Or, les GaN HEMT sont particulièrement sensibles à la tension appliquée dans cet état [5]. En conséquence, ces études existantes ne permettent d’isoler avec précision l’impact des surtensions dynamiques sur la dégradation globale des dispositifs.

Dans cet article, nous proposons un nouveau circuit de test qui combine les principes de l’UIS et du DST (Double Source Test) [6] pour mieux dissocier les différents facteurs de stress. Son principe sera mis en évidence dans la [sous-section 2.1](#). Des résultats préliminaires de son utilisation seront présentés dans la [sous-section 2.4](#). Le protocole que nous suivrons et pour lequel nous donnerons et analyserons les résultats dans l’article sera décrit dans la [section 3](#).

2. PRÉSENTATION ET VALIDATION DU BANC DE TEST

2.1. Présentation du nouveau circuit : UIS3

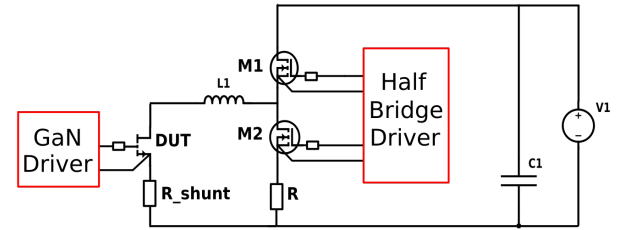


FIG. 1. Schéma du circuit UIS3 (Unclamped inductive switching, supply switched)

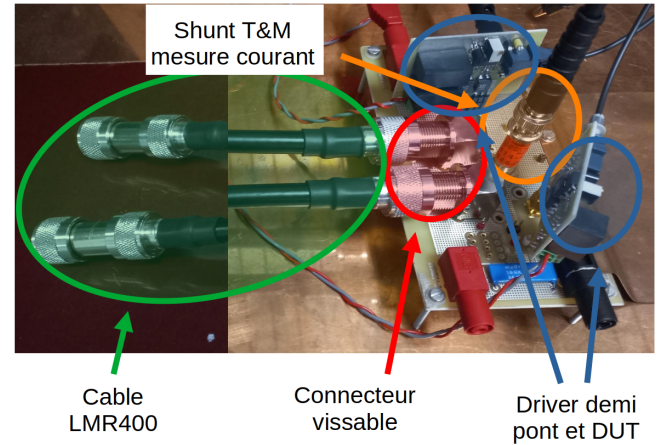


FIG. 2. Photo du banc UIS3 et des câbles LMR400 pour les inductances

L’objectif de la conception de ce nouveau circuit est de se concentrer uniquement sur l’impact des surtensions dynamiques sur la fiabilité des composants, en évitant notamment les effets de stress liés à la tension à l’état bloqué V_{DSoff} . Un autre point important est de réduire les oscillations sur la tension de drain qui sont causées par la résonance entre l’inductance L_1 et la capacité de sortie du DUT, C_{oss} . Ces oscillations créaient des pics de tension qui peuvent être nuisibles pour le DUT et fausser les résultats de vieillissement car non maîtrisés.

Le circuit stresseur original que nous avons développé est présenté [figure 1](#) et ressemble à l’UIS classique avec un demi-pont de transistors M_1 , M_2 . Ce demi-pont permet de coupler le DUT à une source de tension pour charger l’inductance L_1 , ou inversement, de découpler la source pour permettre à l’énergie d’être

TABLEAU 1. Différentes phases d'un cycle de stress UIS3

Phase	DUT	Demi-pont	Description
1	OFF	Low ON	Repos du DUT à V_{DS} nul, baisse de la température
2	ON	Low ON	Le DUT passe à l'état ON à V_{DS} nul. Ainsi, on commute en ZVS (Zero Voltage Switching) et il n'y a pas des pertes générées dans le DUT.
3	ON	High ON	Le courant circule et l'inductance L_1 se charge. La pente de la rampe de courant est ajustable avec V_1 . $\frac{di}{dt} \approx \frac{V_1}{L_1}$
4	OFF	High ON	Le DUT passe à l'état OFF, l'énergie emmagasinée dans l'inductance L_1 est transférée dans la capacité C_{oss} du DUT. Celui-ci subit une surtension $V_{DSpeak} \approx \sqrt{\frac{L_1}{C_{oss}}} I_{DS}$.
5	OFF	Low ON	Après la surtension, le demi-pont commute, le circuit RLC résultant dissipe l'énergie stockée dans C_{oss} . La résistance R est ajustée pour se retrouver dans un régime critique fin d'éviter les oscillations.

TABLEAU 2. Comparaison de l'utilisation du circuit UIS3 par rapport à l'UIS selon plusieurs critères

Critère	UIS	UIS3
Stress V_{DSoff}	V_1	0
Commutation OFF -> ON	Hard	Soft ZVS
Oscillations	Non maîtrisé	faibles

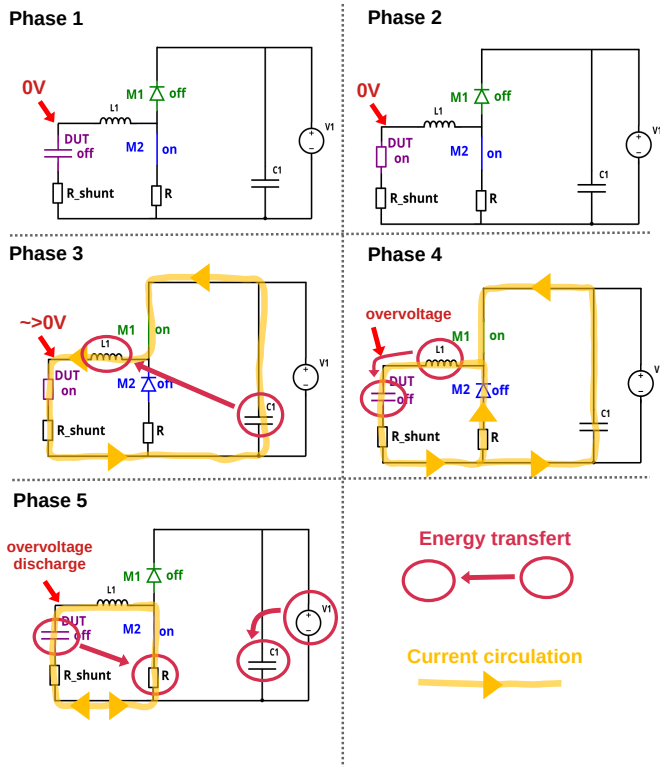


FIG. 3. Schémas des énergies et courants pendant les différentes phases d'un cycle UIS3, voir tableau 1.

complètement évacuée au travers de la résistance R . Cette résistance R est ajustée pour que le circuit soit en régime critique, ce

qui permet de supprimer les oscillations visibles sur la tension drain.

La variation du courant traversant l'inductance L_1 pendant sa charge est proportionnelle à la tension V_1 . Cette tension V_1 est réglée grâce à une alimentation stabilisée. Cette tension V_1 qui devrait se retrouver sur le drain du DUT quand celui-ci est à l'état "off" est maintenue à 0 V grâce au demi-pont de transistors $M1$ et $M2$. Ainsi, le réglage de cette tension pour contrôler la pente n'a a priori pas d'incidence sur le vieillissement du DUT non contrôlé qui lui serait appliqué dans le cas d'un circuit UIS classique. Un bénéfice supplémentaire est de pouvoir régler une tension V_1 élevée afin de charger rapidement L_1 et ainsi de réduire le temps de conduction du DUT. Ainsi, l'auto-échauffement du DUT est réduit, ce qui nous permet donc de ne pas coupler l'impact de la montée de température avec celui des surtensions dynamiques.

Ce circuit créé des cas de commutations non existants dans la réalité des applications, mais qui sont essentiels à étudier pour comprendre les mécanismes de vieillissement engendrés exclusivement par les surtensions.

Ce nouveau circuit ainsi présenté s'appelle UIS3 (Unclamped Inductive Switching, Supply Switched). La figure 3 est une photo du banc que nous avons réalisé au laboratoire Ampère. Le tableau 1 décrit un cycle UIS3 complet. Ce cycle est répétable et permet de créer des stress périodiques. La capacité C_1 fait office de source de tension proche, dimensionnée pour être idéale à l'échelle d'un cycle (V_{C_1} reste constant).

Le tableau 2 compare les différences de l'UIS3 par rapport à l'UIS.

Le DUT est pressé plutôt que brasé. Le DUT est maintenu dans un sarcophage, plaqué contre le PCB par une force appliquée au dessus à l'aide d'une vis de pression. Cela a l'avantage de ne pas avoir à braser et débraser le DUT à chaque changement ou permet de ne pas avoir besoin d'utiliser une carte fille qui rajouterait des parasites. Un inconvénient de cette méthode est le fait qu'il faut vérifier que le contact est bien réalisé sur l'ensemble des pads du composant. En effet, le DUT sera endommagé directement en cas de haute impédance sur le pad de grille dans le cas où la tension monte sur le drain. Pour s'assurer du bon contact sur l'ensemble des pads, nous réalisons un test de tension de seuil de grille. Il n'est pas destructeur pour le composant si un pad est mal contacté.

2.2. Choix de l'inductance L_1

L'inductance L_1 est réalisée par une ligne de transmission LMR400 d'impédance caractéristique 50Ω court-circuitée (figure 4). Cette solution est novatrice pour l'étude de la fiabilité des composants de puissance. Les intérêts sont multiples : inductance faible ($\approx 20 \text{ nH}$ pour 10 cm), valeur précise, émettant peu de perturbations (câble coaxial, donc le courant moyen est nul), pas de saturation et modulable facilement en changeant la longueur de la ligne avec connecteur à vis.

Le câble LMR400 rajoute une capacité parasite négligeable par rapport à la masse. Sa capacité linéique âme-shield est de $78,4 \text{ pF m}^{-1}$ tandis que son inductance linéique est de 200 nH m^{-1} .

La connectique choisie pour l'inductance est le connecteur N car il permet de réaliser des connexions rapides et fiables tout en supportant un courant de 50 A de faible durée (montée du courant dans l'inductance). Le connecteur type N n'est pas capable de supporter une tension de 1500 V . Ainsi, nous mettons 2 inductances par ligne de transmission en série afin que la tension soit divisée par deux entre les deux connecteurs (partie verte sur la figure 3).

Ce banc est conçu pour fonctionner à hautes fréquences, où réduire les parasites est essentiel pour ses performances.

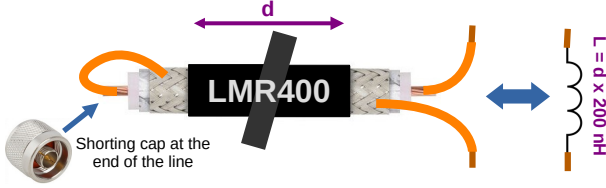


FIG. 4. LMR400, ligne de transmission court-circuitée comme inductance

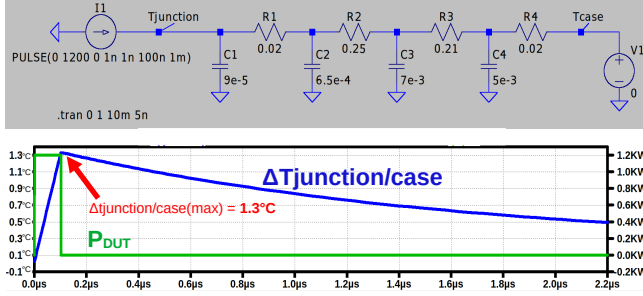


FIG. 5. Simulation thermique du DUT avec son modèle thermique dynamique (datasheet constructeur) avec LTSpice.

2.3. Considérations thermiques

Un point important est de s'assurer que le DUT subisse le moins d'auto-échauffement possible pendant les essais. En effet, les résultats de vieillissement peuvent être influencés par la température du DUT, mais l'accent est mis uniquement sur l'impact des surtensions dynamiques. Ainsi, un effort a été porté à la conception du banc pour réduire l'auto-échauffement. Pour ce faire, nous utilisons des inductances de faible valeur (de 50 nH à 500 nH), ce qui réduit le temps de conduction du DUT et donc l'auto-échauffement.

Pour des essais répétitifs à 1 kHz avec un DUT subissant des surtensions de 1,2 kV pour un courant de 20 A et une inductance de 400 nH, le wattmètre de l'alimentation V1 indique une puissance de 120 mW en moyenne. Cette estimation est haute et validée par le bilan énergétique du cycle UIS3 (tableau 3). Ainsi, c'est l'estimation haute de la puissance que le DUT subit en moyenne. La datasheet du composant indique une résistance thermique $R_{\theta junction \rightarrow case}$ de $0,49^\circ\text{C W}^{-1}$. Ainsi, pour 120 mW, l'élévation de température de jonction est $0,06^\circ\text{C}$ supérieure à la température de boîtier.

TABLEAU 3. Bilan énergétique d'un cycle UIS3, pour un DUT de 20 A et 1,2 kV avec une inductance de 400 nH. Des simplifications sont faites pour avoir une estimation haute de l'énergie max dissipée dans le DUT.

Energie	Energie pour un cycle maximale	Puissance moyenne à 1 kHz
Stockage dans l'inductance	$\frac{1}{2} \times 400 \text{ nH} \times 20 \text{ A}^2 = 80 \mu\text{J}$	80 mW
Effet joule conduction DUT	$40 \text{ m}\Omega \times 20 \text{ A}^2 \times 250 \text{ ns} = 4 \mu\text{J}$	4 mW
Total	84 μJ	84 mW

Une simulation SPICE avec le modèle thermique dynamique du DUT (donné par le constructeur) est réalisée (figure 5). Cette simulation assume que les 120 mW transmis par l'alimentation V1 sont tous dissipés dans le DUT en 100 ns. Ce qui équivaut à une puissance de 1,2 kW pendant 100 ns par cycle. La simulation montre donc que la température de jonction est de $1,3^\circ\text{C}$

supérieure (figure 5) à la température de boîtier à la fin d'un cycle de stress.

La température de boîtier est suivie grâce à un thermocouple qui indique un échauffement de 1°C après 1h de stress. Un ventilateur est utilisé pour refroidir le DUT pendant les essais. Ainsi, l'auto-échauffement maximal du DUT est de $2,3^\circ\text{C}$ après un cycle de stress.

Dans ces conditions, un échauffement négligeable du DUT est ainsi observé. Le stress en surtension dynamique est donc découplé du stress que pourrait induire une élévation de température.

2.4. Validation du banc de test

Afin de valider notre banc, nous avons réalisé une campagne de mesures préliminaires. Celle-ci se concentre sur un composant P-GaN HEMT à contact de grille Schottky 650 V 30 A.

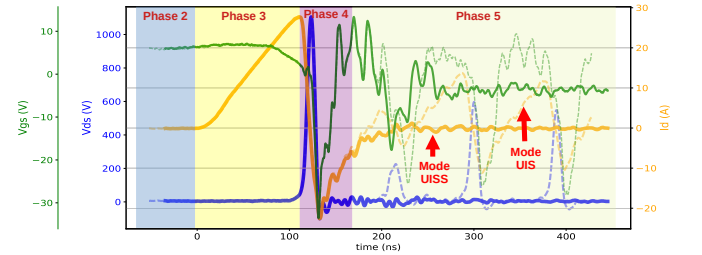


FIG. 6. Résultats comparant un cycle UIS3 (traits pleins) et un cycle UIS (traits pointillés et pâles). Les phases sont celles décrites dans le tableau 1

Les résultats de la première campagne de tests sont très encourageants. La figure 6 montre un cycle complet (la phase une est cachée) comme décrit dans le tableau 1. Un avantage de l'UIS3 est que, pour un même couple (I_{Dmax} , V_{DSpeak}), l'UIS3 empêche la remise en conduction du DUT grâce au découplage de la source de tension V_1 après le pic. Ainsi, les oscillations sont évitées, permettant d'appliquer des stress plus forts et maîtrisés qu'avec le même routage en UIS classique.

À l'aide du banc de test UIS3, des essais ont été menés avec des pics de tension atteignant jusqu'à 1,45 kV, correspondant à la tension de rupture diélectrique du composant [3], nettement supérieure à la valeur indiquée dans la fiche technique (650 V).

Un courant maximal de 40 A a été atteint, pour des inductances comprises entre 40 nH (correspondant aux parasites du circuit imprimé uniquement) et 440 nH (incluant les inductances parasites du circuit imprimé ainsi que celles induites par 2 m de câble LMR400).

Un temps de conduction minimal de 75 ns a pu être obtenu, ce qui permet de limiter significativement l'auto-échauffement du composant.

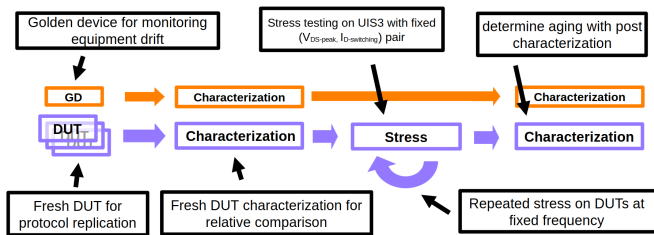
Des essais répétés ont permis d'atteindre une fréquence de commutation de 1 kHz avec un courant drain maximal $I_{D,max} = 20 \text{ A}$ et une tension de drain de crête $V_{D,peak} = 1,38 \text{ kV}$, tout en maintenant une élévation de température estimée inférieure à 3°C au niveau de la jonction du composant à régime établi.

3. PROTOCOLE SUIVI POUR LA PREMIÈRE CAMPAGNE DE MESURES

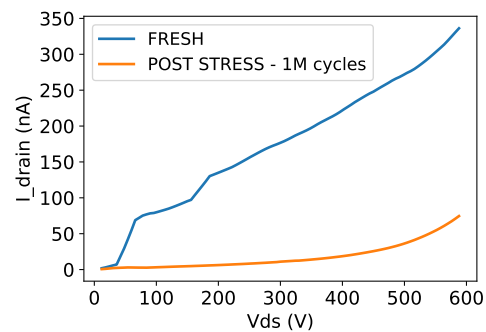
3.1. Protocole de surtensions dynamiques

La première campagne de mesures vise à analyser l'impact de cycles UIS3 répétitifs, effectués sur plusieurs millions de cycles, dans les cas suivants : (I_{Dmax} constant, V_{DSpeak} variable) et (I_{Dmax} variable, V_{DSpeak} constant). L'objectif est d'analyser plus en détail quels rôles jouent le courant I_{Dmax} et la tension V_{DSpeak} sur le vieillissement des composants. La fréquence de stress est fixée à 1 kHz.

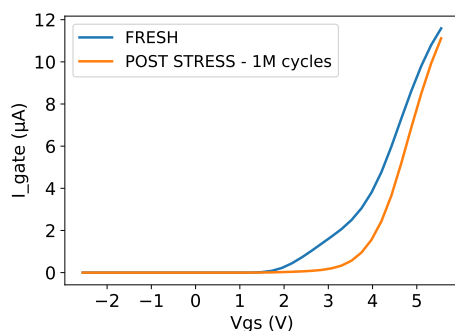
Pour ce faire, nous réaliserons les essais sur différents DUTs pour corroborer les résultats obtenus.



Une campagne préliminaire a pour objectif d'identifier, dans un scénario de mesure donné, les paramètres de vieillissement les plus sensibles à surveiller. Nous avons choisi de réaliser des essais dans le cas 20 A et 1,2 kV. Pour ce cas, une inductance de 400 nH est nécessaire.



Des caractérisations électriques sont effectuées avant et après chaque campagne de stress afin d'évaluer le vieillissement du composant (**figure 7**). L'évolution de plusieurs paramètres clés est suivie : la tension de seuil V_{th} (avec un préconditionnement selon [7]), le courant de fuite I_{DSS} , le courant de grille I_{GSS} , la résistance de conduction $R_{DS(on)}$, ainsi que les capacités internes du composant.



Pour ces mesures, l'analyseur paramétrique Keysight B1505A est principalement utilisé. Cependant, cet équipement ne permet pas la caractérisation complète des capacités internes. Pour pallier cette limitation, un analyseur paramétrique Keithley 4200A, associé à trois unités de mesure source (SMU), dont l'une permet la polarisation du drain jusqu'à 3 kV (alors que nos composants sont testés jusqu'à 650 V), est également utilisé.

Grâce à cet ensemble de mesure, les capacités parasites C_{gd} , C_{gs} et C_{ds} sont extraites en fonction de la tension de grille V_{gs} (avec $V_{ds} = 0$) ainsi que de la tension de drain V_{ds} (avec $V_{gs} = 0$).

La caractérisation des capacités internes est particulièrement pertinente, car elle fournit des informations sur la structure interne du composant.

3.2. Résultats de l'étude préliminaire

Les caractérisations pré et post-essai permettent de mettre en avant des dérives sur certains paramètres clés. Les résultats montrés ont été obtenus et sont similaires pour 3 DUTs identiques. Aucune dérive significative n'a été observée sur les golden devices. Ainsi, les dérives observées sont bien liées au stress appliqué.

Des dérives permanentes sont observées sur le courant de fuite de grille I_{GSS} (figure 8), le courant de fuite de drain I_{DSS} (figure 9) et la capacité grille-drain en fonction de V_{DS} C_{gs} (figure 10). D'autres dérives, notamment sur V_{th} et $R_{DS(on)}$, sont également observées, mais celles-ci sont réversibles après un temps de repos.

4. CONCLUSIONS

Le nouveau circuit UIS3 que nous avons développé est prometteur pour réaliser des tests de fiabilité de surtensions lors des commutations pour des composants GaN HEMT. Celui-ci est en mesure de mieux découpler les différents stress potentiels comme la polarisation à l'état bloqué par rapport l'UIS classique. L'objectif est ainsi de donner des résultats plus précis en étudiant uniquement l'impact des surtensions dynamiques.

L'utilisation innovante d'une ligne de transmission court-circuitée en série remplace efficacement les inductances à air, offrant de nombreux avantages.

La campagne de tests préliminaire a permis de valider le banc de test et d'identifier les paramètres clés à surveiller pour la campagne de vieillissement.

5. REMERCIEMENTS

Nous exprimons notre sincère gratitude à l'IRT Saint Exupéry et à Schaeffler pour leur précieuse collaboration, qui a grandement contribué à approfondir notre compréhension des mécanismes de dégradation causés par les surtensions dynamiques.

Ce projet PWEVTF d'AMPERE, soutenu par l'IPCEI ME-CT 2026 de Schaeffler (Vitesco Technologies France), est financé par le gouvernement français dans le cadre de France 2030.

6. RÉFÉRENCES

- [1] M. BUFFOLO et al. « Review and Outlook on GaN and SiC Power Devices : Industrial State-of-the-Art, Applications, and Perspectives ». In : *IEEE Transactions on Electron Devices* 71.3 (mars 2024), p. 1344-1355. ISSN : 1557-9646. DOI : [10.1109/TED.2023.3346369](https://doi.org/10.1109/TED.2023.3346369).

- [2] Ruizhe ZHANG et al. « Surge-Energy and Overvoltage Ruggedness of P-Gate GaN HEMTs ». In : *IEEE Transactions on Power Electronics* 35.12 (déc. 2020), p. 13409-13419. ISSN : 1941-0107. DOI : [10.1109/TPEL.2020.2993982](https://doi.org/10.1109/TPEL.2020.2993982).
- [3] R. ZHANG et al. « Dynamic Breakdown Voltage of GaN Power HEMTs ». In : *2020 IEEE International Electron Devices Meeting (IEDM)*. Déc. 2020, p. 23.3.1-23.3.4. DOI : [10.1109/IEDM13553.2020.9371904](https://doi.org/10.1109/IEDM13553.2020.9371904).
- [4] Sheng LI et al. « Comparison Investigations on Unclamped-Inductive-Switching Behaviors of Power GaN Switching Devices ». In : *IEEE Transactions on Industrial Electronics* 69.5 (mai 2022), p. 5041-5049. ISSN : 1557-9948. DOI : [10.1109/TIE.2021.3076705](https://doi.org/10.1109/TIE.2021.3076705).
- [5] M. DAMMANN et al. « Reverse Bias Stress Test of GaN HEMTs for High-Voltage Switching Applications ». In : *2012 IEEE International Integrated Reliability Workshop Final Report*. Oct. 2012, p. 105-108. DOI : [10.1109/IIRW.2012.6468930](https://doi.org/10.1109/IIRW.2012.6468930).
- [6] Tamiris GROSSL BADE et al. « Application of the Double Source Switching Test to GaN HEMTs ». In : sept. 2023, p. 1-7. DOI : [10.23919/EPE23ECCEurope58414.2023.10264519](https://doi.org/10.23919/EPE23ECCEurope58414.2023.10264519).
- [7] L. GHIZZO et al. « Preconditioning of P-GaN Power HEMT for Reproducible V Measurements ». In : *Microelectronics Reliability* 144 (mai 2023), p. 114955. ISSN : 0026-2714. DOI : [10.1016/j.microrel.2023.114955](https://doi.org/10.1016/j.microrel.2023.114955).