

Méthode d'étude de fiabilité de MOSFET SiC mis en parallèle soumis à une avalanche

Aude VALAT-MARTY^[1,2], Joao OLIVEIRA^[2], Marco ANDRADE^[2], Pascal BEVILACQUA^[1], Maximin BLANC^[3], Fabio COCCETTI^[2], Hervé MOREL^[1]

[1] INSA Lyon, Univ. Claude Bernard Lyon 1, Ecole Centrale Lyon, CNRS, Ampère, F-69621, France

[2] IRT Saint Exupéry, F-31400, France [3] Schneider Electric, F-38000, France

RESUME – Cet article concerne la fiabilité de MOSFET en carbure de silicium (SiC), s'intéressant notamment à leur tenue en tension. La problématique de la mise en parallèle de composants de puissance est présentée, ainsi que différentes méthodes d'études de l'avalanche de MOSFET dans la littérature.

Le banc de test réalisé au laboratoire Ampère, qui permet de passer de tests de commutation normale à tests d'avalanche, est détaillé, ainsi que les premières formes d'ondes obtenues pour deux composants en parallèle. La casse de composants en avalanche est également évoquée.

Enfin, un nouveau circuit d'étude de l'avalanche de composants en parallèle, le SCIO, est présenté.

Mots-clés— SiC, fiabilité, MOSFET, avalanche, parallélisation

1. INTRODUCTION

Cette étude s'inscrit dans le cadre du projet SiCRET+ (France 2030), piloté par l'IRT Saint Exupéry (TOULOUSE) et l'ITE Supergrid Institute (LYON). Il vise à étudier la fiabilité des MOSFET en carbure de silicium (SiC), dans une optique de transition énergétique visant à remplacer le silicium par des matériaux plus efficaces pour réduire l'impact écologique. Le sujet principal de ce travail est l'avalanche de MOSFET de puissance en SiC mis en parallèle, dans des conditions ayant pour but d'éviter la destruction des composants.

Les MOSFET SiC ont plusieurs modes de défaillance, qui viennent de la dégradation de la grille ou de la diode interne (Figure 1) [1]. Le phénomène d'avalanche impose un stress à la fois à la grille et à la diode interne, et peut entraîner plusieurs de ces modes de défaillance. Cependant, l'étude ne se concentre pas sur les défaillances, puisque la casse est évitée.

1.1. Fiabilité de l'électronique de puissance

L'électronique de puissance intervient dans des applications demandant de la tension et de forts courants, comme dans le cas des transports. Elle concerne donc des composants qui doivent être robustes, avoir une bonne tenue en température, supporter beaucoup de cycles et des situations critiques (comme le court-circuit ou l'avalanche). Leur résilience à différents types de stress dépend des matériaux qui les composent, et le carbure de silicium (SiC) est un bon candidat pour remplacer le silicium dans diverses applications de haute puissance de par ses paramètres physiques (comme son bon coefficient de température, par exemple) [2-3].

Cependant, à cause des limites de courant nominal dans les composants de puissance en SiC, il peut être nécessaire de les paralléliser, et ce afin d'atteindre les niveaux de courant voulus. Cette mise en parallèle présente ses propres enjeux.

1.2. Mise en parallèle de composants

La mise en parallèle de MOSFET permet d'atteindre des niveaux de courants plus élevés, ce qui permet aux MOSFET de puissance en SiC d'être utilisés dans des applications similaires aux IGBT en Si. Cette mise en parallèle peut notamment être intégrés dans des modules de puissance. Les modules de puissance sont très utilisés en électronique de puissance, mais cette étude se concentre sur deux puces discrètes en boîtier TO-247-4, pour connaître leur comportement général dans des cas en parallèle. Cela permet de les étudier sans avoir d'interférences dues à l'installation dans un module, qui crée de nouvelles variables (conception, boîtier...) qui seraient plus difficiles à évaluer.

La mise en parallèle peut poser des problèmes au niveau du partage du courant entre les composants. Elle peut également provoquer un déséquilibre dans la répartition de leur énergie dissipée et de leur température, puisque ces deux grandeurs sont directement liées au courant. Ces déséquilibres peuvent accélérer le vieillissement des composants (c'est-à-dire réduire leurs performances, comme c'est le cas pour n'importe quel composant après une utilisation répétée dans le temps, mais cela a lieu dans un temps plus court) ou même les casser mécaniquement. Si les puces n'ont pas un partage équilibré de stress électrique et thermique il est possible qu'une puce vieillisse plus vite, accentuant cet écart, ou même casse en première, forçant la ou les puces restantes à supporter un courant supérieur à leur courant nominal. Cela serait désastreux pour le circuit, et ce même au cours d'une utilisation « normale » sur le long-terme.

1.3. Avalanche d'un MOSFET

On parle d'« avalanche par ionisation par impact » (ou juste « avalanche ») lorsqu'une forte tension apparaît aux bornes d'un composant (souvent à cause de la présence d'un élément inductif dans le circuit) et que le champ électrique résultant crée un phénomène de multiplication par ionisation. Un fort courant apparaît, et le composant risque donc de dysfonctionner, de chauffer et de casser. Certains composants cassent dès l'apparition d'une trop forte tension à leurs bornes, mais d'autres peuvent supporter cette avalanche, et on dit alors qu'ils sont en « mode d'opération en avalanche (MOA) ».

Les MOSFET sont notamment caractérisés par leur « tension de claquage » (aussi dite « Breakdown Voltage » ou V_{BR}), qui est la tension drain-source (Figure 1) maximale qu'ils peuvent atteindre au cours d'une avalanche, formant ainsi un plateau caractéristique de l'avalanche dans les formes d'ondes.

Le terme est utilisé même lorsque le composant ne connaît pas de claquage du diélectrique (il peut fonctionner en MOA, avec une énergie d'avalanche trop faible pour endommager l'oxyde de grille), c'est pourquoi l'on fait la distinction explicite avec

une casse physique. Le V_{BR} est limité par le champ critique supporté par le matériau semi-conducteur, et par le dessin du composant. Le V_{BR} affiché dans les fiches techniques est typiquement une tension maximale recommandée, inférieure au véritable V_{BR} physique du composant, par sécurité.

Au cours de l'avalanche peuvent apparaître des points chauds sur certaines parties du composant, sans détermination claire de la zone d'échauffement : l'article en [4] les cite comme étant « aléatoirement distribués dans la zone active du composant » et l'article en [5] les cite comme étant toujours situés sur la terminaison de source du composant. Ces points chauds sont observables en décapsulant des composants détruits.

Il est également possible que le courant passant dans la diode interne au cours de l'avalanche élève la température globale du composant jusqu'à atteindre une température critique (par exemple celle de la métallisation) et qu'il casse.

L'avalanche n'est pas le stress principalement étudié dans les MOSFET en SiC (le court-circuit est par exemple bien plus courant), car elle peut être souvent évitée en travaillant au niveau du dessin du composant ou du circuit. Cependant, d'un côté, même si les avalanches peuvent être moins courantes dans les composants de puissance actuels, elles restent des événements exceptionnels très destructifs, et peuvent donc devenir un point critique dans certaines applications. D'un autre côté, l'avalanche est utilisée dans certains cas pratiques, tels que les disjoncteurs statiques (à temps de réaction plus courts que les disjoncteurs thermiques), ou encore des générateurs d'impulsion (la haute tension permettant de générer des électrons de forte énergie). L'avalanche peut être utilisée pour étudier le vieillissement des composants ([6-7]). Cependant, l'incertitude quant à la localisation des points chauds causant la défaillance rend cette approche plus difficile à exploiter. Le vieillissement de composants soumis à avalanche répétitive, dans leur fonctionnement habituel ou dans des cas extrêmes, est un point d'intérêt du projet SiCRET+.

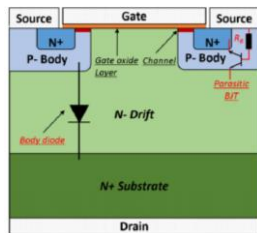


Figure 1 – Structure d'un MOSFET de puissance (extrait de [8] – Figure 1).

1.4. Suivi des stress

Il existe différents tests pour vérifier le bon fonctionnement des composants, prédire leur vieillissement et leur durée de vie sur un certain temps (leur fiabilité). Les tests de fiabilité consistent en l'application volontaire d'un stress (thermique, mécanique, électrique, etc.) qui apparaîtrait pendant l'utilisation normale du composant, ou au cours d'accidents exceptionnels (court-circuit, avalanche, etc.). Ces tests peuvent être appliqués à répétition (on parle alors de « cyclage ») pour simuler le vieillissement des composants.

Au cours de cette étude dans le cadre de SiCRET+ l'évolution d'un MOSFET est suivie à travers les tests typiques de fonctionnement : caractéristique de sortie $I_d(V_d)$, caractéristique de transfert $I_d(V_g)$, et mesures des capacités internes et des courants de fuite. On peut ainsi vérifier l'évolution, à travers l'utilisation du MOSFET, de paramètres tels que sa tension de seuil ou sa résistance de drain-source à l'état passant ($R_{ds,on}$).

Il est utilisé pour cela au laboratoire Ampère des analyseurs de puissance (B1505A (Keysight) et 4200A-SCS (Keithley)) in-

cluant des *Source Measurement Units* (SMU) lors de caractérisation pré-stress et post-stress : une tension est appliquée et le courant sortant est lu, selon plusieurs configurations. De plus, la température de test (qui influence les paramètres étudiés) est mesurée à l'aide de sondes thermiques. Lors de l'étude de l'avalanche, des sondes de tension et des *shunts* permettent de récupérer des informations sur la dérive de paramètres intrinsèques du composant tels que sa tension de seuil ou son V_{BR} .

2. ETUDE USUELLE DE L'AVALANCHE

2.1. Caractérisation des composants et test de commutation normale (DPT)

Comme mentionné dans le paragraphe précédent, afin d'étudier la réponse des composants aux stress électrique et thermique de l'avalanche, il faut les caractériser avant et après ladite avalanche. Cependant, un autre point important avant tout test de stress est de vérifier que les MOSFET de puissance étudiés fonctionnent correctement en commutation normale.

Pour cela est utilisé le test classique de double impulsion (ou « *Double-Pulse Test* », DPT [9]), qui consiste à utiliser une cellule de commutation avec 2 interrupteurs et une inductance, en rendant un des interrupteurs passant puis l'autre, permettant ainsi d'étudier la dynamique des composants en commutation et leurs pertes en énergie. Seul l'interrupteur du côté relié à la masse du système est étudié en avalanche (le « *Device Under Test* », « DUT »). L'autre sert à la roue libre, c'est-à-dire à la décharge de l'inductance lors du blocage du composant étudié. Le DUT est commandé avec une longue impulsion ($\sim 10\mu s$) et une seconde impulsion plus courte ($\sim 1\mu s$), permettant ainsi de fixer le niveau de courant (non-nul) à la fois à l'ouverture et à la fermeture du circuit (Figure 2).

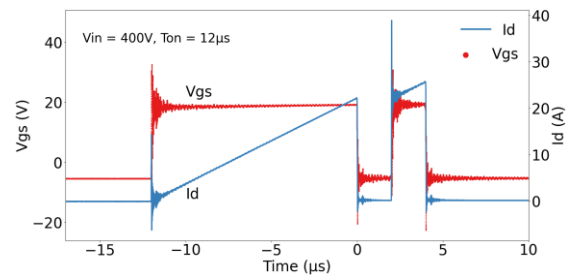


Figure 2 – Formes d'onde d'un test « Double Pulse » sur un MOSFET unique obtenu à l'aide du circuit de test d'Ampère en Figure 7.

2.2. Paramètres d'étude de l'avalanche

Les principaux paramètres étudiés – dans cet article – de deux MOSFET en parallèle en avalanche sont la tension de claquage V_{BR} , la tension de seuil V_{TH} et le courant d'avalanche I_{AV} (le courant maximal qui parcourt le DUT en avalanche, courant qui vient de l'inductance chargée avant ouverture du composant). En effet, les écarts de V_{BR} affectent le plus fortement la tenue en avalanche de composants mis en parallèle ([10-11]), le courant d'avalanche influence directement les niveaux d'énergie et de chaleur et donc le stress connu par le composant, et la différence de tension de seuil crée un retard dans la mise en avalanche des deux composants.

Or, si l'avalanche se déclenche plus tôt pour un composant, celui-ci doit supporter tout le stress électrique pendant ce temps de retard, et si ça a lieu systématiquement, ce composant risque de vieillir prématurément par rapport à l'autre. Toutefois, les constructeurs vendent typiquement des puces avec des V_{TH} similaires dans un même lot, puisque la tension de seuil est le paramètre de déséquilibre le plus problématique lors d'une com-

Figure 6 – Éléments principaux du banc de test utilisé au laboratoire Ampère.

3.2. Tests de commutation normale

Dans cette étude, une diode Schottky en SiC (Figure 7, diode D1) est utilisée au lieu du traditionnel MOSFET (les circuits de DPT étant souvent basés sur un format de bras d'ondeur), car ce circuit de DPT est réalisé en débranchant les inductances L_d du circuit en Figure 8, en connectant sa diode de roue libre D1 et en utilisant une commande de grille commune.

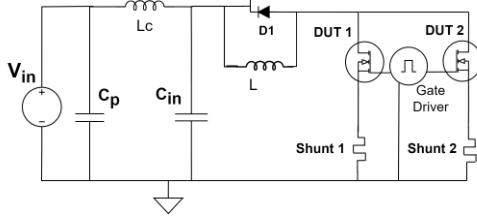


Figure 7 – Circuit de test « Double Pulse » utilisé au laboratoire Ampère pour 2 MOSFET en parallèle (le même circuit de test est utilisé pour un test à 1 MOSFET, sans DUT 2). La diode D1 a deux connexions de cathode.

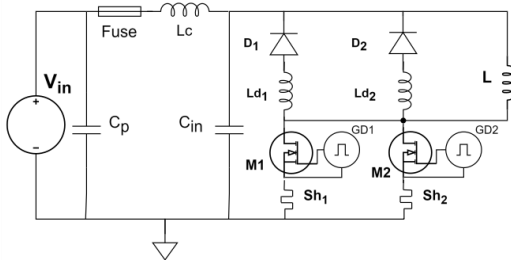


Figure 8 – Circuit de SCIO, en cours de réalisation au laboratoire Ampère (avec soit une GD en commun, soit les deux présentes sur le schéma). GD = commande de grille, Sh = shunt. L'inductance L_c est une inductance parasite de câblage. Les inductances « L_d » sont des inductances inférieures à L mais supérieures à une simple inductance de câblage.

Nous avons testé la commutation d'un composant discret (Figure 2), puis de deux en parallèles (Figure 9). Les formes d'ondes correspondent à ce qui est attendu [15]. On peut observer dans les deux cas des pics à l'ouverture et à la fermeture sur les formes d'ondes obtenues au niveau de la commande de la grille. Ils sont supposés être dus au temps de réponse de la diode Schottky utilisée comme second interrupteur. Les deux composants en parallèle ont bien une commande synchronisée, ce qui est nécessaire pour notre étude en avalanche.

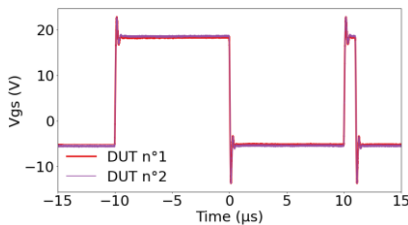


Figure 9 – Formes d'onde d'un test « Double Pulse » sur deux composants en parallèle obtenu à l'aide du circuit de test d'Ampère en Figure 7.

3.3. Test Unclamped Inductive Switching (UIS)

Plusieurs tests d'UIS ont été réalisés à Ampère, avec le circuit présenté en Figure 3, d'abord sur un MOSFET discret puis sur 2 MOSFET en parallèle.

3.3.1. Test à 1 composant

Ces tests ont été réalisés à $V_{IN}=20V$, en faisant varier T_{ON} , afin d'étudier la variation du niveau de courant de charge de l'inductance I_{AV} au moment de l'avalanche (Figure 10). On peut observer deux formes qui reviennent lors des études en UIS : une forme en « cloche » et qui n'est donc pas une avalanche (courbe $T_{on}=25\mu s$), visible à bas courant I_{AV} ou à basse tension d'entrée

V_{IN} (Figure 11, courbe $V_{in}=30V$) ; et une forme avec un « plateau » de tension (courbes $T_{on}=30\mu s$ et, plus clairement, courbe $T_{on}=35\mu s$), typique de l'avalanche.

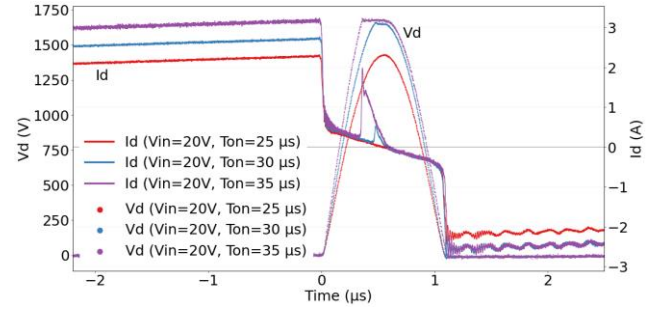


Figure 10 – Formes d'ondes (V_d , I_d) de tests d'UIS réalisés sur un MOSFET SiC de puissance au laboratoire Ampère pour des temps de conduction du MOSFET différents.

Dans les deux cas d'avalanche visible, on peut observer une première chute importante du courant I_d , qui diminue jusqu'à environ 0A, avant de voir apparaître un nouveau courant (en partie capacitif et dont la valeur dépend donc de dV/dt) au début de l'avalanche. Cela est dû au temps de réaction du composant, qui ne part pas immédiatement en avalanche. Il reste donc bloquant un certain temps, jusqu'à laisser passer du courant (ce qui correspond notamment au temps de charge de son condensateur interne C_{OSS}), mais pendant cette durée de montée de la tension l'inductance se décharge de son courant. Puisque le shunt permet de mesurer le courant I_d et non le courant I_L de l'inductance, on ne peut pas observer la phase de déchargement en roue libre. On observe une avalanche qui n'a pas lieu avec le niveau de courant maximal $I_{AV}=I_{d(coupure)}$ ($\sim 3A$ pour $T_{on}=35\mu s$), comme dans la théorie (Figure 4), mais avec un courant $I_{AV}<I_{d(coupure)}$ ($\sim 2A$ pour $T_{on}=35\mu s$). C'est parce que ce courant est mesurable uniquement lorsque le DUT est forcé d'être passant au cours de la MOA.

Le courant I_d diminue à 0A, ce qui marque la fin de l'avalanche (bien qu'il soit difficile de déterminer si le courant est nul ou s'il n'est plus mesurable par le shunt), et il affiche des valeurs négatives en miroir des valeurs affichées au début de l'avalanche : il s'agit d'un courant capacitif, correspondant au déchargement des condensateurs internes du MOSFET.

Un dernier test a été réalisé à $T_{on}=40\mu s$, au cours duquel le composant a cassé, ses résistances drain-source et grille-source affichant respectivement 12Ω et 2Ω , au lieu des valeurs attendues de 0Ω au niveau de la grille et de l'ordre du $M\Omega$ au niveau du drain. Son énergie critique est détaillée en 3.3.3.

3.3.2. Test à 2 composants

Contrairement aux tests à 1DUT, ces tests de 2DUT ont été réalisés en faisant varier la tension V_{IN} (Figure 11), et avec un temps de $T_{on}=10\mu s$, afin d'éviter une casse prématurée.

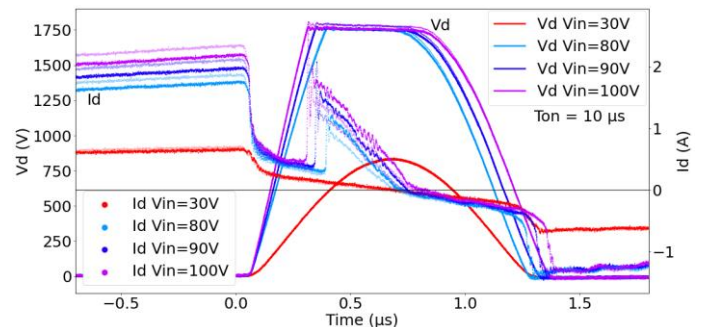


Figure 11 – Formes d'ondes (V_d , I_d) de tests d'UIS réalisés sur deux MOSFET SiC de puissance en parallèle au laboratoire Ampère pour des

tensions d'entrée du circuit différentes. Le DUT n°1 est tracé avec une ligne plus épaisse (Vd) et une couleur plus vive (Vd, Id).

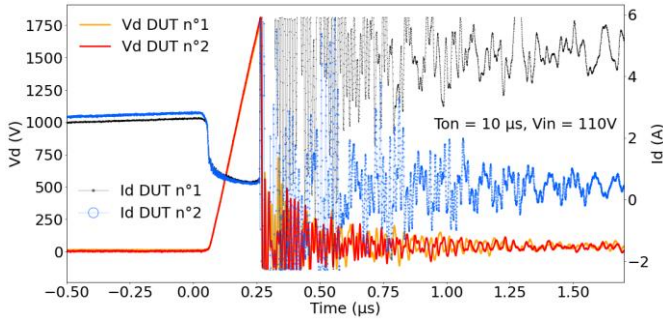


Figure 12 – Formes d'ondes (Vd, Id) d'un test d'UIS réalisé sur deux MOSFET SiC de puissance en parallèle au laboratoire Ampère. Les formes d'ondes sont typiques d'une casse de composant.

Les courbes de Vd se superposent pour les deux DUT, avec une légère différence au niveau du plateau de tension à $V = V_{BR}$, mais les retours de masse n'ont pas pu être faits sur les mêmes points pour des raisons pratiques, ce qui peut créer des différences de mesure.

On peut constater la même forme de « cloche » que celle vue à basse tension/courant pour 1 seul DUT, puis avec une tension V_{IN} suffisante des plateaux en tension typiques d'une avalanche.

La même forme du courant est observée, avec un pic au début de l'avalanche (qui augmente d'un test à l'autre) et une chute à 0A avant que la tension ne soit retombée. Les courants des deux composants ne se confondent pas, indiquant qu'ils ne se partagent pas équitablement le courant, malgré des avalanches commençant au même moment. Cela indique typiquement ([11], [16]) une différence de V_{BR} , pourtant les deux composants choisis avaient un $\Delta V_{BR} = 0,1$ V d'après les pré-caractérisations. Cet écart pourrait donc venir d'autres paramètres influençant le courant d'avalanche (comme une différence de $R_{ds,on}$).

Enfin, pour une tension V_{IN} de 110V, des formes d'ondes typiques d'une casse de composant sont apparues (Figure 12). Malgré ces dernières formes d'ondes, un test au multimètre des résistances des pattes des composants a montré que bien que le DUT n°1 soit détruit (avec une résistance de drain-source de $0,5\Omega$ et une résistance de grille-source de 1Ω), le n°2 avait des niveaux de résistance encore cohérents.

3.3.3. Énergie critique de casse d'un composant en UIS

Lorsqu'un composant se casse au cours d'une avalanche, le dernier point avant la casse donne des informations sur sa tenue en énergie. La dernière énergie d'avalanche qu'il a supportée avant de casser peut être désignée comme « énergie critique » [17], en supposant que les paramètres de la mesure précédant la casse et ceux de la casse sont assez proches.

L'énergie d'avalanche correspond à l'intégrale de la puissance électrique du composant au cours de l'avalanche, soit (1). Cette équation requière cependant d'avoir une définition claire du temps d'avalanche, qui sert de bornes d'intégration. Dans cette étude, il est considéré que l'avalanche commence lorsque la tension Vd atteint une valeur très proche de V_{BR} , que l'on considère comme étant la moyenne du plateau en tension au cours de l'avalanche, et qu'elle s'achève lorsque le courant Id retombe à 0A. Le choix du $V_d = V_{BR}$ est plus compliqué si le V_{BR} évolue fortement à cause d'effets d'auto-échauffement, par exemple.

Dans la plupart des applications, une formule est utilisée (2), qui se repose sur plusieurs hypothèses précises (on considère la charge de courant d'inductance comme linéaire, le V_{BR} comme

constant au cours de l'avalanche, etc.) et qui permet d'obtenir une valeur approximative. Les deux méthodes sont utilisées dans cette étude, expérimentalement (Figure 13) ou en simulation (Figure 14) pour obtenir un écart de valeurs cohérentes.

$$E_{av} = \int_{t_{début_{av}}}^{t_{fin_{av}}} i_a(t) \cdot V_d(t) dt \quad (1)$$

$$E_{av} = \frac{1}{2} \cdot I_{av}^2 \cdot L \cdot \left(\frac{V_{bd}}{V_{bd} - V_{IN}} \right) \quad (2)$$

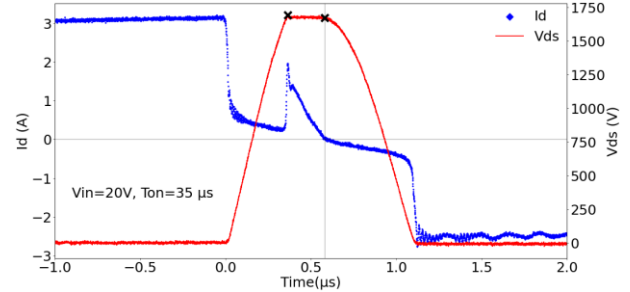


Figure 13 – Formes d'ondes (Vd, Id) du dernier test d'UIS avant casse du composant réalisé sur un MOSFET SiC de puissance au laboratoire Ampère. Les croix noires indiquent les début et fin de l'avalanche (durée de 0,216μs).

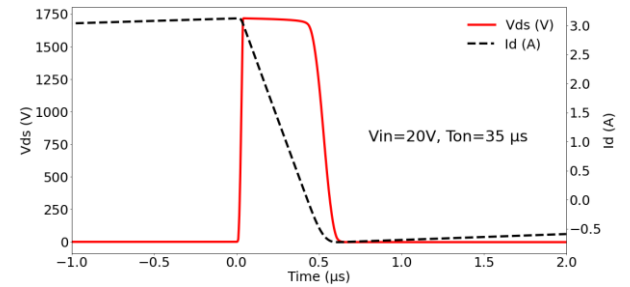


Figure 14 – Formes d'ondes (Vd, Id) simulées avec LTspice sous les mêmes conditions que dans Figure 13. Durée de l'avalanche : 0,373μs.

Énergie	Expérience (mJ)	Simulation (mJ)
Formule théorique	0,426 ($I_{AV} = 1,97A$) 1,140 ($I_{AV} = I_{d(coupeure)} = 3,21A$)	1,074
Intégration	0,274	1,022

Tableau 1 – Résumé des énergies critiques en mJ calculées d'après les formes d'ondes et paramètres de test de Figure 13, Figure 14.

Les résultats sont de même ordre de grandeur pour les 4 configurations, mais la forme du courant expérimental amène des différences : $I_{AV(eff)}$ est 38% plus faible que $I_{AV(turn-off)}$, ce qui réduit fortement sa valeur théorique, et le temps d'avalanche est 50% plus court ($0,22\mu s$ au lieu de $0,37\mu s$), ce qui réduit le temps d'intégration et donc la valeur obtenue.

Les formes d'ondes du composant mis en parallèle qui a cassé ne sont pas ici par soucis de concision, mais les calculs utilisant la formule théorique et l'intégration donnent des valeurs respectives de 0,871 mJ et 0,579 mJ, qui restent dans le même ordre de grandeur que le Tableau 1 (ce qui est attendu puisque les niveaux de courant et de tension sont du même ordre de grandeur entre les derniers tests avant casse à 1 et à 2 DUT).

4. PERSPECTIVES

Quelques perspectives pour la suite de ce projet.

4.1. Switching Circuit with Intentional Overvoltage (SCIO)

Le test de *Switching Circuit with Intentional Overvoltage* (SCIO), qui est un point original de l'étude de l'avalanche dans

le projet SiCRET+, permet de simuler un cas spécifique d'avalanche. Ce cas a lieu lorsqu'un élément inductif parasite, avec une inductance de faible valeur, provoque malgré tout une surtension ou une avalanche de par sa position proche du DUT.

Dans cette version du circuit (Figure 8), l'inductance L sert maintenant uniquement de source de courant pendant l'avalanche, à cause de son éloignement des composants et de son inertie, en comparaison à celle des plus petites inductances « parasites » L_d . La présence d'une petite inductance parasite près d'un composant peut provoquer non seulement une avalanche, mais crée également un pic de surtension à l'ouverture du composant, qui dépend de la valeur de l'inductance. En faisant varier la valeur de l'inductance on peut modifier l'amplitude de cette surtension. Les diodes présentes en série avec les L_d servent à la fois de roue libre, et pour limiter l'amplitude maximale de la surtension.

Ce circuit permettra d'étudier l'impact de ce type d'avalanche sur un circuit de MOSFET en parallèle, notamment en terme de partage d'énergie ou même de vieillissement après surtensions répétitives. Le circuit d'étude du SCIO est en cours de test au laboratoire Ampère et à l'IRT Saint-Exupéry.

4.2. Simulation d'avalanche

La simulation de l'avalanche pour un composant se fait dans LTspice, en utilisant les modèles fournis par le constructeur. La simulation de l'UIS à un composant donne des formes d'ondes similaires, et permet déjà des comparaisons, mais elle doit être ajustée au niveau des éléments parasites. La simulation de l'UIS à deux composants n'est pas du tout présentée ici car elle est en cours de développement, notamment pour ajuster les modèles de MOSFET aux composants utilisés, et pour prendre en compte des éléments parasites du circuit.

5. CONCLUSION

Cette étude concerne l'avalanche de deux MOSFET SiC de puissance mis en parallèle. L'avalanche est un phénomène susceptible de causer un vieillissement (possiblement déséquilibré s'il y a deux composants ou plus en parallèle) ou de la casse. L'avalanche est ici étudiée en passant d'abord par une pré-caractérisation des composants et de leur commutation (par test de « Double Pulse »), puis en appliquant des tests d'*Unclamped Inductive Switching* (UIS) à un composant et enfin à deux en parallèle. L'UIS étant standard dans l'industrie et la littérature, de nombreuses comparaisons sont possibles, et à ces expériences s'ajoute des simulations LTspice d'UIS d'un MOSFET.

Les formes d'ondes théoriques et expérimentales sont discutées, ainsi que la casse d'un composant (en présentant ses formes d'onde et énergie critique). Le banc de test est décrit en détail, et un nouveau circuit de test de l'avalanche est présenté, le « circuit de commutation avec surtension volontaire » (SCIO), qui est en cours de réalisation au laboratoire Ampère. Il permettra d'étudier un type d'avalanche peu décrit dans la littérature, l'avalanche avec surtension à l'ouverture, afin de s'éloigner des applications de l'UIS (tels que les disjoncteurs statiques) pour s'intéresser à de nouveaux cas de figure de dysfonctionnement.

6. REMERCIEMENTS

Ce travail a été réalisé dans le cadre du projet SiCRET+ (SiC Reliability Evaluation for Transport+), porté par l'IRT Saint-Exupéry et l'ITE Supergrid Institute. Nous remercions les

membres industriels et académiques du projet SiCRET+ pour leur soutien financier, ainsi que l'Etat français pour son appui financier via le programme France 2030 référencé ANR-10-AIRT-0001.

Membres industriels de SiCRET+ : ALSTOM TRANSPORT SA, ALTER TECHNOLOGY, AIRBUS DEFENCE AND SPACE, AIRBUS OPERATIONS SAS, LIEBHERR TRANSPORTATION TOULOUSE SAS, NUCLETUDES, SAFRAN SA, SCHNEIDER ELECTRIC INDUSTRIES SAS, VALEO ELECTRIFICATION.

Membres académiques de SiCRET+ : AMPERE, SATIE, ICAM, IMS, G2Elab, DGA.

7. REFERENCES

- [1] D. K. Ngwashi et L. V. Phung, « Recent review on failures in silicon carbide power MOSFETs », *Microelectron. Reliab.*, vol. 123, p. 114169, août 2021, doi: 10.1016/j.microrel.2021.114169.
- [2] J. Wang, « A Comparison between Si and SiC MOSFETs », *IOP Conf. Ser. Mater. Sci. Eng.*, vol. 729, n° 1, p. 012005, janv. 2020, doi: 10.1088/1757-899X/729/1/012005.
- [3] J. Biela, M. Schweizer, S. Waffler, et J. W. Kolar, « SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors », *IEEE Trans. Ind. Electron.*, vol. 58, n° 7, p. 2872-2882, juill. 2011, doi: 10.1109/TIE.2010.2072896.
- [4] S. Tuncay, G. Zeng, G. De Falco, et T. Basler, « Avalanche ruggedness and failure mode of SiC trench MOSFETs », *Microelectron. Reliab.*, vol. 150, p. 115196, nov. 2023, doi: 10.1016/j.microrel.2023.115196.
- [5] M. D. Kelley, B. N. Pushpakaran, et S. B. Bayne, « Single-Pulse Avalanche Mode Robustness of Commercial 1200 V/80 mΩ SiC MOSFETs », *IEEE Trans. Power Electron.*, vol. 32, n° 8, p. 6405-6415, août 2017, doi: 10.1109/TPEL.2016.2621099.
- [6] J. Abuogo, T. Basler, et J. Lutz, *Switch Mode Power Cycling Test of Silicon Carbide MOSFETs using Repetitive Avalanche for Heat Generation*. DE: VDE VERLAG GMBH, 2023. Consulté le: 2 avril 2025. [En ligne]. Disponible sur: <https://doi.org/10.30420/566091127>
- [7] J. Abuogo, C. Schwabe, J. Lutz, et T. Basler, « Comparison of a Power Cycling Test using Repetitive Unclamped Inductive Switching for Heat Generation with the DC Power Cycling Test », in *2023 25th European Conference on Power Electronics and Applications (EPE'23 ECCE Europe)*, Aalborg, Denmark: IEEE, sept. 2023, p. 1-8. doi: 10.23919/EPE23ECCEurope58414.2023.10264427.
- [8] A. Fayyaz et al., « UIS failure mechanism of SiC power MOSFETs », in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Fayetteville, AR, USA: IEEE, nov. 2016, p. 118-122. doi: 10.1109/WiPDA.2016.7799921.
- [9] Z. Zhang, B. Guo, F. F. Wang, E. A. Jones, L. M. Tolbert, et B. J. Blalock, « Methodology for Wide Band-Gap Device Dynamic Characterization », *IEEE Trans. Power Electron.*, vol. 32, n° 12, p. 9307-9318, déc. 2017, doi: 10.1109/TPEL.2017.2655491.
- [10] A. Fayyaz, B. Asllani, A. Castellazzi, M. Riccio, et A. Irace, « Avalanche ruggedness of parallel SiC power MOSFETs », *Microelectron. Reliab.*, vol. 88-90, p. 666-670, sept. 2018, doi: 10.1016/j.microrel.2018.06.038.
- [11] Z. Lou, K. Wada, W. Saito, et S. Nishizawa, « Investigations on acceptable breakdown voltage variation of parallel-connected SiC MOSFETs applied to solid-state circuit breakers », *Microelectron. Reliab.*, vol. 126, p. 114270, nov. 2021, doi: 10.1016/j.microrel.2021.114270.
- [12] C. Herrmann, « Energy Balancing in Paralleled SiC MOSFETs During an Avalanche Event », 2024.
- [13] B. Bernoux, « Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides ». 2024.
- [14] Littelfuse, « Discrete Power MOS datasheet explanation ». 2024.
- [15] Tektronix, « Double Pulse Testing for Power Semiconductor Devices with an Oscilloscope and Arbitrary Function Generator ». avril 2025.
- [16] H. Mao, L. Ran, H. Chen, X. Zhou, et H. Jiang, « Avalanche capability degradation of the parallel-connected SiC MOSFETs », *Microelectron. Reliab.*, vol. 142, p. 114926, mars 2023, doi: 10.1016/j.microrel.2023.114926.
- [17] X. Deng et al., « Investigation and Failure Mode of Asymmetric and Double Trench SiC mosfets Under Avalanche Conditions », *IEEE Trans. Power Electron.*, vol. 35, n° 8, p. 8524-8531, août 2020, doi: 10.1109/TPEL.2020.2967497.