

Cellule de commutation GaN et son circuit driver monolithique à contrôle actif rapide de dv/dt

Joseph KEMDENG, Marc COUSINEAU, Nicolas ROUGER
LAPLACE, CNRS, INPT, Université de Toulouse, Toulouse, France

RESUME - Les faibles capacités intrinsèques des transistors en nitrure de gallium induisent des vitesses de commutation élevées et donc des pertes par commutation faibles. Néanmoins, ces vitesses de commutation élevées peuvent générer des perturbations électromagnétiques importantes. L'utilisation des transistors GaN nécessite donc le développement de nouvelles méthodes de gestion de la commutation pour améliorer le compromis pertes-CEM. Cet article présente une cellule de commutation GaN intégrée de façon monolithique en technologie GaN-on-SOI avec un gate driver actif qui permet un contrôle rapide du dv/dt par rétroaction. Cette méthode de contrôle permet une réduction du dv/dt pouvant aller jusqu'à 40% avec une augmentation plus faible de l'énergie de commutation qu'une méthode de contrôle classique utilisant uniquement la résistance de grille ou la taille des transistors du buffer comme paramètres de contrôle. Les résultats expérimentaux ont montré une réduction de plus de 50% du dv/dt à l'amorçage d'un transistor GaN sous une tension de bus de 48V pour des vitesses inférieures à 5 V/ns.

Mots-clés— Commande rapprochée, GaN, GaN-on-SOI, gate driver actif, dv/dt , boucle de rétroaction.

1. INTRODUCTION

Les transistors de puissance en nitrure de gallium possèdent des propriétés physiques supérieures à celles de leurs homologues en silicium [1]. Leurs figures de mérites (R_{on} , Q et $R_{on} \cdot S$) garantissent des vitesses de commutation élevées et une meilleure densité de puissance, ce qui les rend particulièrement adaptés aux applications de puissances embarquées (chargeurs de téléphone ou chargeurs embarqué pour le véhicule électrique par exemple). Cependant, l'interaction entre le transistor de puissance et son circuit de commande rapproché en technologie CMOS silicium introduit des inductances parasites qui peuvent générer des oscillations et des surtensions au niveau de la grille du transistor ou forcer à limiter les vitesses de commutation. Toutefois, en raison de leur configuration latérale, l'intégration au sein d'une puce et sur un substrat commun de plusieurs transistors de puissance ainsi que de leur commande rapprochée respective est possible [2]. La Fig. 1 présente notamment un transistor GaN piloté par un driver silicium, chacun étant mis en boîtier séparément, alors que la Fig. 2 montre un transistor GaN avec sa commande rapprochée intégrée de façon monolithique assurant une suppression quasi totale des inductances parasites de la maille de grille. En plus d'une intégration de la commande rapprochée, l'intégration monolithique permet également le développement de fonctions analogiques et logiques pour la protection et la surveillance de l'état de santé au plus proche du transistor.

L'un des avantages principaux des transistors en nitrure de gallium est leur vitesse de commutation élevée (de l'ordre de 20 V/ns à plus de 150 V/ns, particulièrement pour les

transistors moyenne tension). Cependant, ces vitesses de commutation élevées peuvent créer des surintensités dans le composant (affectant ainsi la durée de vie de celui-ci [3]) ou générer des perturbations électromagnétiques (pouvant affecter le fonctionnement global du système [4]). La solution la plus répandue pour réduire ces vitesses de commutation est d'augmenter la résistance de grille R_G habituellement placée entre le gate driver et le transistor de puissance ou d'utiliser une segmentation de l'étage de sortie du gate driver appelé buffer. Cette dernière méthode de contrôle a par exemple été développée dans [5] où une cellule de commutation GaN 200V avec gate drivers et un système de contrôle du dv/dt par segmentation du buffer ont été intégrés dans une puce. Cela résulte néanmoins en une augmentation significative des pertes par commutation au sein du transistor de puissance. Ces deux techniques de contrôle classiques rentrent dans la catégorie des gate drivers considérés comme conventionnels (GDC). L'une des méthodes proposées pour limiter l'augmentation excessive de l'énergie de commutation est d'utiliser un gate driver actif (GDA) permettant de contrôler la séquence dv/dt indépendamment de la séquence di/dt lors de la commutation du transistor. S'il est évident qu'un ralentissement du dv/dt entraîne une augmentation de l'énergie de commutation, la Fig. 3 illustre la quantité d'énergie liée à la séquence di/dt qui peut être économisée par un contrôle indépendant du dv/dt . La Fig. 4 illustre quant à elle la nouvelle zone de compromis (pertes vs dv/dt) qui peut être atteinte par l'utilisation d'un GDA pour la gestion de la commutation. [6] a présenté un gate driver CMOS silicium intégrant un système de contrôle du dv/dt pour les transistors en nitrure de gallium ; celui-ci a permis une réduction du dv/dt de 175 V/ns à 125 V/ns sans impact sur le di/dt . Aucun système de contrôle indépendant du dv/dt en GaN n'existe à ce jour dans la littérature. De ce fait, cet article présente un gate driver GaN avec un contrôle actif du dv/dt à l'amorçage par boucle de rétroaction intégré à une cellule de commutation GaN, elle aussi monolithique. Le circuit intégré de puissance a été réalisé en utilisant la plateforme d'intégration 200V GaN-on-SOI développée par IMEC et accessible via EUROPRACTICE. La Section II de cet article est dédiée à la description du circuit intégré de puissance avec son gate driver actif, la section III présente les résultats de simulation et finalement la section IV présente les résultats expérimentaux.

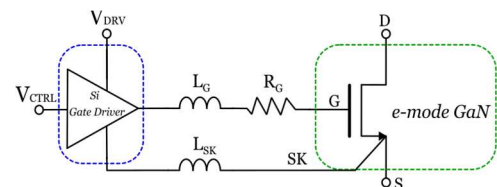


Fig. 1. Transistor GaN piloté par un gate driver Si

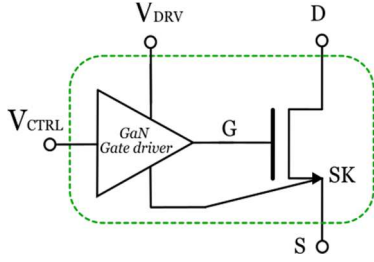


Fig. 2. Transistor GaN et son gate driver GaN intégré

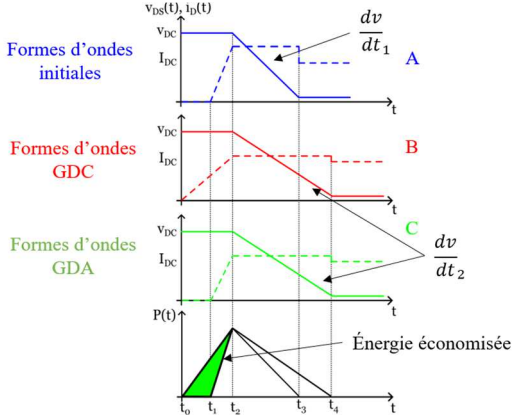


Fig. 3. Impact du GDA sur l'énergie de commutation

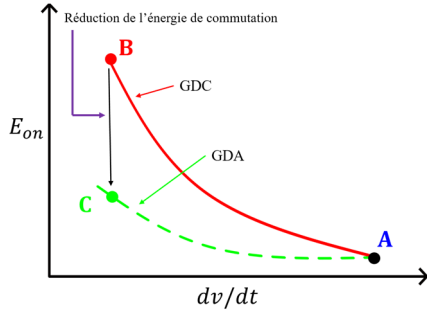


Fig. 4. Impact du GDA sur le compromis E_{on} vs dv/dt

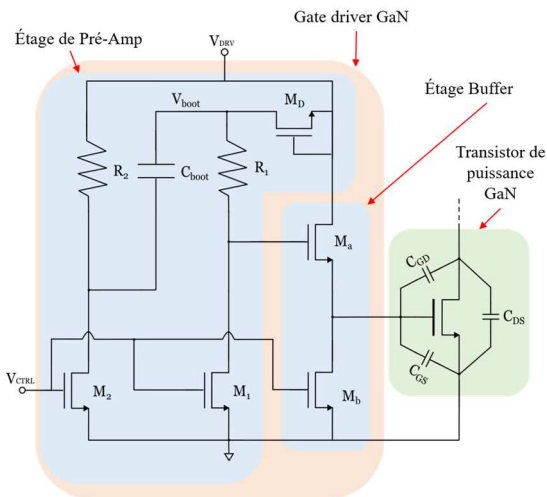


Fig. 5. Schéma électrique du transistor GaN et de son gate driver intégré

2. DESCRIPTION DU CIRCUIT INTEGRE DE PUISSANCE AVEC CONTROLE ACTIF DU DV/DT

La technologie 200 V a été retenue principalement pour raison de disponibilité et calendrier, bien qu'une autre option 650 V est aussi disponible par la même fonderie. Les autres fonctions intégrées restent similaires entre le cœur 200 V et 650

V, et notre étude est transposable. La Fig. 5 présente un transistor GaN avec le gate driver intégré qui a été développé dans le cadre de ces travaux. Le gate driver GaN est composé de deux étages que sont l'étage buffer et l'étage de pré-amplification. Les transistors M_a et M_b représentent respectivement les transistors d'amorçage et de blocage du transistors de puissance.

Tableau 1. Paramètres du gate driver avec contrôle actif du dv/dt

Gate driver initial (cf. Fig. 5)	Nouveau Gate driver (cf. Fig. 6)	
	Partie 1	Partie 2
M_a	$\beta \cdot M_a$	$(1 - \beta) \cdot M_a$
M_b	$\beta \cdot M_b$	$(1 - \beta) \cdot M_b$
R_1	R_1 / β	$R_1 / (1 - \beta)$
M_1	$\beta \cdot M_1$	$(1 - \beta) \cdot M_1$
C_{boot}	$\beta \cdot C_{boot}$	$(1 - \beta) \cdot C_{boot}$
R_2	R_2 / β	$R_2 / (1 - \beta)$
M_2	$\beta \cdot M_2$	$(1 - \beta) \cdot M_2$
M_D	M_D	M_D

Le circuit proposé pour le contrôle du dv/dt à l'amorçage du transistor low-side est présenté en Fig. 6. Le gate driver initial est divisé en deux parties selon un facteur de répartition appelé β . Le Tableau 1 donne les paramètres des deux parties du nouveau gate driver (architecture segmentée avec rétro action partielle) en fonction de l'ancien (branche unique). Ce nouveau gate driver fonctionne exactement de la même manière que celui de la Fig. 5 lorsque $C_S = 0$ pF. Durant l'amorçage du transistor, le condensateur C_S (qui est un condensateur haute

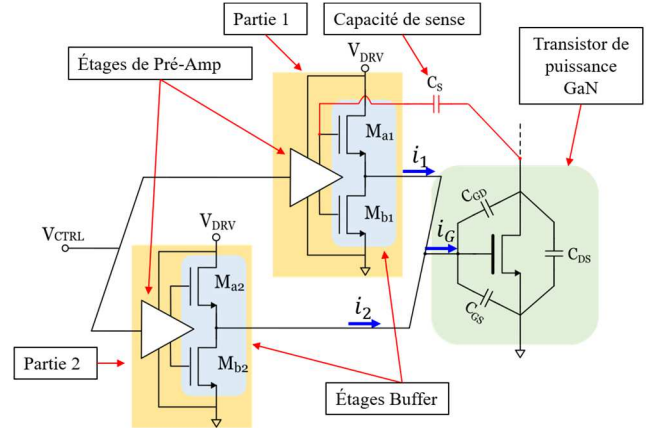


Fig. 6. Schéma du GDA proposé pour le contrôle indépendant du dv/dt des transistors GaN

tension fabriqué en technologie GaN-on-SOI et intégré sur puce) capte le dv/dt . Un courant i_{C_S} circule donc à travers celui-ci. Ce courant i_{C_S} va contribuer à décharger la capacité grille-source du transistor M_{a1} . Étant donné que ce transistor fonctionne en quasi-source de courant, la baisse de sa tension grille-source entraîne donc la baisse de son courant de drain i_1 . Le courant de grille fournit au transistor de puissance, somme des courants i_1 et i_2 diminue donc également ; entraînant in fine un ralentissement du dv/dt . L'équation simplifiée du dv/dt à l'amorçage du transistor de puissance est donnée par :

$$\frac{dV_{DS}}{dt} = \frac{g_{m1}(V_{GS0} - V_{th}) - R_1 C_S \left(\frac{dV_{DS}}{dt} \right)}{C_{GD}} + \frac{i_2}{C_{GD}} \quad (1)$$

Où V_{GS0} représente la valeur de la tension grille-source de M_{a1} lorsque $C_S = 0$ pF, g_{m1} sa transconductance et V_{th} sa tension de seuil. L'équation (1) introduit 2 zones :

- La zone linéaire où $V_{GS0} - R_1 C_S \frac{dV_{DS}}{dt} > V_{th}$: dans cette zone, $i_1 > 0$ A. La valeur du dV_{DS}/dt est contrôlée par la valeur de la capacité C_S . L'équation (1) devient :

$$\frac{dV_{DS}}{dt} = \frac{g_{m1} V_{GS0} + i_2}{C_{GD} + g_{m1} R_1 C_S} \quad (2)$$

On remarque de cette expression qu'une capacité G_S avec $G = g_{m1} R_1$ se retrouve en parallèle du transistor C_{GD} , ce qui contribue au ralentissement du transitoire de V_{DS} à l'amorçage. Le gain G favorise donc l'utilisation de capacités C_S de faible valeurs facilement intégrables en circuit intégré. En perspectives, on peut aussi imaginer que ce gain G soit réglable électroniquement.

- La zone de saturation où $V_{GS0} - R_1 C_S \frac{dV_{DS}}{dt} < V_{th}$: Dans cette zone, $i_1 = 0$ A, $i_G = i_2$ et la valeur du dV_{DS}/dt atteint sa valeur minimale. Augmenter la valeur de C_S au-delà de celle qui bloque le transistor M_{a1} n'a donc aucun effet de réduction supplémentaire du dV_{DS}/dt . La valeur limite de C_S dépend du facteur de répartition β . L'équation (1) devient :

$$\frac{dV_{DS}}{dt} = \frac{i_2}{C_{GD}} \quad (3)$$

3. RESULTATS DE SIMULATION

Le circuit en Fig. 7 présente une cellule de commutation GaN (le transistor high-side est connecté en mode diode avec un court-circuit grille-source) avec le gate driver à contrôle actif du dV_{DS}/dt qui est connecté au transistor Low-side. Le circuit est simulé sous Cadence™ avec les paramètres de simulation du Tableau 2 et les modèles de simulation fournis par le fondeur. Le Tableau 3 quant à lui présente les paramètres géométriques et électriques du transistor de puissance.

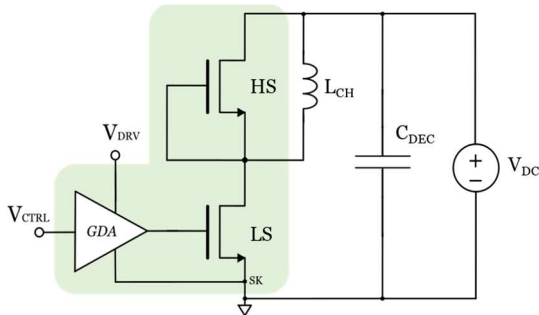


Fig. 7. Circuit de simulation et d'expérimentation pour valider la fonctionnalité du GDA

Les résultats de simulation sont montrés en Fig. 8. Avec $\beta = 0.7$, le système proposé montre une réduction du dV_{DS}/dt passant de 45 V/ns à 25 V/ns, soit une réduction de 40%. Le système proposé n'a aucun effet sur le dV_{DS}/dt au blocage du transistor. Afin d'analyser les performances du GDA proposé dans le plan pertes vs dV_{DS}/dt , un gate driver à étage buffer segmenté a également été réalisé et sert de base de comparaison. Les résultats sont montrés en Fig. 9 (W_a représente la largeur de

grille du transistor M_a). Ceux-ci illustrent de manière claire les avantages et les limites du circuit proposé par rapport à une méthode de contrôle classique du dV_{DS}/dt . Le système de contrôle avec boucle de rétroaction (rouge) permet d'atteindre des points intéressants par rapport à la méthode classique (bleu), en réduisant soit l'énergie de commutation, soit la vitesse de commutation, selon l'objectif. Le point E correspond au meilleur compromis offert par notre approche. Pour une même énergie de commutation, le point E montre une réduction de 20% de l'énergie de commutation par rapport au point C. Par ailleurs, en considérant un niveau également de pertes par commutation à l'amorçage, le point D montre une réduction de 15% du dV_{DS}/dt par rapport au point B.

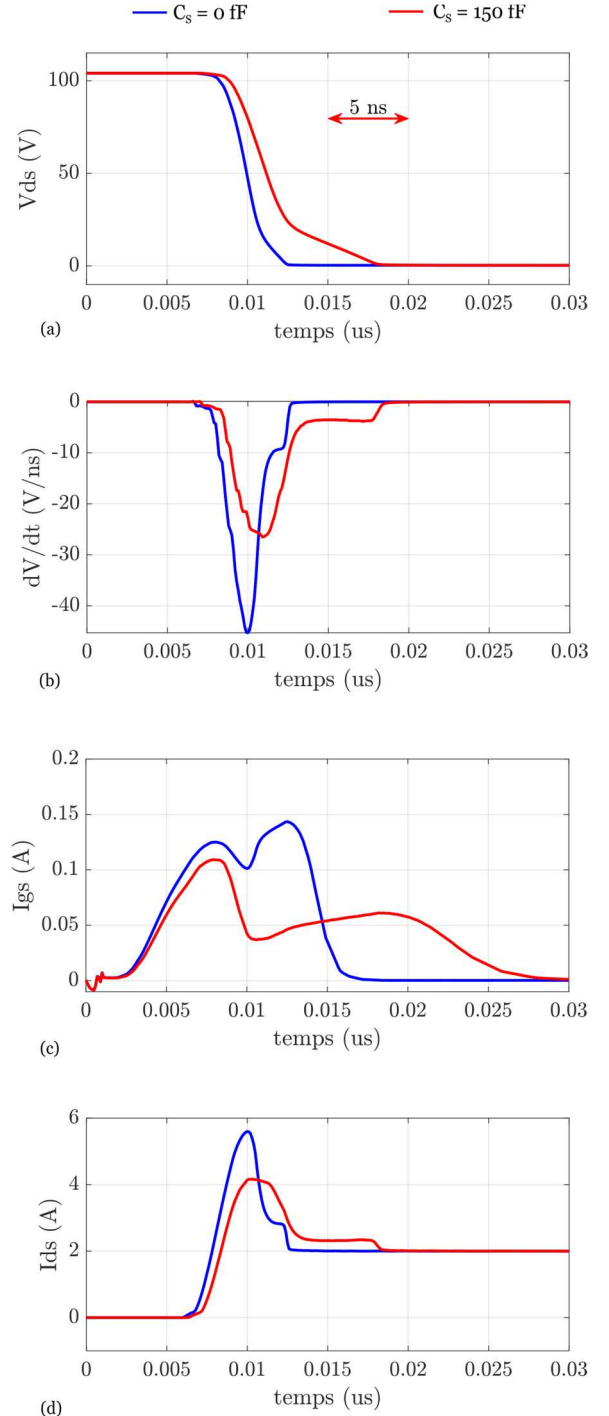


Fig. 8. Résultats de simulation sous Cadence™ du circuit intégré de puissance avec et sans contrôle actif du dV_{DS}/dt à l'amorçage : (a) V_{DS} , (b) dV_{DS}/dt , (c) i_g , (d) i_d

Tableau 2. Paramètres de simulation sous Cadence™

Paramètre	Description	Valeur	Unité
V_{DC}	Tension du bus continu	100	V
I_L	Courant moyen dans l'inductance L	2	A
V_{DRV}	Tension d'alimentation du gate driver	6	V
V_{CTRL_H}	Niveau haut du signal de commande du gate driver	5	V
V_{CTRL_L}	Niveau bas du signal de commande du gate driver	0	V

Tableau 3. Paramètres géométriques et électriques du transistor de puissance

Paramètre	Description	Valeur	Unité
W_G	Largeur de grille	36	mm
L_G	Longueur de grille	1,3	μm
V_{th}	Tension de seuil	2,3	V
$R_{DS_{on}} @ V_{GS} = 5V$	Résistance à l'état passant	190	$m\Omega$

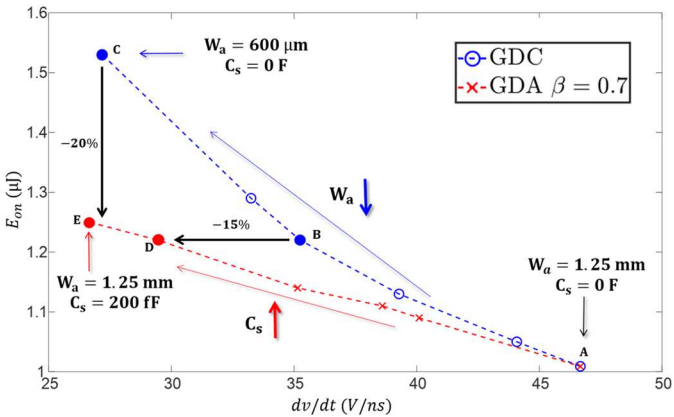


Fig. 9. Comparaison des performances du GDC et du GDA dans le plan pertes vs dv/dt

4. RESULTATS EXPERIMENTAUX

Le circuit conçu a été routé et envoyé en fabrication en 2024, puis reçu et mis en boîtier en 2025. Ce circuit contient plusieurs variantes, ainsi que des motifs de tests (e.g. composants élémentaires basse et haute tensions, driver non connecté en interne, ...). La Fig. 10 montre une vue microscopique de la puce fabriquée avec les différents circuits réalisés. Une carte d'évaluation et un banc de test ont également été développés afin d'évaluer les performances expérimentales du gate driver intégrant un contrôle indépendant du dv/dt . La Fig. 11 illustre la carte d'évaluation qui a été développée pour tester le circuit intégré. Par rapport au schéma présenté en Fig. 7, un inverseur et un isolateur digital sont ajoutés au niveau du PCB entre le signal de commande issu du microcontrôleur et l'entrée du gate driver. L'inverseur (SN74AC04MDREP) permet de supprimer l'effet d'inversion intrinsèque du circuit gate driver proposé. L'isolateur (ADUM210N0BRIZ) permet quant à lui d'équilibrer les temps de propagation entre la commande du transistor low-side et celle du transistor high-side lorsque ce dernier est piloté.

Un gate driver commercial (2EDR7259) est également intégré au PCB afin de comparer les performances du gate driver intégré à celles d'un gate driver externe pour le pilotage d'un même transistor GaN. Cette étude comparative ne rentre pas dans le cadre de cet article. Le banc de test développé est montré en Fig. 12. La mesure de la tension drain-source du transistor low-side se fait par l'intermédiaire d'une sonde isolée par fibre optique MICSIG MOIP200P ayant une bande passante de 200 MHz. Une sonde à effet hall MICSIG CP503B avec une bande passante à 50 MHz est utilisée pour la mesure du courant. L'inductance de sortie est une inductance à air de 215 μH . Les signaux PWM sont générés via un superviseur par un microcontrôleur dsPIC33CK avec une résolution de 2,5 ns. Le microcontrôleur génère un signal compris entre 0 et 3.3 V qui est ensuite transformé au secondaire de l'isolateur en signal entre 0 et 5V pour piloter l'entrée du gate driver intégré. L'objectif de ce banc de test est de valider le fonctionnement, puis d'effectuer un test en double pulse afin de visualiser le ralentissement du dv/dt à l'amorçage ainsi que l'impact nul du circuit proposé au blocage. Les premiers essais expérimentaux ont été réalisés sous une tension de bus de 48 V et avec un courant de charge de 500 mA. Les résultats sont montrés en Fig. 13, Fig. 14 et Fig. 15. D'une part, sur la Fig. 14 On observe bien un ralentissement du dv/dt à l'amorçage avec un dv/dt maximal qui passe d'environ 4 V/ns à moins de 2 V/ns soit une réduction de plus de 50%. D'autre part, la Fig. 15 montre clairement l'impact nul du circuit proposé sur la vitesse de commutation au blocage du transistor. Ces résultats permettent donc de valider de manière fonctionnelle le principe du GDA proposé pour le contrôle indépendant du dv/dt à l'amorçage d'un transistor GaN.

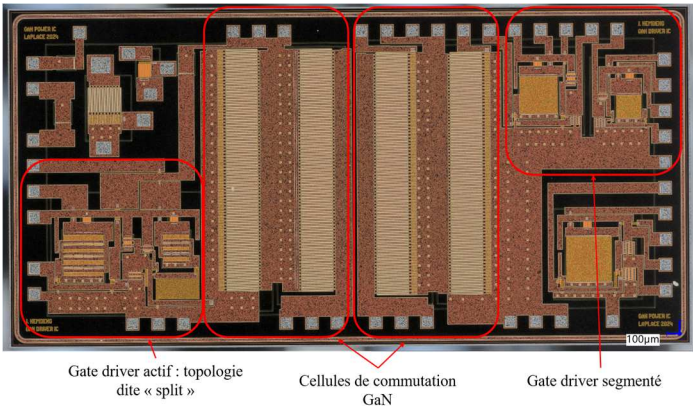


Fig. 10. Vue microscopique de la puce fabriquée en technologie GaN-on-SOI

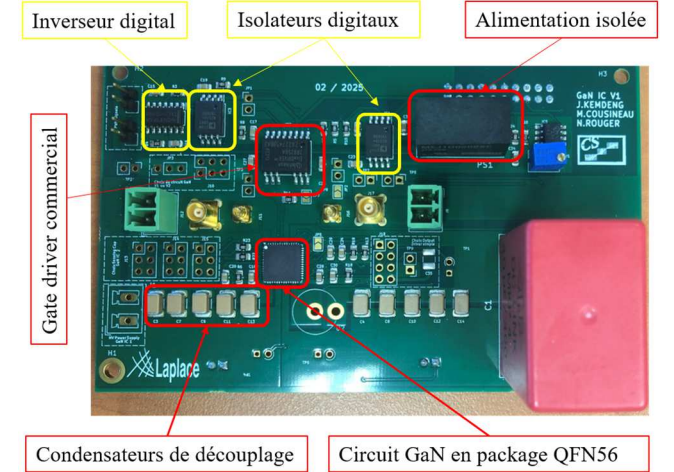


Fig. 11. Carte d'évaluation réalisée pour la caractérisation du circuit intégré fabriqué

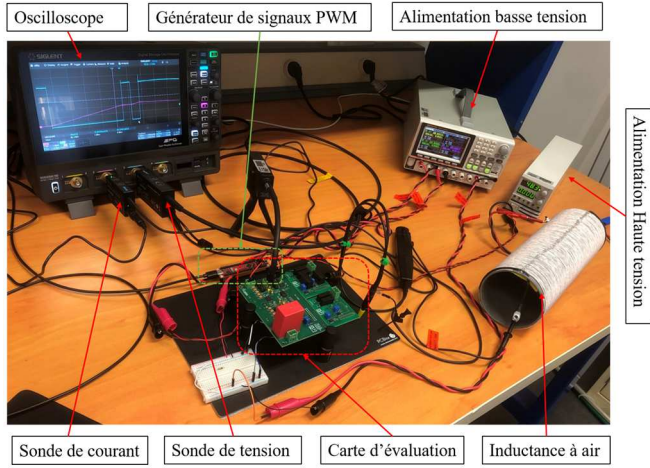


Fig. 12. Banc d'essai pour la validation expérimentale du circuit intégré de puissance

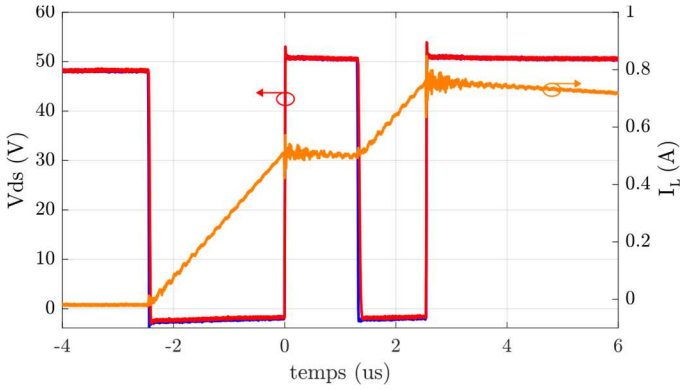


Fig. 13. Signaux résultants de l'essai en double pulse

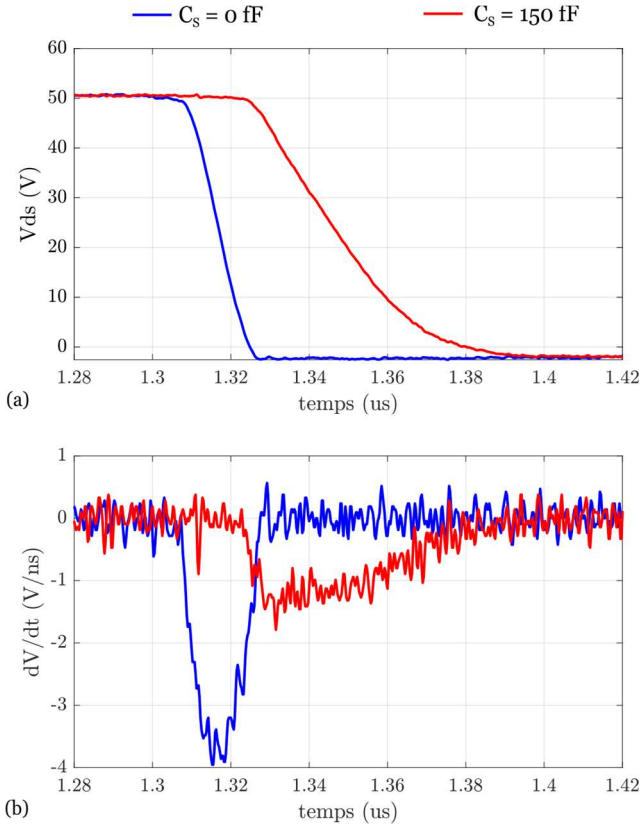


Fig. 14. Impact du GDA à l'amorçage du transistor de puissance : (a) V_{ds} , (b) dV_{ds}/dt

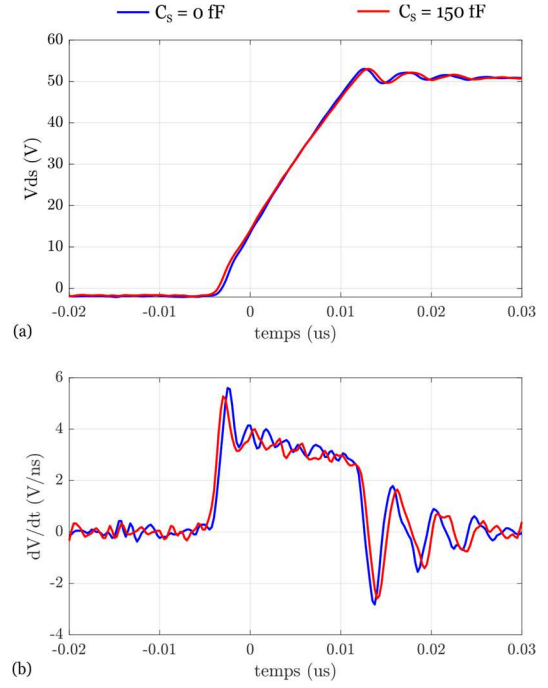


Fig. 15. Impact du GDA au blocage du transistor de puissance : (a) V_{ds} , (b) dV_{ds}/dt

5. CONCLUSION

L'intégration monolithique d'un transistor GaN et de sa commande rapprochée permet de supprimer les inductances parasites de la maille de grille. De ce fait, elle permet de pleinement exploiter le potentiel offert par les transistors GaN avec des vitesses de commutation élevées qui favorisent la réduction des énergies de commutation. Ces vitesses élevées sont toutefois génératrices de perturbations électromagnétiques pouvant affecter le fonctionnement du convertisseur. Les méthodes conventionnelles de contrôle du dv/dt , basées sur la modulation de la résistance de grille ou la segmentation de l'étage buffer du gate driver conduisent à une augmentation excessive des pertes par commutation. Un gate driver actif intégré de façon monolithique à une cellule de commutation GaN et permettant un contrôle indépendant et ciblé du dv/dt a été proposé dans cet article. Les résultats de simulation et les premiers essais expérimentaux ont permis de montrer une réduction du dv/dt pouvant aller jusqu'à 50% avec un impact quasiment nul sur le di/dt et le dv/dt au blocage. Ces résultats sont dans la continuité des travaux autour du développement de nouveaux composants smart GaN intégrant à la fois le transistor de puissance, sa commande rapprochée et les fonctions analogiques pour la protection, le contrôle de trajectoire de commutation et la surveillance de l'état de santé.

6. REFERENCES

- [1] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A Survey of Wide Bandgap Power Semiconductor Devices," *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2155–2163, May 2014, doi: 10.1109/TPEL.2013.2268900.
- [2] K. J. Chen, "GaN smart power chip technology," in *2009 IEEE International Conference of Electron Devices and Solid-State Circuits (EDSSC)*, Xi'an: IEEE, Dec. 2009, pp. 403–407. doi: 10.1109/EDSSC.2009.5394230.
- [3] Z. Yang et al., "Overcurrent Capability Evaluation of 600 V GaN GITs under Various Time Durations," in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Phoenix, AZ, USA: IEEE, Jun. 2021, pp. 376–381. doi: 10.1109/APEC42165.2021.9487155.

- [4] C. Bi, H. Shan, K. Gao, S. Wang, and P. Xu, "Modeling and Prediction of Common Mode Electromagnetic Interference in GaN-Based Switching Power Converters," *J. Electromagn. Eng. Sci.*, vol. 23, no. 3, pp. 233–243, May 2023, doi: 10.26866/jees.2023.3.r.163.
- [5] W. L. Jiang *et al.*, "Monolithic Integration of a 5-MHz GaN Half-Bridge in a 200-V GaN-on-SOI Process: Programmable dv/dt Control and Floating High-Voltage Level-Shifter," in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, Phoenix, AZ, USA: IEEE, Jun. 2021, pp. 728–734. doi: 10.1109/APEC42165.2021.9487430.
- [6] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, and N. Rouger, "CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," *IEEE Trans. Power Electron.*, vol. 35, no. 12, pp. 13322–13332, Dec. 2020, doi: 10.1109/TPEL.2020.2995531.