

Evaluation des pertes des semiconducteurs basée sur le locus de commutation d'un transistor GaN

Matthieu GAYCHET, Julio BRANDELERO, Wadia JOUHA, Thierry SUTTO

STMicroelectronics SA, France

Le mécanisme des pertes dans un transistor GaN e-mode diffère des transistors classiques étant donné la résistance dynamique à l'état passant. Un modèle compréhensif et une méthode de test pour ces transistors GaN est proposé dans ce papier pour une évaluation rapide et une comparaison entre deux méthodes. La méthode expérimentale est basée sur la méthode par opposition qui permet d'émuler différentes applications, comme un dc-dc isolé ou encore un Totem Pole PFC. L'émulation est basée sur le locus de commutation du transistor opérant dans une application réelle. Ce papier montre la corrélation entre une approche théorique et une approche expérimentale de l'évaluation de transistors GaN forte puissance opérant de 3 kW à 8 kW.

Transistor GaN e-mode, locus de commutation, dc-dc isolé, Totem-Pole PFC, méthode par opposition.

1. INTRODUCTION

Les transistors en Nitrure de Gallium (ou GaN) deviennent de plus en plus populaires dans des applications de biens de consommation comme les chargeurs USB-PD, mais aussi dans l'automobile avec les chargeurs embarqués et les applications pour serveurs. L'évaluation des pertes des transistors de puissance est une des premières étapes pour choisir et dimensionner un convertisseur de puissance opérant dans une certaine application. Différentes méthodes pour la mesure des pertes peuvent être utilisées [1, 2], comme les méthodes calorimétriques [3]. Etant donné les vitesses importantes des transitions de la tension et courant, les méthodes classiques comme le double pulse, doivent être réalisés avec les techniques adéquates et une bande passante adéquate [4].

Ce papier propose une comparaison entre deux techniques pour évaluer les performances d'un transistor. La première méthode est basée sur une approche théorique des pertes. Ces dernières sont modélisées à partir de mesures effectuées sur banc de test comme le classique double pulse. La seconde méthode est la méthode du locus de commutation à l'aide de la méthode par opposition. Cette dernière est bien adaptée étant donné sa simplicité d'implémentation [5]. La confiance relative aux résultats obtenus avec cette méthode est élevée, car basés sur le locus de commutation dans une application réelle. Enfin, une comparaison des résultats obtenus avec les deux méthodes pour un convertisseur ac-dc (Totem-Pole PFC) et un convertisseur dc-dc isolé (Dual Active Bridge ou DAB) sont présentés.

2. METHODE THEORIQUE POUR L'EVALUATION DES PERTES DANS LES TRANSISTORS E-MODE GAN

La méthode théorique utilisée pour l'évaluation des pertes dans les transistors e-mode GaN est basée sur une modélisation de résultats expérimentaux. Les pertes sont réparties dans deux

catégories : les pertes à l'état passant et les pertes par commutation.

2.1. Pertes à l'état passant

Dans les transistors GaN, les pertes à l'état passant sont liées à la résistance à l'état passant ou $R_{ds(on)}$. Ce $R_{ds(on)}$ inclus une contribution statique mais aussi une contribution dynamique, contrairement aux transistors classiques. Cette dernière est due à l'effet de piégeage des électrons dans le transistor GaN. Cela a pour conséquence une augmentation de la résistance à l'état passant. Cette contribution est dépendante de la température et du niveau de tension appliqué durant l'état bloqué [2]. Il est indispensable de ne pas la négliger compte tenu de son amplitude vis-à-vis de la contribution statique, pouvant aller jusqu'à une vingtaine de pourcent de cette dernière. Ce phénomène a été modélisé grâce à l'équation suivante où R_{dsX} sont les coefficients matchant les mesures, T_J est la température de jonction et V_{sw} la tension appliquée durant l'état bloqué du transistor.

$$R_{ds(on)} = R_{dsI} \cdot T_J + R_{ds0} + (R_{dsIDIT} \cdot T_J + R_{dsIDOT}) \cdot V_{sw} \quad (1)$$

Le $R_{ds(on)}$ dynamique a été mesuré selon le standard JEDEC JEP173. La tension est appliquée sur le transistor testé puis ce dernier est commuté vingt fois selon le schéma de la Fig. 1. Sur la dernière commutation, alors qu'il est encore à l'état passant et juste avant de bloquer le transistor, la valeur de la chute de tension aux bornes du transistor, due à la résistance à l'état passant, est extraite à l'aide d'un circuit de clamp. Le test est effectué pour différentes tension, courant et température afin d'avoir une caractérisation complète du transistor.

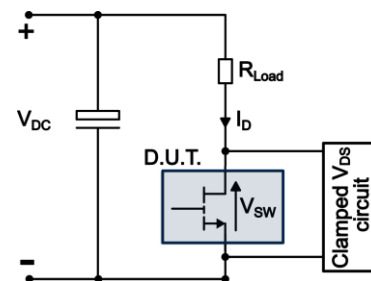


Fig. 1. Un exemple d'une méthode de la mesure du $R_{ds(on)}$ dynamique basée sur le standard JEDEC JEP173

2.2. Pertes par commutation

La manière la plus commune d'évaluer les pertes par commutation est la mesure par double pulse, voir Fig. 2. Cette méthode permet la mesure des énergies durant les transitions entre les états passant et bloqué.

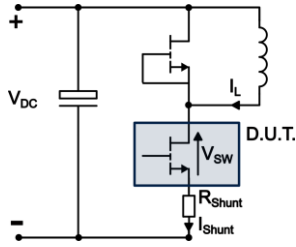


Fig. 2. Méthode du double pulse pour l'évaluation des énergies de commutation

Une première mise à l'état passant du transistor testé permet de faire augmenter le courant dans l'inductance au niveau souhaité. Une fois ce niveau de courant obtenu, le transistor est mis à l'état bloqué puis de nouveau à l'état passant. Les mesures sont effectuées sur ces deux commutations. Enfin, le transistor est mis à l'état bloqué une dernière fois.

Les mesures effectuées afin de caractériser les énergies de commutation sont la mesure de la tension drain-source du ainsi que le courant de la source du transistor. Ce dernier est mesuré à l'aide d'une résistance de shunt placée entre la source du transistor et condensateur de découplage. L'insertion de la sonde en tension contribue à l'augmentation du condensateur parasite du transistor et la résistance de shunt augmente la boucle de commutation ainsi que sa résistance ayant pour effet de modifier la commutation. Les énergies de commutations sont finalement obtenues en intégrant le produit courant-tension.

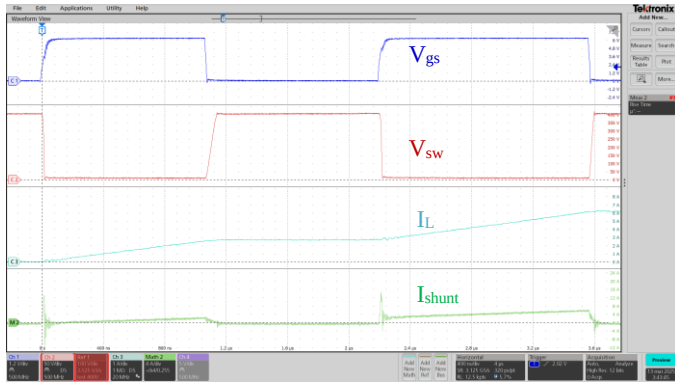


Fig. 3. Formes d'onde d'un double pulse

Les énergies de commutations mesurées lors du test en double pulse ont été modélisées utilisant une équation analytique qui relie courant commuté, tension à l'état bloqué et la température. La référence en tension est fixée à 400 V. La référence en température est fixée à 25°C. L'équation pour modéliser l'énergie de commutation pour le passage de l'état bloqué à l'état passant est la suivante :

$$E_{on}(I, T_j, V_{ds}) = K(T_j) \cdot K(V_{ds}) \cdot (Eon_{I2} \cdot I^2 + Eon_{I1} \cdot I + Eon_{I0}) \quad (2)$$

$$\text{avec } K(T_j) = (Eon_{T1} \cdot (T - 25) + Eon_{T0}) \quad (3)$$

$$\text{et } K(V_{ds}) = (Eon_{V1} \cdot (V_{ds} - 400) + Eon_{V0}) \quad (4)$$

Une équation similaire a été utilisé pour modéliser l'énergie de commutation pour le passage de l'état passant à l'état bloqué :

$$E_{off}(I, T_j, V_{ds}) = K(T_j) \cdot K(V_{ds}) \cdot (Eoff_{I2} \cdot I^2 + Eoff_{I1} \cdot I + Eoff_{I0}) \quad (5)$$

$$\text{avec } K(T_j) = (Eoff_{T1} \cdot (T - 25) + Eoff_{T0}) \quad (6)$$

$$\text{et } K(V_{ds}) = (Eoff_{V1} \cdot (V_{ds} - 400) + Eoff_{V0}) \quad (7)$$

3. METHODE D'EVALUATION DES PERTES BASEE SUR LE LOCUS DE COMMUTATION D'UN TRANSISTOR

Le locus de commutation d'un transistor est défini selon le standard JEDEC (JEP180.01). Celui-ci définit deux types de commutation : la commutation douce (soft switching) et la commutation dure (hard switching), comme illustrées respectivement dans la Fig 4 et la Fig 5.

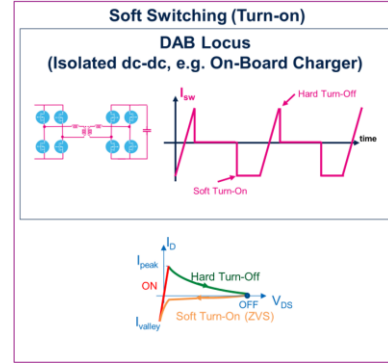


Fig. 4. Locus de commutation pour la commutation douce basé sur un DAB

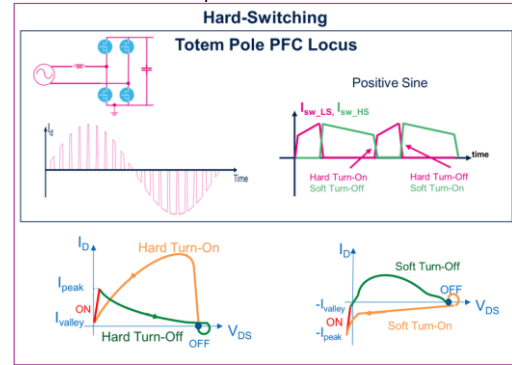


Fig. 5. Locus de commutation pour la commutation dure sur un Totem-Pole PFC.

Une commutation dite douce se caractérise par le passage du transistor de l'état passant à l'état bloqué, ou vice versa, sans qu'il ne supporte simultanément du courant le traversant et/ou de la tension à ses bornes. A l'opposé, une commutation dite dure se caractérise par le passage du transistor de l'état passant à l'état bloqué, ou vice versa, en supportant à la fois du courant le traversant et de la tension à ses bornes.

Les topologies du type Dual Active Bridge et le Totem-Pole PFC peuvent être cités comme exemples de commutation douce et dure respectivement.

3.1. Methode d'opposition pour des locus de commutation

La méthode d'opposition est adaptée afin de reproduire ces locus et évaluer les transistors GaN avec de locus de commutation souhaité. La topologie de la méthode par opposition est basée sur une configuration en pont complet avec une inductance connectée entre les deux points milieux de chaque demi-pont. (V_{sw1} , V_{sw2}) sans charge résistive, comme illustré dans la Fig.3. Contrairement au double pulse où le transistor fonctionne de manière impulsionnelle, le transistor caractérisé fonctionne ici en régime permanent comme dans une application réelle, commutant tension et courant à la fréquence souhaitée et avec une température de jonction proche de l'application finale. Comme aucune charge résistive n'est présente dans le système, la source de tension en entrée fournit uniquement les différentes pertes du système pour maintenir le courant et la tension de sortie. La puissance d'entrée est ainsi reliée aux pertes du système qui incluent celles des transistors,

des condensateurs et de l'inductance. Un autre avantage de cette méthode est donc son caractère non invasif pour la mesure de pertes. Cependant, il est essentiel de caractériser au préalable les pertes des éléments passifs afin d'éviter d'introduire une erreur potentielle dans l'évaluation des seules pertes des transistors.

Les deux demi-ponts sont contrôlés par un rapport cyclique commun, un rapport cyclique différentiel et un déphasage entre les deux demi-ponts. Le premier rapport cyclique définit les tensions commutées V_{sw1} et V_{sw2} des ponts et les temps de conduction de chaque transistor comme dans une application réelle. Par exemple, dans une application du type onduleur, le rapport cyclique de mode commun est une fonction sinus multipliée par la profondeur de modulation.

Le rapport cyclique différentiel et le déphasage contrôlent la forme et l'amplitude du courant qui circule dans l'inductance et par conséquent dans les transistors. Dans le cas d'un locus à commutation dure, la sortie du correcteur correspond au rapport cyclique différentiel entre les deux demi-ponts. Un contrôle en boucle fermée du courant de l'inductance est implémenté à l'aide d'un correcteur proportionnel intégral. Dans le cas d'un locus à commutation douce, la sortie du correcteur correspond au déphasage entre les deux demi-ponts.

La topologie du test ainsi que son contrôle sont décrites à la Fig. 6.

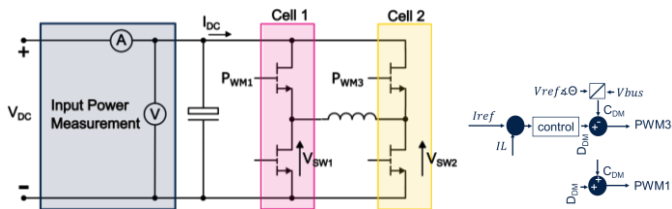


Fig. 6. Schéma de la méthode par opposition utilisé pour évaluer les pertes des transistors

3.2. Locus de commutation dure d'un Totem-Pole PFC

Dans une première implémentation qui émule le cas d'un PFC, le rapport cyclique de mode commun est sinusoïdal (sur une demi-période « normal » puis « renversé » sur l'autre) avec une amplitude correspondant au rapport entre la tension de bus dc et la tension ac souhaitée et générée aux bornes de l'inductance. Le rapport cyclique différentiel est régulé par une boucle fermée afin d'imposer un courant sinusoïdal en phase avec la tension, voir Fig. 7. Pendant le passage par zéro du courant, les signaux de commandes des transistors sont désactivés comme dans un système réel. On peut noter que les tensions moyennées sur la courbe Trends sont très proches l'une de l'autre et une très faible différence entre ces deux tensions est suffisante pour faire circuler un courant sinusoïdal.

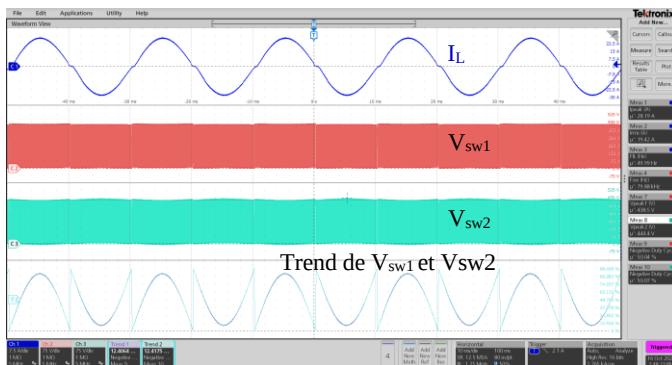


Fig. 7. Formes d'onde de la méthode par opposition d'un PFC.

Les transistors testés dans ce locus de commutation correspondent à la branche rapide d'un Totem Pole PFC, celle commutant à une fréquence élevée (ex : 75 kHz).

3.3. Locus de commutation douce d'un DAB

Dans l'implémentation qui émule le cas d'un DAB, le rapport cyclique de mode commun est fixé à 0.5. Le déphasage entre les deux demi-ponts est contrôlé en boucle fermée afin d'imposer l'amplitude du courant trapézoïdal souhaitée, voir Fig. 8. Dans ce cas, la puissance délivrée est calculée avec la multiplication du courant de l'inductance et la tension hachée des transistors.

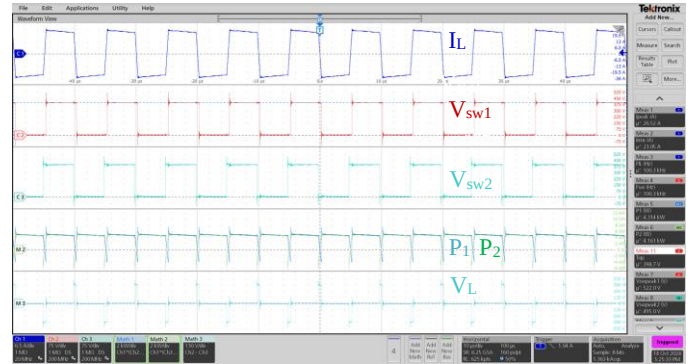


Fig. 8. Formes d'onde de la méthode par opposition d'un DAB.

4. PLATEFORME DE TEST

Une plateforme a été construite pour caractériser les transistors GaN avec une plaque froide comme illustré dans la Fig.9. Elle est constituée d'un contrôleur STM32G4 qui génère les PWM, réalise la lecture du courant et met en œuvre la boucle de régulation selon le locus souhaité. Une carte de puissance permet de relier les deux cartes en demi-pont qui sont remplaçables (Fig.10). Enfin, les cartes sont assemblées sur une plaque froide où la température peut être régulée.

Un soin particulier a été apporté sur le design de la boucle de puissance et de la boucle de contrôle des transistors GaN des cartes interchangeable. La vitesse de commutation des transistors GaN peuvent aller jusqu'à une centaine de volts par nanoseconde, avec des fortes transitions en courant. Les éléments parasites que peuvent apporter le routage de cette carte de tests, à savoir les inductances parasites (ex : longueur de piste) et capacités parasites (ex : deux plans avec un potentiel différent sur deux couches de cuivre consécutives) doivent être minimiser.

Ces cartes sont attachées au dissipateur avec une interface thermique afin de reproduire mécaniquement les conditions réelles d'utilisation. L'utilisation d'une plaque froide dont la température est contrôlée par un module Peltier permet de simuler le fonctionnement d'un refroidissement à eau qui maintient une température ambiante au système. Il faut noter que la température du boîtier évolue avec le type d'interface thermique, le type de boîtier (refroidissement par le haut ou bas) et la puissance.

Le contrôle de la plateforme ainsi que la génération des tensions de commandes est effectuée de façon digitale à l'aide d'un microcontrôleur. Les fréquences de commutations pouvant être atteintes par les transistors GaN étant élevées, jusqu'au mégahertz, le microcontrôleur doit être assez performant pour effectuer le contrôle du courant et la gestion des défauts, comme un sur-courant par exemple.

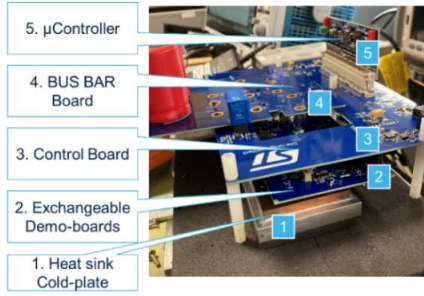


Fig. 9. Plateforme de test applicatif rapide

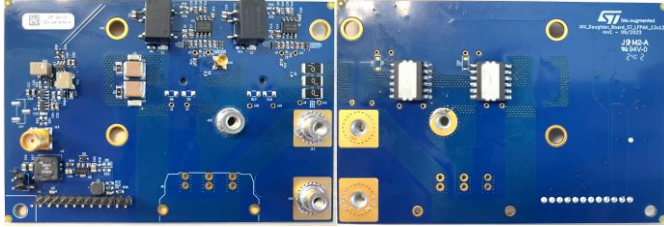


Fig. 10. Cartes demi-pont interchangeables accueillant les transistors testés – vu de dessus et dessous

5. COMPARAISON DES METHODOLOGIES

Une comparaison des performances des deux méthodes a été effectuée. Afin d'éviter une quelconque influence du design des cartes de tests, des cartes identiques ont été utilisées lors des différents tests en double pulse et des différents tests avec la méthode par opposition.

Les deux cas d'étude présentés sont basés sur le Totem-Pole PFC et le Dual Active Bridge. Les transistors utilisés pour les tests sont des transistors 40 mΩ / 650 V dans un boîtier du type LFPACK. Tous les points d'opération ont été effectués avec une tension de bus dc fixée à 400 V et une température ambiante fixée à 60°C (température de la plaque froide).

Afin de limiter l'influence de la fréquence de commutation sur les pertes de l'inductance, une inductance à air utilisant du fil de Litz a été utilisé pour les différents tests. Seules les pertes cuivre sont présentes et l'influence de la fréquence sur ces pertes sont limitées. Ces pertes ont été modélisé par une résistance dc qui dépend de la fréquence de commutation. Les pertes des condensateurs de bus ont été négligés. Les pertes des transistors sont donc définies par les pertes totales du système auxquelles ont été soustraite les pertes de l'inductance. Les différents rendements obtenus pour chaque point de fonctionnement ne prennent en compte que les pertes des transistors.

5.1. Totem-Pole PFC

Pour les points de fonctionnement dans le locus du Totem-Pole PFC, l'amplitude du rapport cyclique commun a été fixé à une amplitude de 0.81 afin d'obtenir une tension ac générée de 230 V_{rms}. Les tests ont été effectués à deux fréquences de commutation différentes, 75 et 200 kHz. Les résultats obtenus lors de ces tests sont résumés dans les courbes de la Fig.11.

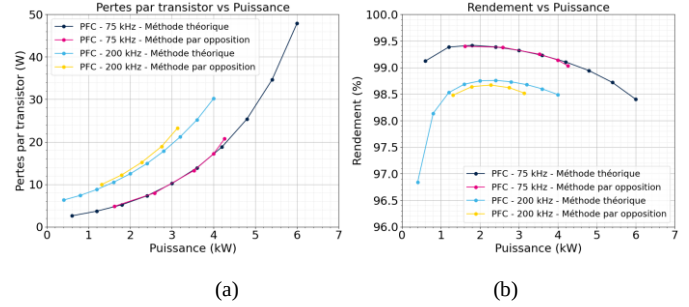


Fig. 11. (a) Comparaison des pertes avec la méthode théorique et la méthode applicative par opposition et (b) rendement en ne considérant que les pertes dans les transistors actifs dans le cas d'un Totem-Pole PFC

Pour une fréquence de 75 kHz, les courbes des deux méthodes se superposent. Pour une fréquence de 200 kHz, les pertes avec la méthode par opposition sont légèrement plus élevées. Cela se répercute sur le rendement qui est donc légèrement plus faible qu'avec la méthode théorique. Pour autant, l'évolution en fonction de la puissance est similaire avec les deux méthodes, il n'y a pas de divergences. Pour les tests effectués aux deux fréquences choisies, les pertes obtenues par les deux méthodes corrént bien.

5.2. Dual Active Bridge

Pour les points de fonctionnement dans le locus du Dual Active Bridge, les tests ont été effectués à une fréquence de commutation différentes de 100 kHz. Les résultats obtenus lors de ces tests sont résumés dans les courbes de la Fig.12.

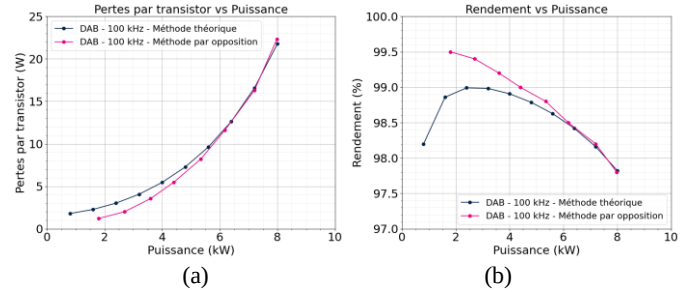


Fig. 12. (a) Comparaison des pertes avec la méthode théorique et la méthode applicative par opposition et (b) rendement en ne considérant que les pertes dans les transistors actifs dans le cas d'un DAB.

Dans la configuration DAB, les pertes à faible puissance divergent entre les deux méthodes. Les transistors GaN se caractérisent par des pertes au blocage très faible, de l'ordre de quelques microjoules à quelques dizaines de microjoules. Leur faible nombre se retrouve donc dans la précision de mesure lors des mesures effectuées en double pulse. De plus, étant donné que la topologie du DAB présente 8 transistors au total (deux ponts complets, un au primaire et un au secondaire), l'erreur sur l'évaluation des pertes de chaque transistor se cumulant, cela résulte en une erreur sur l'évaluation finale significative sur le rendement, et cela en ne considérant que les pertes des composants actifs. Les pertes à forte puissance quant à elles corrént bien. Cela peut signifier que les pertes par commutation à faible courant sont surévaluées dans la méthode théorique. A fort courant, les pertes par commutations sont minoritaires devant les pertes par conduction. Les courbes se corrént, cela signifie que l'estimation des pertes à l'état passant sont correctes.

6. CONCLUSIONS

Ce papier présente deux méthodes d'analyses des pertes dans les transistors GaN, en mettant notamment en lumière des différences par rapport aux transistors classiques, notamment en raison de la résistance dynamique à l'état passant.

Un modèle théorique et une méthode expérimentale ont été proposés pour évaluation rapide et précise de ces pertes. Une comparaison entre ces deux méthodes a été menée. La méthode expérimentale, basée sur la méthode par opposition et le locus de commutation du transistor, permet une émulation réaliste d'applications réelles, telles que les convertisseurs dc-dc isolé et les Totem-Pole PFC sans avoir à développer ces applications finales. Les transistors sont caractérisés en régime permanent comme dans une application réelle, commutant tension et courant à la fréquence souhaitée et avec une température de jonction proche de celle qui pourrait être observée dans cette application.

Les différents résultats obtenus démontrent une bonne corrélation entre les approches théoriques et expérimentales pour des transistors GaN opérant dans des plages de puissance allant jusqu'à 8 kW. D'une part, cela valide les modèles théoriques utilisés. D'autre part, cela montre la pertinence de la méthode expérimentale pour caractériser les pertes des transistors afin d'évaluer leur performance dans une application réelle. Cette méthode et le banc de test développé sont compatibles avec d'autres technologies de transistors, telles que les MOSFETs Si et SiC.

Finalement, les transistors GaN possédant des temps de commutations extrêmement courts, des pertes aux blocages relativement faibles et leur capacité à fonctionner à des fréquences élevées représente une avancée technologique pour les nouvelles applications allant des chargeurs USB-PD, aux chargeurs embarqués dans les véhicules électriques et les alimentations pour des serveurs d'intelligence artificielle.

7. REMERCIEMENTS

This is one of our initiatives to share our technology and innovations with various communities and foster microelectronics-related activities in the frame of the Important Project of Common European Interest on Microelectronics and Communication Technologies (IPCEI ME/CT).

8. REFERENCES

- [1] J. Haarer et al., "A Calorimetric and Electrical Method for Measuring Loss Energies of Half-Bridges," in EPE'22 ECCE Europe, Hanover, Germany, 2022,.
- [2] A. Udabe et al., "Gallium Nitride Power Devices: A State of the Art Review," IEEE Access, vol. 11, no. doi: 10.1109/ACCESS.2023.3277200, pp. 48628-48650, 2023.
- [3] J. Gareau, et al., "Review of Loss Distribution, Analysis, and Measurement Techniques for GaN HEMTs," IEEE Transactions on Power Electronics,, doi: 10.1109/TPEL.2019.2954819.
- [4] S. Biswas, et al., "Evaluation of measurement techniques for high-speed GaN transistors," in Albuquerque, NM, USA, 2017, Albuquerque, NM, USA, 2017, doi: 10.1109/W, 2017 IEEE 5th WiPDA.
- [5] M. Wechsler, M. Simon, S. Edler and J. Pffor, "A simple technique to measure the semiconductor switching and conduction losses of inverters at specified chip temperatures," in ECCE 2015.