

Système de gestion adaptative du temps-mort intégré au gate-driver CMOS pour MOSFET SiC.

Matthieu MASSON^{1,2,3}, Marc COUSINEAU^{1,3}, Nicolas ROUGER^{1,3}, Pierre Calmes^{2,3},

Frédéric RICHARDEAU^{1,3}, Matthew BACCHI^{2,3}

¹LAPLACE, , Université de Toulouse, CNRS, INPT, UPS, Toulouse, France, ²NXP Semiconductors,

³Laboratoire Commun SEMA NXP/LAPLACE/LAAS

RESUME - Cet article présente une méthode innovante de gestion optimale du temps-mort directement intégrée dans un circuit de commande de grille pour MOSFET SiC. Une copie interne du courant de grille est utilisée pour détecter la fin de la commutation en tension en tirant parti de la capacité de couplage drain-grille, et ainsi amorcer automatiquement le *gate-driver*. Les résultats expérimentaux montrent une détection de la durée idéale de temps-mort avec un délai inférieur à 20ns, permettant ainsi de réduire considérablement le temps de conduction dans la diode de corps, les pertes et les dégradations durant cette phase de fonctionnement.

Mots-clés—*Gate-Driver, optimisation temps-mort, module SiC, intégration CMOS.*

1. INTRODUCTION

Les modules MOSFET en carbure de silicium (SiC) sont en train de s'imposer face aux IGBT silicium dans les applications de traction automobile [1]. Afin de limiter leur coût, ces modules n'intègrent pas systématiquement de diode de roue libre à barrière Schottky (SBD), forçant l'utilisation de leur diode de corps (intrinsèque) pendant les phases de temps-mort, avec un impact sur les pertes et la fiabilité du MOSFET SiC. La gestion optimale du temps-mort devient cruciale pour ces composants et les circuits intégrés de commande de grille (Gate-Drivers) sont amenés à répondre à ces nouveaux enjeux de rapidité et de fiabilité.

Cet article présente un système permettant l'optimisation automatique du temps-mort développé au laboratoire commun SEMA en partenariat avec le laboratoire LAPLACE et la société NXP Semiconductors. Cette méthode repose sur la mesure du courant de grille au sein même du *gate-driver* afin de garantir une vitesse de réaction maximale et une robustesse face aux parasites tout en évitant l'utilisation de composants discrets externes ni aucun composant haute tension supplémentaire.

2. OPTIMISATION DU TEMPS MORT AVANT L'AMORÇAGE ZVS

La figure 1 présente une phase d'onduleur, composée de MOSFETs SiC sans diodes de roue libre SBD additionnelles. Dans cette configuration, où le courant sort de la cellule de commutation, le transistor M1 est le transistor actif fournissant l'énergie vers la charge et contrôlant le nœud de sortie. Le transistor M2 est le transistor complémentaire assurant la recirculation du courant. Après le blocage du transistor *high-side*, M1, le courant de charge I_{Load} décharge les capacités de sortie, C_{OSS} , de M1 et M2 faisant ainsi chuter la tension V_{DS} comme le montre la figure 2. La commutation douce (ZVS) du

transistor M2 peut être réalisée à l'instant t_{ZVS} , dès lors que sa tension drain source est égale à zéro.

Le choix du temps-mort idéal dépend fortement du point d'opération du convertisseur (V_{BUS} , I_{Load}), de la résistance de grille, de la température, et de l'état de vieillissement des composants affectant en particulier leur tension de seuil V_{TH} . Un amorçage précoce du transistor M2 provoque une commutation dure qui génère des pertes et une augmentation des émissions électromagnétiques. À l'inverse, un amorçage tardif augmente les pertes par conduction dans la diode de corps de M2 [2] et peut causer des dégradations de la structure SiC [3]. Les différences entre les temps de propagation ainsi que la gigue introduite par les *gate-drivers* isolés ne permettent pas une gestion fine du temps-mort sans disposer d'aucun retour depuis la partie haute tension. Plusieurs approches différentes ont été proposées pour permettre une adaptation automatique du temps-

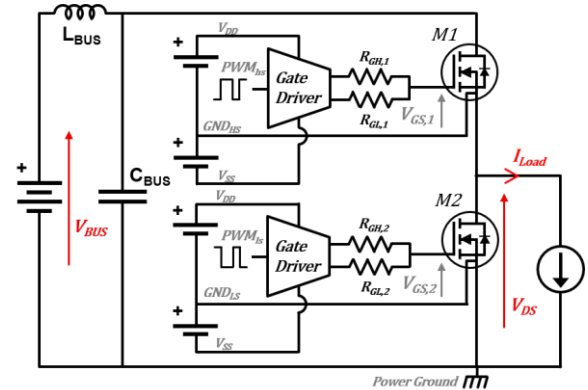


Fig. 1. Schéma d'une cellule de commutation composée de MOSFET SiC sans diode externe.

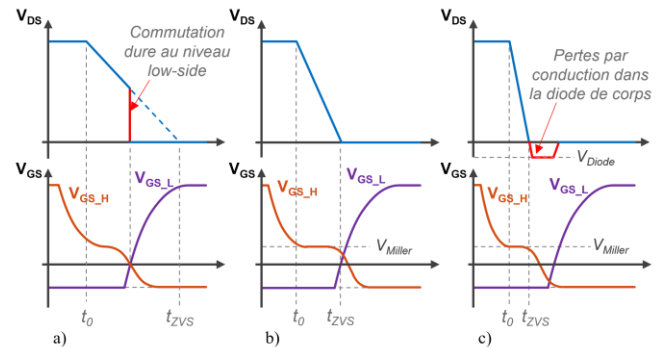


Fig. 2. Formes d'ondes en commutation a) pour un faible courant de sortie (commutation dominée par la boucle de puissance), b) et c) pour un fort courant de sortie (commutation dominée par la résistance de grille). a) montre un amorçage précoce et c) un amorçage tardif de M2.

mort, comme la mesure directe de la tension du nœud de sortie [4] ou au travers d'une diode de protection haute tension [5]. D'autres méthodes, comme celle présentée dans [6], permettent une optimisation itérative du temps-mort grâce à la mesure d'un paramètre global comme le rendement du convertisseur.

3. SYSTEME D'OPTIMISATION AUTOMATIQUE ET INTEGRE

3.1. Utilisation du couplage de grille parasite

La méthode proposée dans cet article utilise le couplage naturellement présent entre le drain et la grille (C_{RSS}) du MOSFET M2. La figure 3 montre le chemin du courant au travers la capacité C_{RSS} , fourni en grande partie par le *gate-driver* via sa sortie NMOS M_N . Le graphique met en lumière la non-linéarité dans l'évolution de cette capacité C_{RSS} en fonction de la tension V_{DS} , pour des MOSFETs SiC provenant de différents fabricants. Lorsque la tension drain-source s'approche de zéro, la capacité augmente rapidement, causant un fort appel de courant comme le montre l'équation (1).

$$I_{CRSS}(t) = C_{RSS} \cdot \frac{dV_{GD}}{dt} \approx C_{RSS} \cdot \left| \frac{dV_{DS}}{dt} \right| \quad (1)$$

La sortie NMOS, M_N , du circuit de commande de grille assure un chemin à faible impédance pendant toute la phase de temps-mort et permet la circulation du courant de grille I_{GL} . Ce courant atteint sa valeur maximale lors du passage par zéro, avant de chuter rapidement, et permet donc de détecter la mise en conduction de la diode de corps. Le système d'optimisation du temps-mort proposée repose sur la mesure interne du courant de grille et la détection du pic pour activer automatiquement la sortie du *gate-driver* et assurer une commutation optimale et sûre. Des travaux existants proposent une approche similaire mais avec un traitement numérique [7] ou une mesure du courant sous haute impédance [8] et n'ont été démontrés que pour de faibles calibres en courant.

3.2. Conception du circuit de commande de grille

La figure 4 montre l'architecture du *gate-driver* conçu en technologie CMOS et capable de piloter la grille d'un MOSFET SiC entre -4V et +15V. La mesure du courant de grille est réalisée à l'aide d'un SenseFET M_{NS} apparié au transistor de sortie NMOS M_N et d'un amplificateur à forte bande passante

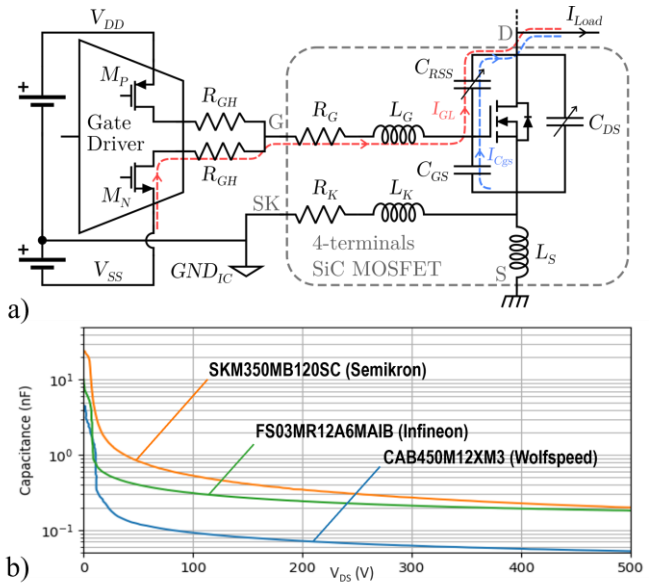


Fig. 3. a) Chemin du courant au travers de la grille lors de la décharge du nœud de commutation. b) Évolution de la capacité C_{RSS} pour différents composants SiC 1.2 kV. $V_{GS}=0$ V, $f=100$ kHz

(OTA). Cette méthode de mesure permet de ne pas affecter la faible impédance de sortie et, par conséquent, de maintenir un état de commande fiable de la grille du MOSFET SiC de puissance. Enfin, un détecteur de pic rapide capture l'instant du maximum de courant correspondant au passage par zéro de la tension V_{DS} . Ce détecteur permet au système de ne pas être dépendant d'un seuil fixe puisqu'il repose sur la dynamique du signal, le rendant ainsi plus robuste aux variations de point de fonctionnement. Le signal de détection est rebouclé dans le bloc de contrôle et permet l'amorçage automatique du *gate-driver*, sans nécessiter un signal PWM externe.

La figure 5 détaille le schéma utilisé pour réaliser la copie locale du courant de grille qui est l'élément fondamental de ce système. Un amplificateur opérationnel composé des transistors M_1 - M_7 , avec un gain de 47dB et une bande passante de 20 MHz, permet de placer les sources de M_N et M_{NS} au même potentiel pour garantir une copie de courant optimale. Le transistor M_7

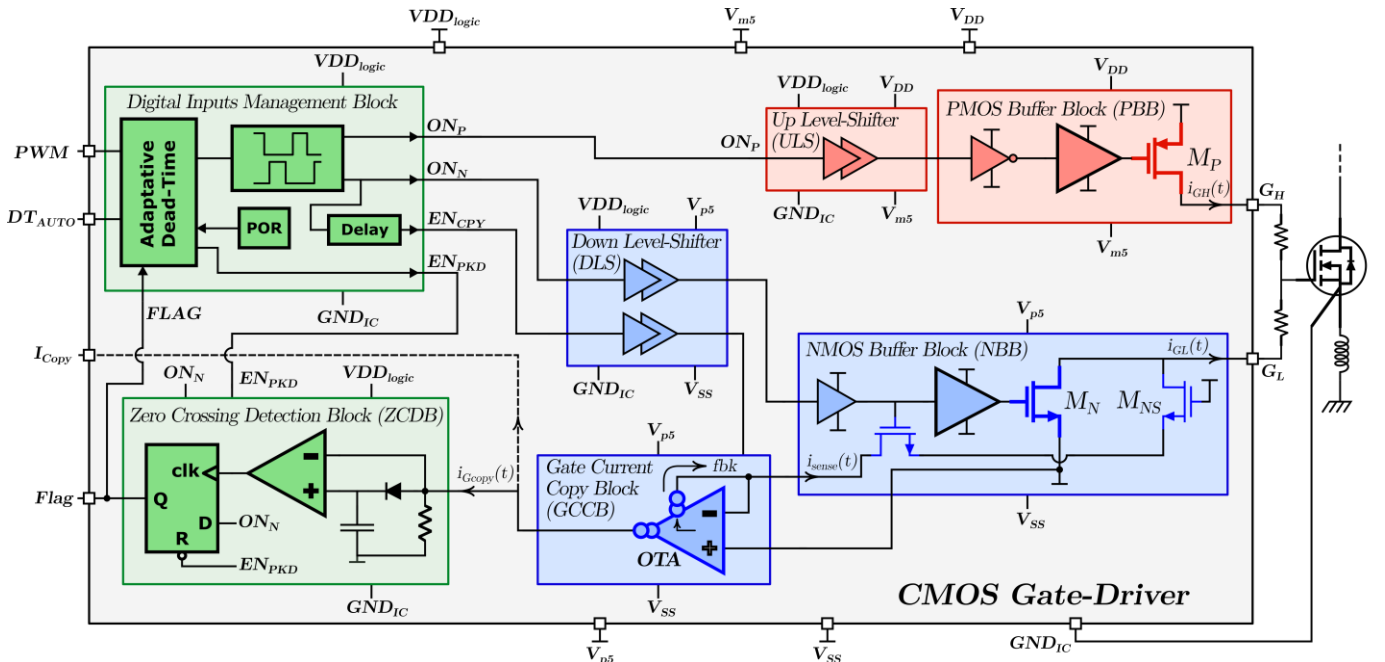
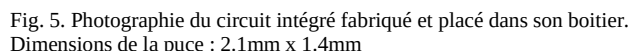
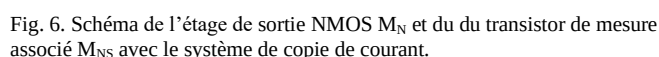


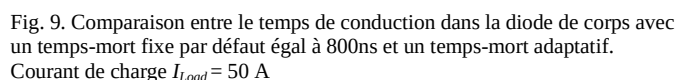
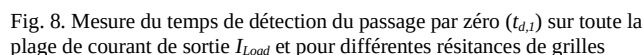
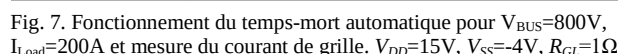
Fig. 4. Schéma-bloc du circuit de commande de grille avec le système de mesure du courant au niveau de la sortie G_L et de détection de la fin de la commutation.



agit comme une source de courant contrôlée et fournit en permanence le courant de mesure I_{Sense} qui est recopié par le miroir M₈-M₉ pour être utilisé dans le détecteur de pic. Ce système présente la particularité d’être en mesure de fonctionner alors que le courant circule en sortant du *gate-driver* (c-à-d. de la source vers le drain de M_N). Dans ces conditions, le potentiel V_{GL} est alors inférieur au rail d’alimentation négatif V_{SS} , rendant impossible l’utilisation d’un montage à SenseFET classique comme celui présenté dans [9].

Le circuit de copie de courant, ainsi que tous les autres blocs analogiques et logiques ont été conçus en technologie CMOS et intégrés dans la puce montrée en figure 6. Une part importante de la surface totale est occupée par les deux transistors de l'étage de sortie capable de fournir 15 A afin de garantir une vitesse de commutation optimale.

Les performances du circuit sont validées dans une configuration de test à double impulsion [10] avec un module de puissance SiC CAB450XM3 (1200V, 450A, 2.6 mΩ à 25°C). Le circuit de commande de grille est placé sur une carte d'évaluation spécifique, connectée au niveau du transistor complémentaire (*low-side*) de la cellule de commutation. Les tests ont été effectués avec une tension de bus de 800 V et un courant de charge allant de 15 A à 450 A. La figure 7 montre le fonctionnement du *gate-driver* et la génération automatique du temps-mort optimal avant la commutation ZVS. Un délai $t_{d,l}$ de



16 ns a été mesuré entre le passage par zéro de la tension drain-source et le signal de détection qui déclenche automatiquement l'amorçage du transistor. Un délai supplémentaire $t_{d,2}$ de 15 ns, dû à des délais de protection internes au circuit intégré, a lieu avant l'amorçage effectif du transistor. Pour ce point d'opération, où le courant de sortie est de 200 A, le temps de détection du passage à zéro représente moins de 7% du temps-mort total de 325 ns. La figure 8 montre la mesure du temps de détection sur la plage complète d'opération du MOSFET SiC et pour plusieurs valeurs de résistance de grille.

La figure 9 montre la comparaison entre l'utilisation d'un temps-mort fixe, d'une durée typique de 800ns, et le temps-mort adaptatif réalisé par le *gate-driver*. La courbe du bas est un zoom sur la tension V_{DS} proche de zéro et permet d'observer la période de conduction du courant au travers de la diode de corps. L'amorçage automatique du transistor *low-side* permet un temps de conduction total de l'ordre de 50 ns contre 550 ns avec le

temps-mort fixe, réduisant ainsi les pertes énergétiques associées d'un facteur 10.

5. CONCLUSIONS

Un système d'optimisation du temps-mort intégré au circuit de commande de grille et reposant sur la mesure interne du courant de grille a été présenté dans cet article. Ce système profite de la capacité de couplage C_{RSS} et de sa non-linéarité pour réaliser une détection précise du passage par zéro de la tension V_{DS} et donc de la fin de la commutation en tension du transistor opposé. Le transistor est ensuite activé automatiquement pour garantir une commutation ZVS avec un temps de conduction dans la diode de corps minimal, et ce pour une large plage d'opération. Le *gate-driver* a été testé dans une cellule de commutation avec une tension de bus de 800V et un courant de sortie compris entre 15A et 450A et permet une détection du passage par zéro en moins de 20 ns sur toute cette plage. Le système de gestion optimale du temps-mort proposé ici, sans composant additionnel externe, est un moyen efficace permettant de réduire les pertes et le stress associé à la conduction dans la diode de corps sans altérer d'aucune façon les performances de la cellule de commutation.

6. REFERENCES

- [1] W. Chou, A. Kempitiya, et O. Vodyakho, « Reduction of Power Losses of SiC MOSFET Based Power Modules in Automotive Traction Inverter Applications », in 2018 IEEE Transportation Electrification Conference and Expo (ITEC), p. 1035-1038. doi: 10.1109/ITEC.2018.8450130.
- [2] T. Pham, J. Franchi, and M. Domeij, « Body Diode of 1.2kV SiC MOSFET: Unipolar and Bipolar Operation, » Materials Science Forum, vol. 1091, pp. 37–41, Jun. 2023, doi: 10.4028/p-wzt7n0.
- [3] O. Aviñó Salvadó, H. Morel, C. Buttay, D. Labrousse, and S. Lefebvre, « Threshold voltage instability in SiC MOSFETs as a consequence of current conduction in their body diode, » Microelectronics Reliability, vol. 88–90, pp. 636–640, Sep. 2018, doi: 10.1016/j.microrel.2018.06.033.
- [4] Z. Zhou, Y. Yuan, Y. Wang, B. Zhang, and Y. Shi, «A predictive gate driver suitable for half-bridge applications,» in 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), May 2019, pp. 131–134. doi: 10.1109/ISPSD.2019.8757590.
- [5] [6] L. Mei, D. Williams, and W. Eberle, «A synchronous buck converter using a new predictive analog dead-time control circuit to improve efficiency,» Canadian Journal of Electrical and Computer Engineering, vol. 36, no. 4, pp. 181–187, 2013, doi: 10.1109/CJECE.2014.2303521.
- [6] [7] V. Yousefzadeh and D. Maksimovic, «Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers,» IEEE Transactions on Power Electronics, vol. 21, no. 4, pp. 994–1002, Jul. 2006, doi: 10.1109/TPEL.2006.876850.
- [7] L. Weihs, E. Wehr, K. Vohl, T. Zekorn, R. Wunderlich, and S. Heinen, «A Fully Integrated Adaptive Dead-Time Controlling Gate Driver Enabling ZVS in HV Converters,» in IEEE 49th European Solid State Circuits Conference (ESSCIRC), Sep. 2023, pp. 201–204.
- [8] R. Grezaud, F. Ayel, N. Rouger, and J.-C. Crebier, «A Gate Driver With Integrated Deadtime Controller,» IEEE Transactions on Power Electronics, vol. 31, no. 12, pp. 8409–8421, Dec. 2016.
- [9] P. Renz, P. Lamprecht, D. Teufel, and B. Wicht, «A 40V current sensing circuit with fast on/off transition for high-voltage power management,» in 2016 IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), Oct. 2016, pp. 1–4. doi: 10.1109/MWSCAS.2016.7870011.
- [10] B. Mondal, R. T. Pogulaguntla, and A. K. B, «Double Pulse Test Set-up: Hardware Design and Measurement Guidelines,» in 2022 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES), Dec. 2022, pp. 1–6. doi: 10.1109/PEDES56012.2022.10080339.