

Surveillance en temps réel et à haute précision de la tension de seuil de grille (V_{GSTH}) du MOSFET SiC sur bras d'onduleur MLI par l'insertion d'une commutation "spéciale" contrôlée par une architecture de gate-driver parallèle

Frédéric RICHARDEAU ⁽¹⁾, Mathis PICOT-DIGOIX ^(1,2), Sébastien VINNAC ⁽¹⁾, Jean-Marc BLAQUIERE ⁽¹⁾, Stéphane AZZOPARDI ⁽²⁾ et Thanh-Long LE ⁽²⁾

(1) Laplace, Univ. Toulouse, INPT, UT3 Univ. Paul Sabatier, CNRS

(2) Safran Tech - Saclay

RESUME—Deux nouvelles méthodes de surveillance en temps réel de l'état de santé de l'oxyde de grille du MOSFET SiC sont évaluées et comparées en MLI. Une première approche numérique complète permet d'extraire et de post-traiter en temps masqué de multiples indicateurs autour de la tension de plateau V_{GSP} . Une seconde approche analogique permet un suivi local et spécifique de la tension de seuil V_{GSTH} . Ces deux techniques sont obtenues par l'insertion d'une commutation d'amorçage spécialement ralentie et synchronisée au sein d'une trame MLI grâce à un driver à structure parallèle et à résistances de grille commutées. Un excellent rapport signal à bruit est ainsi obtenu permettant une précision et une répétabilité des mesures inférieures à 0,3% au sein d'un bras MLI 600V/20kHz.

Mots-clés—*MOSFET SiC, Fiabilité, Surveillance et Diagnostic, dérive du seuil V_{gsth} , architecture de gate-driver.*

1. INTRODUCTION

La maîtrise de la fiabilité du MOSFET SiC est un enjeu de premier plan dans les applicatifs embarqués critiques (automobile) et à longue durée d'usage (ferroviaire et aéronautique). Au niveau de la puce, le suivi en temps réel et à haute précision de l'instabilité de l'interface SiC/SiO₂ dans la région de canal et de l'état de piégeage en bord d'oxyde, à travers le seuil V_{GSTH} , est un réel défi technique encore peu abordé. L'équipe du Pr B. Akin de l'Université du Texas est cependant une des plus active sur ce thème. Dans [1] un échantillonnage de la tension de plateau est réalisé à l'amorçage de manière auto-synchronisée au passage de $V_{BUS}/2$ (i.e. $@\Delta t_{sampling} = T_{fV}/2$). Cependant, la tension de plateau ne représente pas directement le seuil V_{GSTH} souhaité et la mesure directe du plateau "court" et de forme "en pente" sur SiC MOSFET est délicate et peu robuste en raison de la présence d'oscillations. Très récemment dans [2] la même équipe propose de modifier astucieusement le détecteur de court-circuit " V_{DSAT} " bien connu pour en extraire $V_{GS} \cong V_{GSTH}$ au moment de la formation du canal lorsque le bras d'onduleur est à vide. Cependant, cette solution n'a pas été évaluée en termes de précision en MLI et en charge. Pour rendre la mesure plus précise, l'équipe concurrente du Pr Z. Peng de l'Université de

Floride propose dans [3] une mesure moyennée de la tension de plateau sur une commutation d'amorçage ralentie ($R_{GATE\ EXT.} = 100\Omega$). Cette configuration n'est évidemment pas viable en opérationnel. Sur le principe, cette idée a été reprise par l'équipe du Pr W. Tung Ng de l'Université de Toronto associée à *Fuji Electric* dans [4] et [5] de manière intégrée sur ASIC CMOS et au moyen d'une méthode originale d'extraction de V_{GSTH} dans la zone montante du coude "pré-plateau" sur une commutation d'amorçage ralentie. Là encore, l'évaluation de la précision en MLI et en charge n'est pas présentée par les auteurs.

Pour compléter cet art antérieur, nous proposons deux nouvelles techniques basées sur l'insertion ponctuelle d'une commutation spécialement dédiée à l'échantillonnage de V_{GS} en MLI au moyen d'une architecture à buffers en parallèle et à résistances de grille commutées (section 2). Une première technique dite générique et totalement numérique est tout d'abord décrite (section 3). Une seconde technique dite analogique et spécifiquement dédiée à l'extraction seule de $V_{GS} \cong V_{GSTH}$ est ensuite proposée (section 4). Les deux solutions seront évaluées en précision et répétabilité, à vide et en charge MLI sur bras d'onduleur MOSFET SiC 80m Ω -1.2kV @600V/20kHz, puis comparées.

2. ARCHITECTURE DU GATE-DRIVER ET COMMUTATION SPECIALEMENT RALLENTEE SYNCHRONISEE

Issue de travaux antérieurs des auteurs [6], l'architecture est décrite en Fig. 1a) associée au chronogramme de commande Fig. 1b). Celle-ci comprend deux lignes de buffers en parallèle : une première ligne dite *Fast* ($R_{GATE\ FAST\ EXT.} = 10\Omega$) est associée à une entrée de validation *Enable* permettant aux buffers de passer d'un état "haute impédance" (*Hi-Z*) à un état actif en 20ns ; une deuxième ligne dite *Slow* ($R_{GATE\ SLOW\ EXT.} \cong 1000.R_{GATE\ FAST\ EXT.}$) est quant à elle active en permanence. En fonctionnement normal, l'entrée *Enable* est active en permanence et les deux buffers sont commandés en parallèle. C'est donc bien la ligne *Fast* qui gouverne la

commutation puisque $R_{GATE\ FAST\ EXT.} \ll R_{GATE\ SLOW\ EXT.}$. Lorsqu'une mesure de la tension de grille est demandée par le système *host FPGA*, l'entrée *Enable* est mise à zéro ponctuellement au début d'une période de découpage : seul le buffer *Slow* est en mesure de gouverner la commutation d'amorçage mais celle-ci est 1000 fois ralentie facilitant la mesure à haute précision de la tension V_{GS} par la carte 1 (numérique) et la carte 2 (analogique). Un rapport cyclique minimum étant requis, le buffer *Slow* nécessite une synchronisation adaptée sur la modulante. A la fin de la séquence spéciale de mesure et moyennant une marge de temps de l'ordre d'1 μs , l'entrée *Enable* est à nouveau activée de manière à forcer la tension de grille à son niveau nominal sans attendre la fin de la période de commutation dédiée à la mesure. La séquence de mesure étant ponctuelle, peu fréquente et de durée inférieure à la période de découpage, l'impact sur la qualité du courant dans la charge et sur les pertes du transistor sont négligeables.

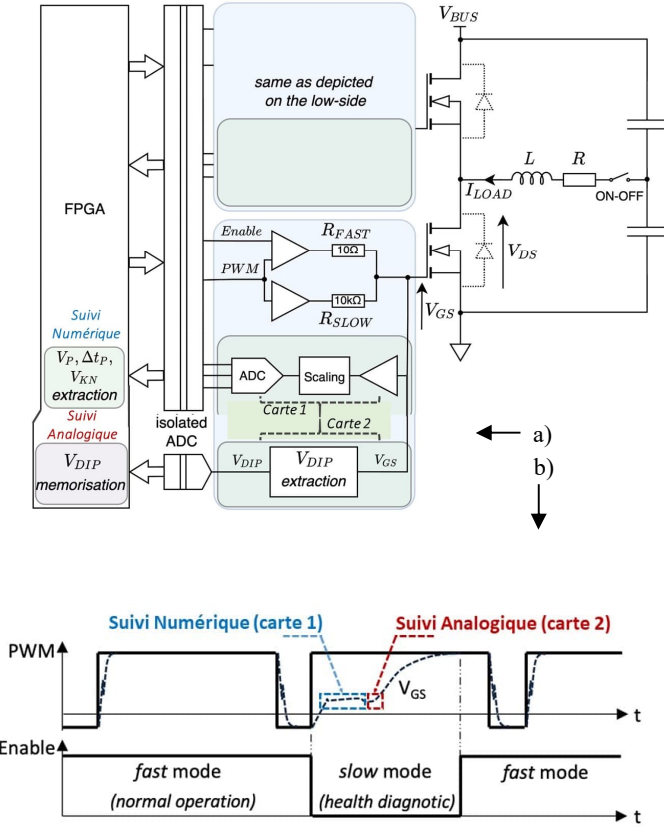


Fig. 1 a) Architecture générale du gate-driver à structure parallèle commutée *Fast – Slow* combinant un numériseur complet de V_{GS} autour de V_{GSP} (carte 1) et un extracteur analogique spécifique $V_{GSDIP} \cong V_{GSTH}$ (carte 2), b) insertion d'une commutation ralentie *Slow* en début de période "spéciale mesure". Note : $V_{GSP} = V_{GS}$ plateau.

3. SUIVI NUMERIQUE : CONCEPT ET RESULTATS

Après mise à l'échelle, V_{GS} est numérisée autour de sa tension de plateau par un CAN série 12 bits à 5Msps. Comme l'illustre la Fig. 2, la mesure est répétée 35 fois à basse fréquence sur le même niveau de profondeur de modulation avec un décalage

d'un pas d'horloge de 5ns procurant ainsi une quantification équivalente à 175Msps. Pour être viable, cette technique requiert une synchronisation à très faible jitter sur la modulante et un ratio de fréquence entier entre découpage et modulation.

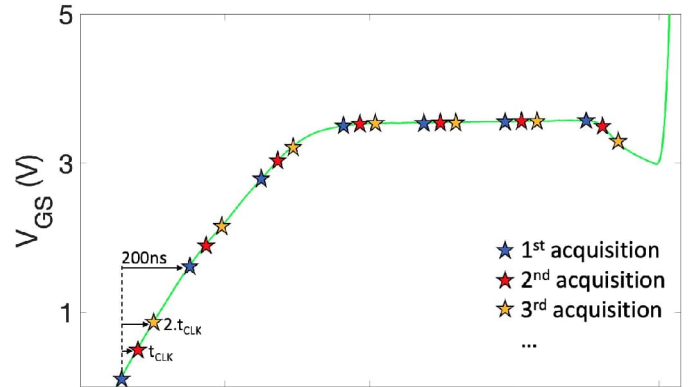
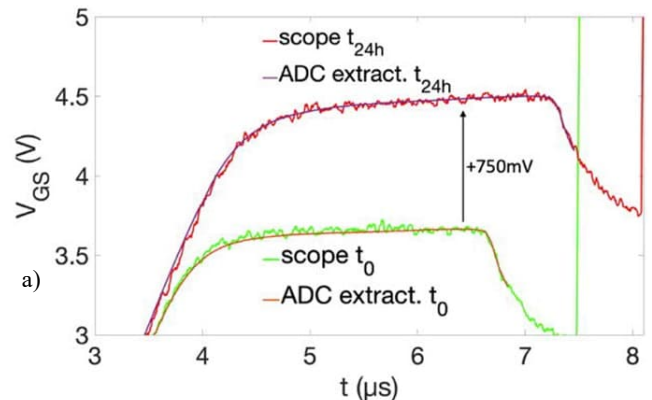


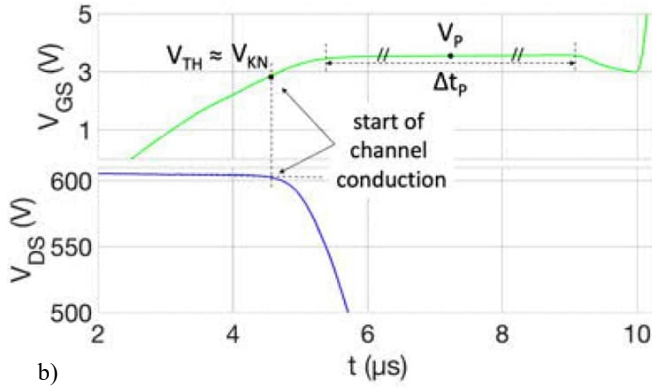
Fig. 2 Illustration du principe d'échantillonnage à pas d'horloge décalé 5ns x 35 périodes de modulation basse fréquence par CAN série 12 bits à 5 Msps, donnant une fréquence d'échantillonnage équivalente de 175Mps.

3.1 Mise en œuvre et résultats "bras à vide"

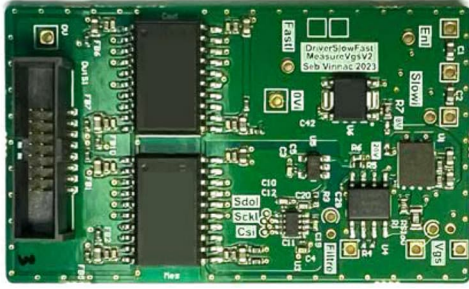
La Fig. 3 a) montre une comparaison entre les formes d'ondes de référence $V_{GS}(t)$ échantillonnées par un oscilloscope standard 8 bits en mode Hi-R et les points échantillonnés puis numérisés par notre nouveau système embarqué sur carte gate-driver : le niveau de bruit est inférieur à 20mV pour une tension de seuil V_{GSTH} autour de 3V (voir section 5), attestant d'une haute qualité de mesure rendue possible par la commutation d'amorçage ralentie synchronisée à basse fréquence de répétition puis numérisée à 175Mps [7]. Cette même Fig. 3 a) illustre, à titre d'exemple, la conséquence de l'application d'un stress *HTGB* (*High Temp. Gate Bias*) réalisé en off-line du banc sous $V_{GSBLAS} = 35V$ pendant 24h. Pour un DUT MOSFET SiC C2M0080120D d'épaisseur d'oxyde de grille typique de 50nm, ce stress se traduit par un champ électrique appliqué intense de $7MV.cm^{-1}$ nettement supérieur au seuil de conduction par effet tunnel Fowler-Nordheim ($5.5MV.cm^{-1}$). Un décalage de 750mV a ainsi été mesuré dans ces conditions de stress particulièrement intense.

La Fig. 3 b) précise les indicateurs générés par post-traitement numérique sur FPGA en temps masqué (parallèle au temps réel de la MLI) calculés sur des critères de pente : V_{KN} (pour V_{KNEE}) est l'indicateur qui sera associé au suivi de la tension de seuil $V_{KN} \cong V_{GSTH}$, V_{GSP} le niveau de la tension de plateau de durée Δt_p . Une photo de la deuxième version de la carte 1 dite numérique réalisée en 2024 est reproduite en Fig. 3 c).





b)

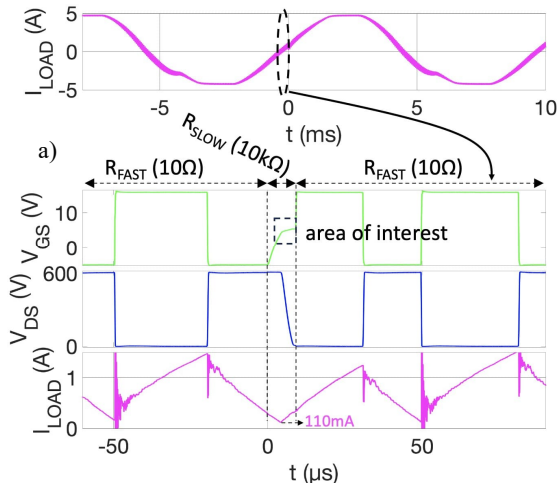


c)

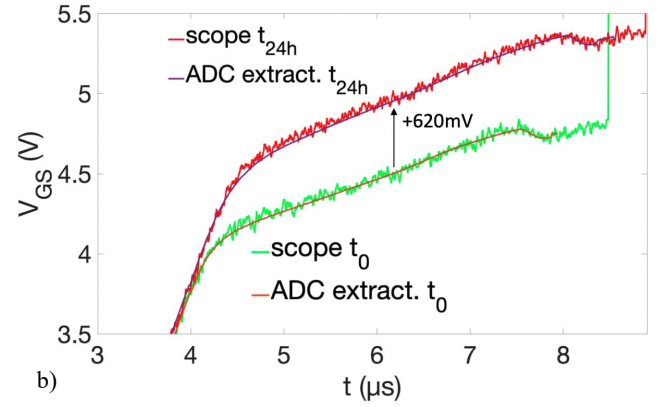
Fig. 3 a) Comparaison entre les courbes expérimentales *Slow* numérisées sous MLI et celles du scope DPO4104B en mode moyenné Hi-R sur banc pour un composant neuf "scope t_0 " et un composant stressé "scope t_{24h} " en HTGB sous $V_{GS} = 35V$ @150°C ($E_{ox} = 7MV.cm^{-1}$) pendant 24h, b) Définitions des indicateurs de suivi de l'état de l'oxyde obtenus par la carte 1, c) Photo de la carte 1 réalisée (deuxième version 2024). Note : HTGB (High Temp. Gate Bias).

3.2 Résultats "bras en charge"

L'évaluation de la technique proposée en charge est illustrée en Fig. 4 a). La commutation ralentie est synchronisée et répétée au voisinage du passage par zéro du courant, i.e. pour un rapport cyclique proche de $\frac{1}{2}$. Cette synchronisation place le DUT dans des conditions de commutation "dure" à très faible courant d'amorçage (ici 110mA) facilitant l'extraction de la tension de seuil V_{GSTH} souhaitée. Considérant un ratio constant entre les fréquences de découpage et de modulation, la Fig. 4 b) donne une comparaison analogue à celle de la Fig. 3 a) mais en charge cette fois. L'effet Miller présente maintenant une forme en "pente" bien connue en raison de la structure à canal court du composant MOSFET SiC mais cette caractéristique ne remet pas en cause la qualité de la mesure et le potentiel d'exploitation pour le suivi de l'état de santé de l'oxyde.



a)



b)

Fig. 4 a) Formes d'onde du principe d'échantillonnage et de numérisation synchronisé en charge ($F_{DEC} = 20kHz$, $F_{MOD} = 100Hz$, $V_{BUS} = 600V$ – charge 5A), b) Comparaison entre les courbes expérimentales *Slow* numérisées sous MLI et celles du scope DPO4104B en mode moyenné Hi-R sur banc pour un composant neuf et un composant stressé en HTGB sous $V_{GS} = 35V$ @150°C ($E_{ox} = 7MV.cm^{-1}$) pendant 24h.

4. SUIVI ANALOGIQUE : CONCEPT ET RESULTATS

Lorsque le buffer *Slow* est sous-alimenté ($V_{DD} \cong 10V$), V_{GS} présente une forme en "creux" entre la fin du plateau et la recharge complète. Cette singularité a été découverte lors d'une expérimentation sur banc en mode *Slow* comme l'illustre la Fig. 5) : la forte augmentation de C_{GD} en basse tension de drain induit un effet pompe de charges sur C_{GS} dont la tension V_{GS} décroît théoriquement jusqu'à la coupure du canal soit $V_{GS} = V_{GSTH}$. L'effet est d'autant plus spectaculaire que V_{DD} est proche de V_P (plateau) et que $R_{GATE SLOW EXT.}$ est de forte valeur afin de ne pas compenser la décharge de V_{GS} par la ligne amont buffer *Slow*.

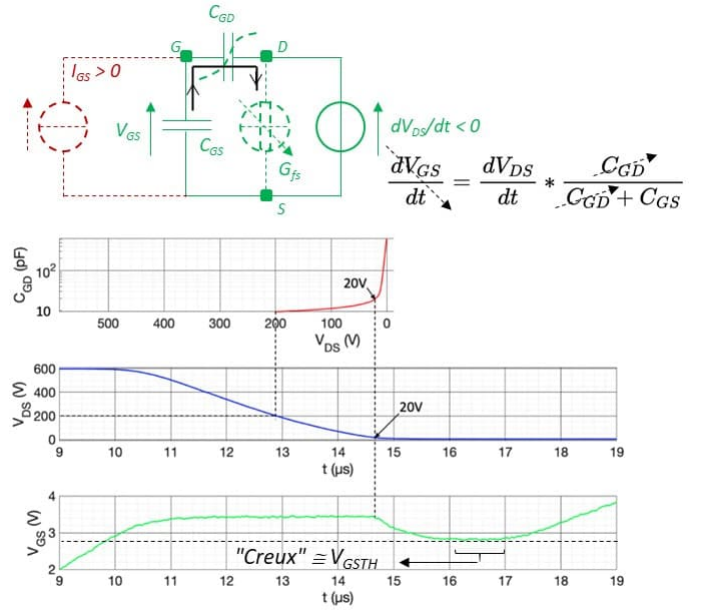


Fig. 5 Formes d'ondes expérimentales illustrant le mécanisme d'apparition du "creux" sur $V_{GS} \cong V_{GSTH}$ en configuration de ligne buffer *Slow*, V_{DD} proche de V_P et $R_{GATE EXT.} = R_{GATE EXT. SLOW}$.

Le principe de mesure est décrit en Fig. 6a) et b) et a été breveté début 2024 [8] : un double redresseur sans seuil piloté par la dérivée de V_{GS} permet de capturer le "creux" et de le maintenir stable pendant une première séquence d'au moins 13 μ s. Un échantillonneur bloqueur rentre en jeu dans une seconde séquence, en 150ns, et permet de mémoriser en "temps masqué" la valeur analogique du "creux" pendant 34 μ s. Cette deuxième séquence permet de démarrer un CAN Σ - Δ associé à un algorithme de conversion Sinc3 pour obtenir l'équivalent d'une numérisation 16 bits en 20 μ s de la tension de creux. L'opération peut être répétée pour moyenner. Il est à noter que la première séquence de 13 μ s ne représente que 25% de la période de découpage à 20kHz. La Fig. 6 c) reproduit la photo de la carte prototype 2 réalisée.

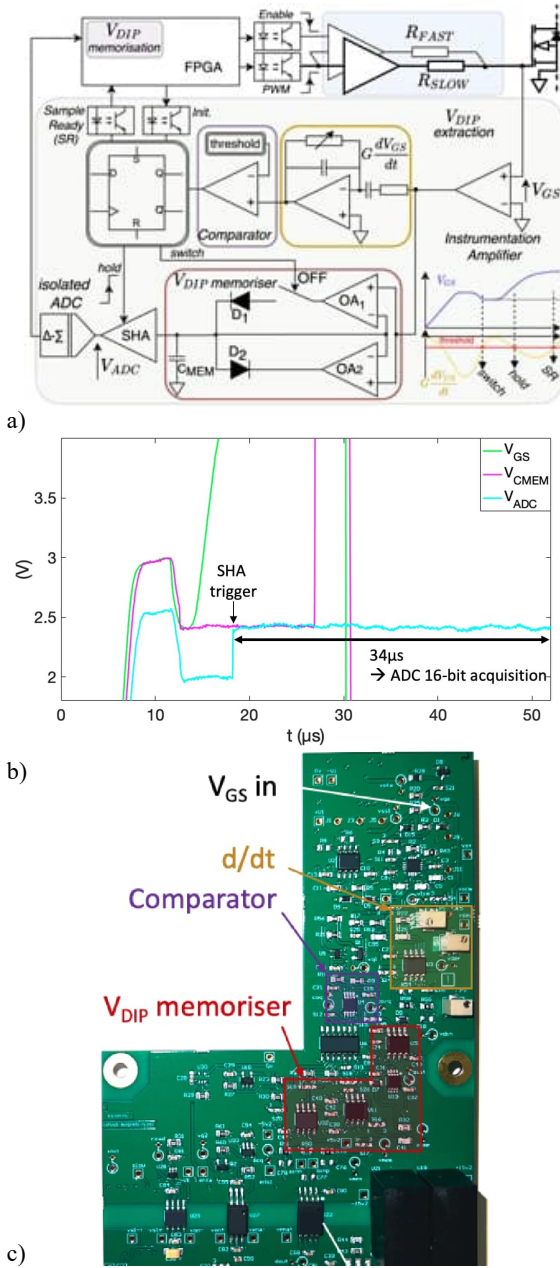


Fig. 6 a) Schéma synoptique de l'architecture du mémorisateur analogique puis du numériseur de la tension de grille au moment du "creux" $V_{GS} = V_{DIP}$ par la carte 2 au sein d'une commutation *Slow* de la trame MLI, b) Formes d'ondes expérimentales du séquençage, c) Photo de la carte 2 réalisée.

4.1 Mise en œuvre et résultats "bras à vide"

En suivant la même démarche qu'en 3) pour l'approche numérique, la Fig. 7 a) donne les résultats principaux de la mémorisation du creux de V_{GS} en situation de bras à vide pour une tension d'alimentation du driver V_{DD} nominale à 20V. De la même manière qu'en Fig. 3 a), il est possible de détecter très nettement un décalage de la tension V_{GS} proche de la tension de seuil, entre un composant à oxyde neuf et un composant dont la grille est tressée sous 35V à 7MV.cm⁻¹ pendant 24h à 150°C. La détection s'opère ici par auto-mémorisation du "creux" de V_{GS} de manière bien plus sélective et spécifique en comparaison avec la méthode numérique. Cette approche analogique ne nécessite donc pas de post-traitement numérique en temps masqué comme le requiert la méthode précédente numérique décrite en §3.

La figure suivante Fig. 7 b) montre tout l'intérêt d'adapter la méthode analogique de manière à abaisser la polarisation de grille en configuration *Slow* avec un $V_{DD} < V_{DD\ nominal}$ (soit $V_{DD} < 20V$). Cette précaution permet au "creux" de se rapprocher du seuil de coupure de la conduction du canal plus rapidement et plus finement ce qui fait converger $V_{GS} \rightarrow V_{GSTH}$. La valeur seuil mentionnée sur le graphe correspond à celle mesurée sur un SMU B2902A @ $I_{DS\ BLAS} = 5mA - T_{ROOM}$.

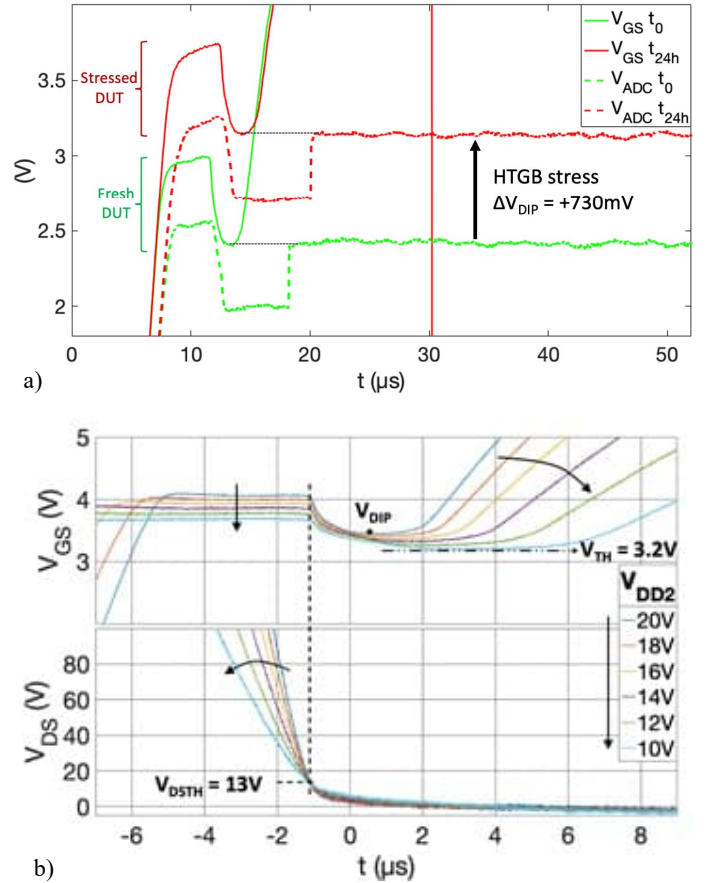


Fig. 7 a) Mise en œuvre du principe d'auto-mémorisation du "creux" de V_{GS} par la carte 2 analogique sous 600V, bras à vide, $F_{DEC} = 20kHz$, $F_{MOD} = 100Hz$ et mise en évidence de l'extraction du décalage de V_{GS} avec composant stressé sous $V_{GS} = 35V @ 150^{\circ}C$ ($E_{ox} = 7MV.cm^{-1}$) pendant 24h, 7 b) Mise en évidence de l'intérêt d'une adaptation de $V_{DD} < 20V$ pour améliorer la précision de l'extraction de $V_{GS} \rightarrow V_{GSTH}$.

4.2 Résultats "bras en charge"

La Fig. 8a) donne le chronogramme de la méthode d'extraction de V_{GS} à faible charge, en opérant la synchronisation du process d'extraction au voisinage du passage par zéro moyennant un offset positif. Cette condition garantit une commutation "dure" sur le composant à surveiller et l'application de la séquence ponctuelle dite *Slow*. Comme pour la méthode numérique, cette opération nécessite une excellente synchronisation sur la modulante avec un rapport entier entre fréquence de découpage et modulation. La Fig. 8 b) montre les résultats : la présence d'un courant dans le canal fait apparaître un effet Miller en forme de pente et un rehaussement de la tension de grille. Cependant, grâce à l'usage d'une alimentation du buffer *Slow* V_{DD} réduite et l'emploi d'une résistance $R_{GATE\ EXT.}$ *SLOW* élevée, le mécanisme de "creux" est encore présent même s'il est limité. L'auto-mémorisation du "creux" est encore fonctionnelle dans ce cas limite mais il n'est plus possible d'associer V_{GSTH} à V_{DIP} .

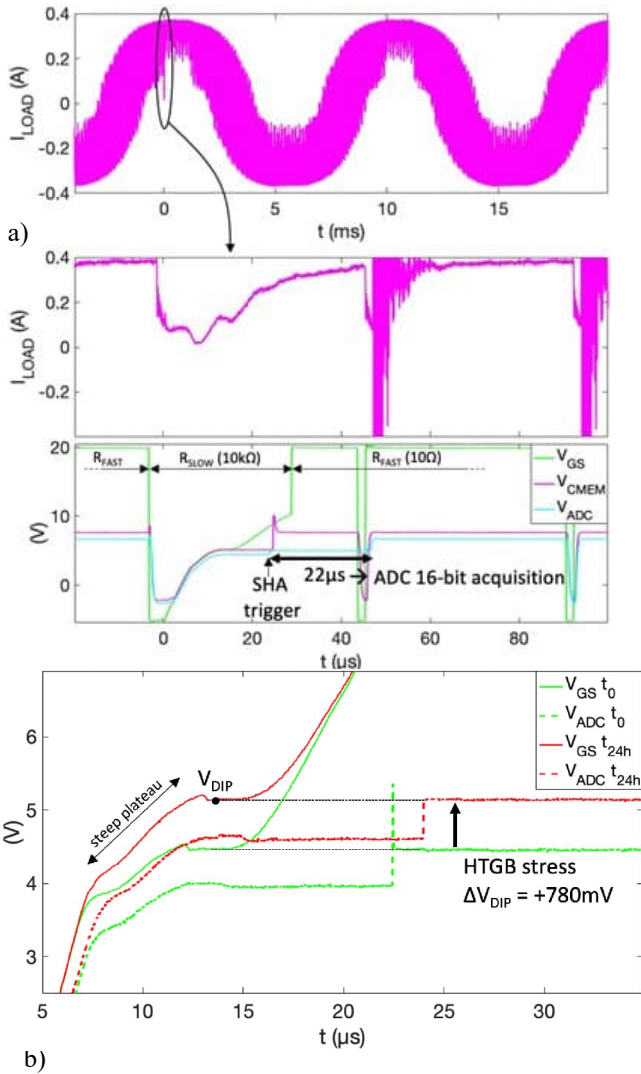


Fig. 8a) Essai à faible charge et chronogramme de la méthode analogique d'extraction de V_{GS} par auto-mémorisation du creux, 600V, $F_{DEC} = 20\text{kHz}$, $F_{MOD} = 100\text{Hz}$, b) Mise en évidence de l'extraction du décalage de V_{GS} avec composant stressé sous $V_{GS} = 35\text{V}$ @150°C ($E_{ox} = 7\text{MV.cm}^{-1}$) pendant 24h.

5. COMPARAISON DES APPROCHES ET CONCLUSION

Des essais à vide, en charge, composant neuf et préalablement stressé en HTGB ont été conduits sous 600V/20kHz. Un pilotage par FPGA Cyclone V™ sur carte DE10-Nano™ 200MHz associé à une IHM 4D Systems™ a été développé et implémenté en incluant l'extraction des indicateurs de suivi de l'état de santé de l'oxyde. La synthèse des résultats est donnée en Tab. 1.

Tab. 1 Synthèse des résultats sur MOSFET SiC Gén. 2
1,2kV-80mΩ - TO247-3L en MLI 600V/100Hz-20kHz
Tamb. constante.

	Indicateur	Moyenne (μ) de l'indicateur sur 20 mesures	Valeur efficace (σ) de l'écart à la moyenne (μ) sur 20 mesures	Ratio σ/μ x100%
A vide	$V_{KNEE} \cong V_{GSTH}$	3,31V	5,2mV	0,16%
	V_P	4,42V	12,9mV	0,29%
	ΔT_P	2,87 μ s	6ns	0,21%
	$V_{DIP} \text{ (creux)} \cong V_{GSTH}$	3,76V	8,1mV	0,22%
En charge (synchro au passage par zéro du courant)	$V_{KNEE} \cong V_{GSTH}$	3,30V	8,9mV	0,27%
	V_P	4,99V	24,5mV	1,63%
	ΔT_P	5,35 μ s	19ns	0,36%
	$V_{DIP} \text{ (creux)} \cong V_{GSTH}$	5,35V	19,4mV	0,36%

Une excellente précision et répétabilité ($\epsilon < 0,36\%$) est obtenue en temps réel sous 600V/20kHz, pour les deux nouvelles méthodes proposées et sur l'ensemble des indicateurs. Il est remarquable de noter que la méthode numérique permet d'extraire V_{GSTH} à haute précision ($\epsilon < 0,27\%$) à vide comme en charge, offrant une évaluation de la santé de l'interface canal – oxyde de manière fiable, non intrusive sur le fonctionnement global, tout au long du profil de mission.

Ce niveau de performance est obtenu grâce à la commutation d'amorçage ralentie, synchronisée et numérisée à haute précision et à très faible bruit. Cette technique autorise ainsi l'application d'algorithmes de détection de pente à haute sensibilité basés sur des calculs de dérivées première et seconde pour extraire V_{GSTH} de manière robuste et répétable.

Cette approche est générique, complète mais requiert le développement d'algorithmes d'extraction robustes sur les indicateurs. A l'inverse, la méthode analogique est spécifique (mais très originale !), tout aussi précise sur notre banc. Elle sera néanmoins et par principe même plus sensible à la dispersion des composants de la chaîne de mesure et à son environnement (T_{amb} , EMI ...), à moins qu'une intégration sur circuit spécifique

(ASIC) ne soit envisagée car aucun composant haute tension n'est requis contrairement à la réf. [2]. L'approche analogique ne permet pas toutefois une extraction du V_{GSTH} en charge.

Les deux méthodes proposées dans cet article visent à un suivi de la dérive complète de la tension de grille au voisinage de son seuil V_{GSTH} et de son plateau V_{GSP} . Dans la mesure où aucune séquence préalable de préconditionnement ou de réinitialisation de l'état réversible de piégeage n'est possible de manière dynamique en MLI (recommandations JEDEC JEP183A, janvier 2023, comité JC-70-1) il n'est pas encore possible avec ce type de méthode et à ce stade de différencier la contribution de la dérive associée au vieillissement réel et irréversible de l'oxyde.

6. REFERENCES

- [1] S. Pu, F. Yang, E. Ugur, C. Xu and B. Akin, "SiC MOSFET Aging Detection Based on Miller Plateau Voltage Sensing," 2019 IEEE Transportation Electrification Conference and Expo (ITEC), Detroit, MI, USA, 2019, pp. 1-6, doi: 10.1109/ITEC.2019.8790553.
- [2] M. Farhadi, B. T. Vankayalapati, R. Sajadi, and B. Akin, "AC Power Cycling Test Setup and Condition Monitoring Tools for SiC-Based Traction Inverters," IEEE Transactions on Vehicular Technology, vol. 72, no. 10, pp. 12 728–12 743, 2023.
- [3] U. Karki and F. Z. Peng, "Precursors of Gate-Oxide Degradation in Silicon Carbide MOSFETs," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), Portland, OR, USA, 2018, pp. 857-861, doi: 10.1109/ECCE.2018.8557354.
- [4] M. Wang et al., "A Smart Gate Driver for SiC Power MOSFETs with Aging Compensation and Ringing Suppression," 2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Nagoya, Japan, 2021, pp. 67-70, doi: 10.23919/ISPSD50666.2021.9452261.
- [5] M. Wang, J. Zhang, W. T. Ng, H. Nishio, M. Iwamoto and H. Sumida, "Application of a Smart Gate Driver to Detect Aging in SiC Power MOSFETs," 2023 35th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Hong Kong, 2023, pp. 187-190, doi: 10.1109/ISPSD57135.2023.10147513.
- [6] Mathis Picot-Digoix, Frédéric Richardeau, Jean-Marc Blaquié, Sébastien Vinnac, Stéphane Azzopardi, et al.. "Gate Voltage Dip as a New Indicator for On-Line Health Monitoring of SiC MOSFETs", IEEE Transactions on Power Electronics, 2024, (10.1109/tpel.2024.3476553). (hal-04732708).
- [7] Mathis Picot-Digoix, T-L Le, S. Azzopardi, Sébastien Vinnac, Frédéric Richardeau, et al.. "On-Line Digital Fine Monitoring of SiC MOSFET Gate-Oxide Health: A Dual-Channel Gate Driving Approach", IEEE 36th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Jun 2024, Bremen, Germany. pp.84-87, (10.1109/ISPSD59661.2024.10579698). (hal-04647322v2).
- [8] Dépôt de brevet FR2400800, Circuits électroniques d'acquisition de la tension de seuil d'un transistor de puissance, Safran – Toulouse INP, CNRS, 26 janvier 2024.