

Contributions aux circuits de commande gate driver dédiés à la haute température et aux très fortes vitesses de commutation

NGUYEN Van-Sang^{1,2}, LE Thanh-Long^{1,2}, Farshid SARRAFIN^{1,2,5}, TO Ngoc-Duc^{1,2}, Davy COLIN^{1,2}, Nicolas ROUGER^{1,2}, Pierre LEFRANC^{1,2}, Bruno ALLARD⁵, Yves LEMBEYE^{1,2}, Jean-Daniel ARNOULD^{3,4} et Jean-Christophe CREBIER^{1,2}

¹Universite de Grenoble Alpes, G2ELab, F-38000 Grenoble, France

²CNRS, G2ELab, F-38000 Grenoble, France

³Universite de Grenoble Alpes, IMEP - LAHC, F-38000 Grenoble, France

⁴CNRS, IMEP - LAHC, F-38000 Grenoble, France

⁵INSA Lyon, AMPERE, F-69000 Lyon, France

RESUME -Basé sur les contraintes de fonctionnement des transistors à commutations rapides, cet article présente et analyse la problématique du transfert des ordres de commande du transistor « high-side » dans une configuration de bras d'onduleur. En plus des contraintes imposées par les forts « dv/dt » sur le driver, la température de fonctionnement élevée (jusqu'à 200°C) impose une conception spécifique du circuit de commande. Aujourd'hui, la technologie silicium reste la solution la plus fiable et la plus mature pour la conception du driver mais au prix d'une mise en œuvre délicate (tenue en tension, température, dv/dt). Trois solutions sont proposées et comparées : transformateur coreless, level-shifter et émetteur/récepteur optique. Les délais de propagation, l'intégrité du signal (durée du rapport cyclique et précision temporelle) ainsi que l'immunité aux dv/dt des prototypes sont caractérisées en fonction de la température ambiante de fonctionnement.

Mots-clés—Gate Driver, GaN, Circuit de Command, Level Shifter, Driver Coreless, Driver Optique

1. INTRODUCTION

Aujourd'hui, les transistors de puissance à forte vitesse de commutation et en particulier les transistors à grand gap sont des composants très contraignants [1] [2] [3]. Les vitesses de commutation très élevées impliquent la nécessité d'une grande précision temporelle du signal de commande. Les forts dv/dt introduisent des contraintes extrêmes au niveau du transfert d'ordres pour le transistor « high-side » [4] [5]. Enfin, le fonctionnement à haute température ambiante complexifie la conception du driver et nécessite de se tourner vers des technologies dites « haute-température ».

L'objectif de cet article est de proposer et d'analyser des solutions de transfert d'ordres de commande, physiquement aussi proche que possible du transistor de puissance pour minimiser les éléments parasites tout en répondant aux contraintes thermiques. Ce papier se concentre sur des solutions innovantes de transfert du signal lowside et/ou highside dans des circuits dédiés (ASIC) SOI-CMOS sous des conditions de fonctionnement à haute température jusqu'à 200°C. Il présente le travail d'investigation mené dans

le cadre du projet national MEGAN, et plus spécifiquement dans le «Work-Package 3» dédié à la conception et au prototypage d'un driver intégré adapté aux nouvelles contraintes imposées par les composants GaN.

2. INTEGRATIONS MONOLITHIQUES DE LA FONCTION DE TRANSFERT D'ORDRES DE COMMANDE

Trois approches sont candidates pour le transfert du signal de commande du transistor « high-side » dans des conditions de fonctionnement sévères : levelshifter à source de courant, transformateur coreless et opto-coupleur. Pour chaque technique, les avantages et les inconvénients sont identifiés. La solution de « level-shifter » ne propose pas d'isolation galvanique car le transfert d'ordre se fait par l'intermédiaire d'un miroir de courant. Afin de diminuer la consommation de la fonction, l'idée est de travailler avec un système d'envoi d'impulsions et ensuite de transformer celles-ci en états logiques. Nous verrons que cette technique permet d'avoir un temps de propagation d'environ 16ns avec une faible déviation de cette valeur en fonction de la température de fonctionnement.

Ensuite, la solution de transformateur coreless [5], intégré sur puce silicium avec le modulateur et le démodulateur, montre un fonctionnement satisfaisant mais avec une susceptibilité plus importante à cause de son couplage capacitif entre son primaire et son secondaire. Nous verrons par la suite que l'isolation galvanique quasi-statique est de 5.2kV pour la partie coupleur mais que cette solution repose sur une structure bi-puces pour offrir de tels niveaux d'isolation électrique

La solution optique intégrée semble prometteuse pour son immunité au dv/dt et sa tenue diélectrique. L'approche est basée sur la transmission d'une information par voie lumineuse par fibre optique à un récepteur optique intégré directement dans la puce de commande. Si ce dispositif montre des performances très prometteuses, le packaging reste un problème clé, particulièrement quand plusieurs transistors doivent être pilotés, chaque gate driver nécessitant une fibre optique dédiée avec pour chacune d'elles, une solution

packaging de mise en œuvre et d'adaptation de la fibre sur les puces. Nous verrons que la réponse spectrale des différents détecteurs intégrés montre un bon ratio de conversion optique, une très bonne immunité aux dv/dt et une déviation du rapport cyclique faible.

Les trois solutions ont été conçues et réalisées avec la technologie SOI XFAB XT018, qualifiée pour une utilisation en haute température à 175°C. Dans le cadre du projet MEGAN, cette technologie est par ailleurs évaluée pour des fonctionnements au-delà de cette température et jusqu'à 225°C par d'autres partenaires ce qui permettrait peut-être dans l'avenir de pousser la température de fonctionnement de ces solutions au-delà de 175°C.

3. DESIGNS ET CARACTERISATIONS

La technologie XFAB XT018 a été choisie par rapport à plusieurs critères : haute température, forte capacité en courant, une large plage de tension avec de multiples composants à différents niveaux tensions et un caisson d'oxyde pour l'isolation. C'est une technologie SOI (Silicon OnInsulator) partiellement déplétée avec 6 niveaux de métaux disponibles. De plus, cette technologie implémente des caissons d'oxyde qui limitent le crosstalk entre les différents circuits et le substrat, ce qui limite le courant de fuite et les capacités parasites. Un faible courant de fuite reste un facteur critique, surtout à haute température. Dans la suite, les trois méthodes de transfert sont présentées par l'intermédiaire de trois puces de test fabriquées avec la technologie XFAB.

3.1 Transformateur coreless

La figure 1 montre un schéma de principe de la fonction de transmission de signal avec transformateur coreless. Cette fonction se décompose en 4 parties : le circuit de commande du primaire, le transformateur sans noyau et le démodulateur et le buffer de sortie au secondaire du transformateur. Les éléments de chaque circuit sont présentés comme suit :

Le circuit primaire est composé d'un « mélangeur » et d'un modulateur intégrés. Dans une première puce figure 1, le côté primaire est piloté par une fonction MLI créneau (VDD1) modulé par une porteuse haute fréquence. Le transformateur intégré assure l'isolation galvanique entre le primaire et le secondaire. L'enroulement secondaire se situe au-dessus de l'enroulement primaire. Le circuit secondaire est intégré dans une seconde puce pour limiter les capacités parasites du substrat et pour tenir la tension entre les deux parties du circuit, la technologie XFAB sélectionnée étant limitée à 200V. Le circuit secondaire consiste en une détection de crête associé à un comparateur rapide puis un étage d'amplification en courant qui pilote le composant de puissance. Les deux puces sont interconnectées l'une à l'autre par l'intermédiaire de deux fils de bonding. Elles disposent l'une et l'autre d'une alimentation isolée avec deux références de potentiels différentes GND1 et GND2. La photo au microscope des puces XFAB XT018 est présentée en figure 2.

La figure 3 montre les formes d'onde en tension appliquées côté primaire, où la fréquence de modulation est de 330 MHz.

Dans la figure 4, la capacité parasite entre primaire et secondaire du transformateur sans noyau est caractérisée à 1.8 pF à 1 MHz et la tenue en tension est supérieure à 3kV. Sur la figure 5, les délais de propagation entre le signal d'entrée et le signal de sortie sont mesurés pour différentes températures jusqu'à 200°C.

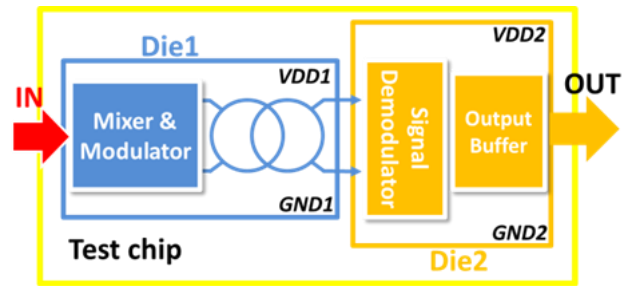


Fig. 1. Schéma du driver intégré avec un transformateur sans noyau

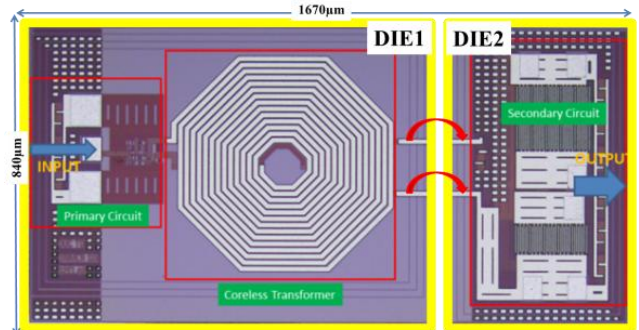


Fig. 2. Image au microscope optique des fonctions de transfert

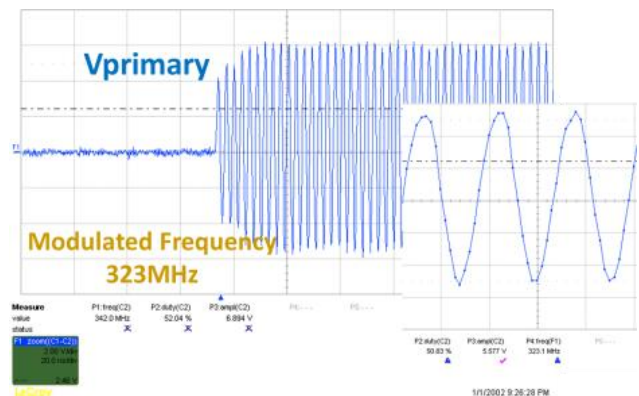


Fig. 3. Tension primaire du transformateur sans noyau

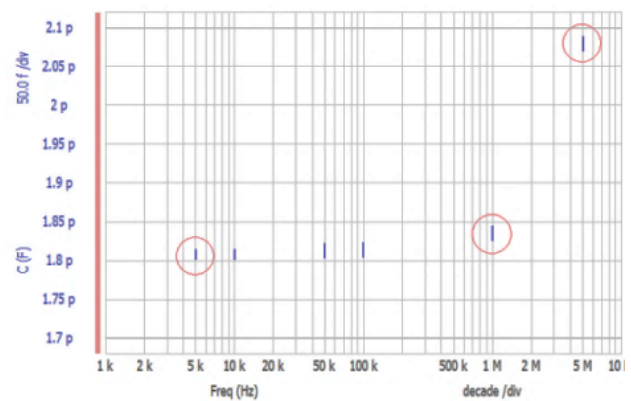


Fig. 4. Capacité parasite entre primaire et secondaire du transformateur sans noyau

Dans la figure 5, on observe que le temps de propagation de l'état haut vers l'état bas est plus impacté par l'élévation de la température moyenne. Cette dispersion est attribuée au circuit de détection qui intègre un circuit RC et dont la partie résistive est fortement dépendante à la température. Si l'activation du détecteur est maintenue rapide, la décharge du circuit de détection et elle dépendante de la température.

Une perturbation en tension par un créneau de 100 V avec un dv/dt de 25 V/ns est appliquée entre le côté primaire et

secondaire à l'aide d'un bras d'onduleur auxiliaire. Sur la fig. 6a, la mesure du signal en sortie du driver est présentée une mais sans signal d'entrée au primaire. On observe des variations du potentiel en sortie du buffer du secondaire qui sont dues aux courants parasites qui traversent la capacité parasite du transformateur coreless.

Quand le signal d'entré est appliqué, la mesure du signal de sortie est montrée en fig. 6b. La perturbation observée précédemment est toujours présente mais elle n'affecte pas l'intégrité du signal de sortie.

Dans ce dispositif expérimental, il persiste une capacité parasite entre primaire et secondaire importante car seule la solution mono-puce a pu être testées de manière satisfaisante. Cette puce, variante de conception, intègre l'ensemble des fonctions sur la même puce. Dans ce cas, le système est fonctionnel mais présente une tenue en tension limitée à 200V et surtout, il intègre une grande capacité parasite entre l'entrée et la sortie car les parties primaire et secondaire par l'intermédiaire du substrat commun. Nous travaillons à l'identification du problème de la solution bi-puces et projetons que cette solution sera en mesure de supporter des dv/dt supérieurs à 50V/nsec.

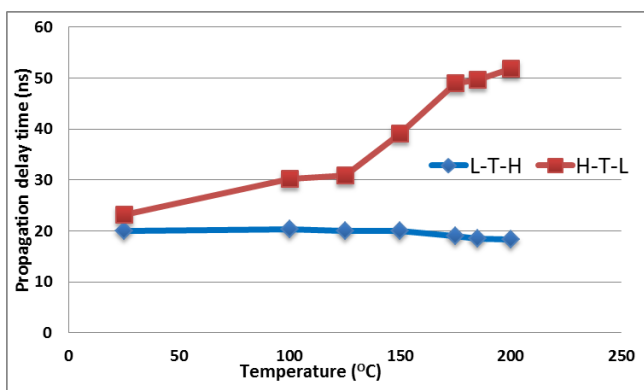


Fig. 5. Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

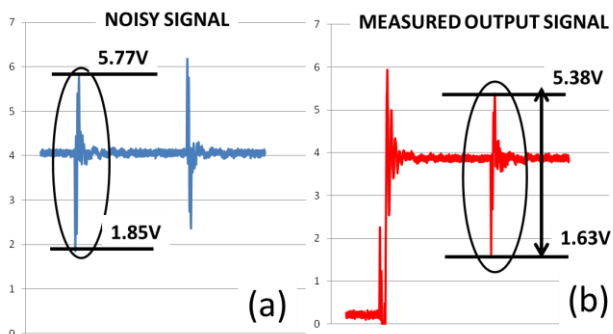


Fig. 6. Signal de sortie avec dv/dt : a) Sans signal d'entrée, la perturbation à la sortie; b) Avec le signal d'entrée, signal mesuré en sortie, comprenant le bruit

3.2 Levelshifter à miroir de courant

Cette topologie de levelshifter à source de courant est composée de deux CSU (Control Signal Unit) pulsées (fig. 7). Cette structure offre une symétrisation parfaite des fronts de commutation du composant de puissance. Le décalage temporel entre les deux impulsions de tension est déterminé par le rapport cyclique. Une bascule RS produit le rapport cyclique à partir des deux signaux pulsés, avec des temps de montée et de descente identiques garantissant la bonne valeur du rapport cyclique et une très bonne localisation temporelle de

celui-ci ce qui est important dans le cas de commutation transistor. En effet, cette topologie est bien adaptée pour optimiser les variations entre transistors car elle produit un délai de propagation réduit et très stable. L'opportunité d'intégrer tous les levelshifter sur une seule puce permet de les rendre identiques d'un point de vue technologique et de les faire fonctionner dans des conditions similaires, en particulier au niveau thermique. De plus la transmission de signal pulsé permet le design de miroirs de courant avec des niveaux de courant élevé pour augmenter l'immunité au dv/dt tout en maintenant une faible consommation (<10 mW). En revanche, la tenue en tension de cette solution vient de tenue en tension du transistor Tcm2 de la Figure 8. Elle est donc limitée par la technologie, ici 200V. C'est une donnée importante puisque cela ne permet pas d'envisager des applications HT avec cette approche puisque les transistors haute tension sont limités en température de fonctionnement.

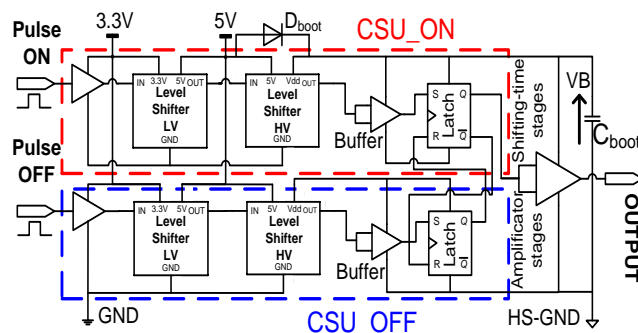


Fig. 7. Schéma du « level-shifter » haute tension avec CSUs

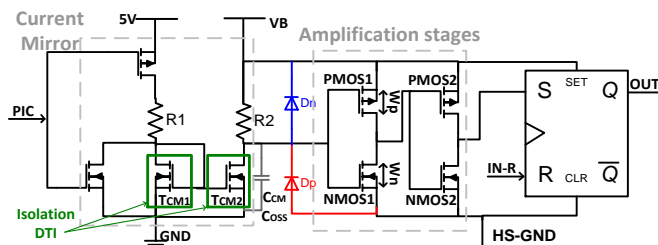


Fig. 8. Topologie de « level-shifter » haute tension

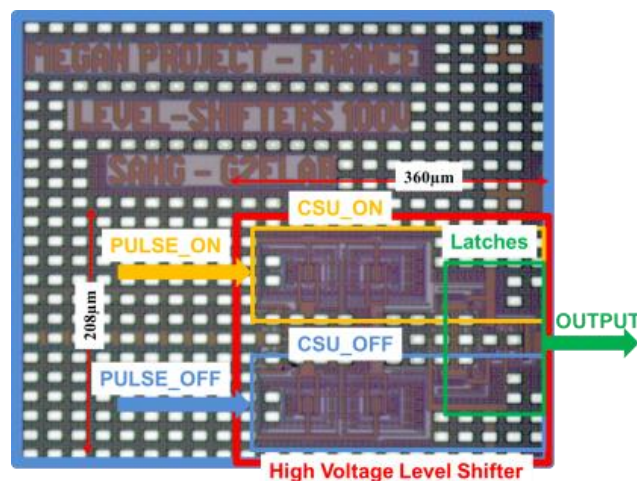


Fig. 9. Photo microscopée du « level-shifter » pulsé à 100V

Dans cette approche, C_{cm} représente la capacité parasite de mode commun et C_{oss2} est la capacité de sortie de Tcm2. Ces capacités sont excitées par les dv/dt appliquées entre la partie

lowside et la partie high-side du dispositif de transfert d'ordre. Le composant est conçu pour minimiser ces capacités et leur influence sur le transfert de signaux parasites (courant non désirés).

Un premier dispositif expérimental est proposé Figure 9. Afin de vérifier le fonctionnement et l'analyse de la solution « Level-Shifter » en fonction de la température, un ensemble complet de caractérisations a été réalisé. Cette section concerne les retards de propagation du signal au blocage et à l'amorçage (fig. 10). Dans ce cas, la largeur d'impulsion (turn-on et turn-off) du signal d'entrée est de 2µs à la fréquence de fonctionnement de 100 kHz. Le retard de propagation du signal au turn-on augmente de 0,9 ns soit 5,5% pour une augmentation de la température de 25°C à 200°C. D'une manière similaire; le temps de propagation du signal au turn-off augmente de 1,5 ns soit 9%. En ce qui concerne l'immunité aux dv/dt , le levelshifter est finalement significativement sensible, même à un faible dv/dt de 5V/nsec (Fig. 11). Un travail important reste ici à mener pour comprendre pourquoi cette solution, conçue initialement pour résister à des dv/dt importants n'a pas tenue les prévisions obtenues en simulation.

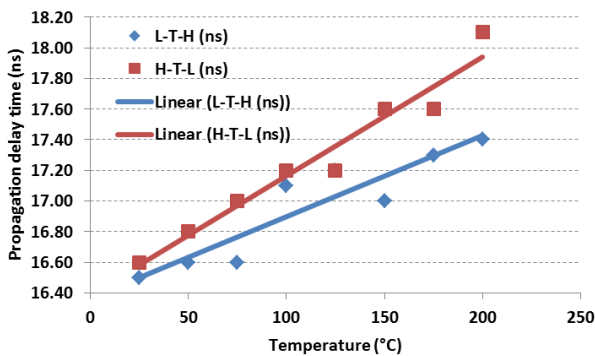


Fig. 10 Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

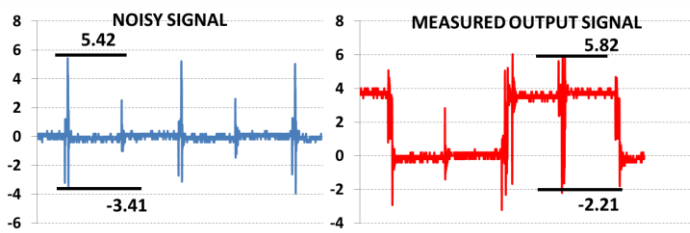


Fig. 11 Signal de sortie avec dv/dt du level shifter pulsé a) Sans signal d'entrée, la perturbation à la sortie; b) Avec le signal d'entrée, signal mesuré en sortie, comprenant le bruit

3.3 Transmission optique intégrée

Une approche basée sur l'intégration d'un driver optique est présentée dans la figure 12. Le signal de commande est transmis par une onde lumineuse via l'émetteur vers le récepteur. La tenue en tension est supérieure à 20kV et les capacités parasites sont éliminées [8]. L'ordre de grandeur des puissances optiques est de quelques micro-Watt [9].

Dans ce travail, un récepteur CMOS optique, comprenant un détecteur sensible à la lumière avec son circuit de traitement du signal (SPC) et le buffer de sortie du gate driver sont intégrés dans une seule puce tout en consommant moins de 1 mm² de silicium. Dans cet article, un prototype est proposé, et

la validation de la commande de grille à haute température est présentée.

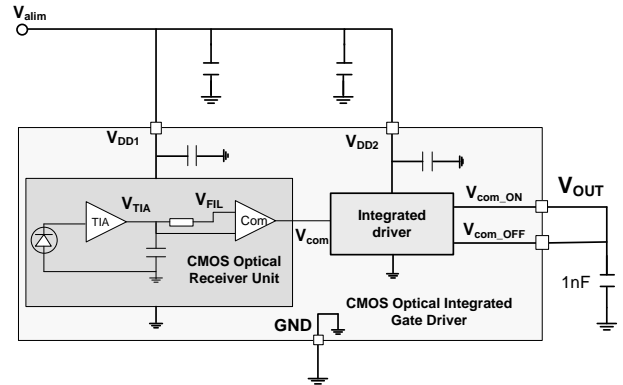


Fig. 12. IC de la structure du gate driver optique (Photo-détecteur intégré + circuit de traitement du signal + étage d'amplification)

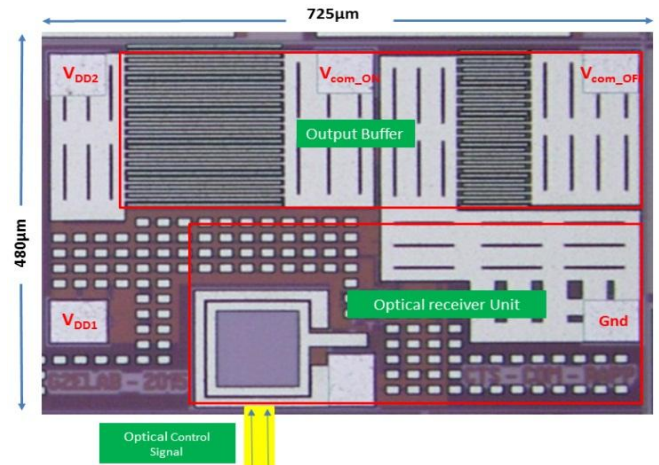


Fig. 13. Image Microscope du driver optique XFAB XT018 intégré

Le photodétecteur, basé sur une jonction verticale Nwell/Psubstrat, est intégré avec son SPC sans processus spécifique (pas de revêtement antireflet, ni oxydes ni couche de passivation). Les réponses spectrales et les QE mesurées du détecteur intégré sont mesurées en fonction de la longueur d'onde incidente à 1V de polarisation inverse et présentées sur la figure 14.

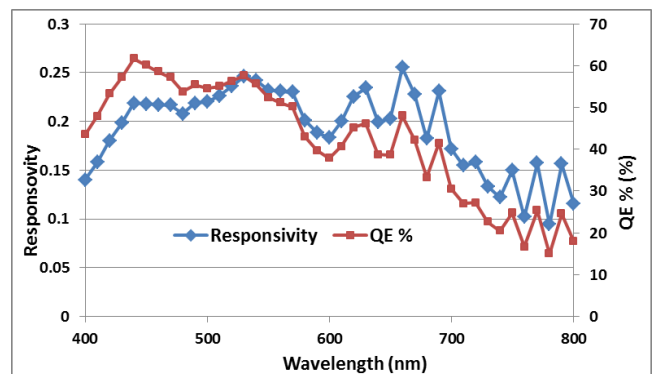


Fig. 14. Sensibilité spectrale mesurée et rendement quantique QE (%)

Le récepteur optique CMOS consomme environ 4mW à 4V à 25°C. L'impact de la température sur les caractéristiques de commutation est étudié expérimentalement. Les résultats de mesure à différentes températures (de 25 °C à 175 °C) sont présentés sur la Fig. 15. Le retard de propagation entre le signal d'entrée et la tension de sortie avec la sortie passant de

bas à haut (t_{LTH}) et la distorsion de largeur d'impulsion et le temps de propagation entre les signaux d'entrée et de sortie avec la sortie passant de haut à bas (t_{HTL}) sont mesurées. Le retard de propagation entre le signal d'entrée et le signal de sortie t_{LTH} est mesuré de 10% du niveau du signal d'entrée sur la photodiode intégrée à 10% de la variation du signal de sortie V_{out} (voir Fig.12).

Les résultats montrent une augmentation du retard de propagation d'environ 4 ns et une variation de la largeur d'impulsion de 3 ns en fonction de la température. Les résultats montrent la possibilité, pour ce circuit, de piloter un composant de puissance à haute température. Si cette technique devrait être la plus immunisée aux dv/dt , nous ne sommes pas en mesure de caractériser l'immunité au dv/dt au moment où nous rédigeons cet article

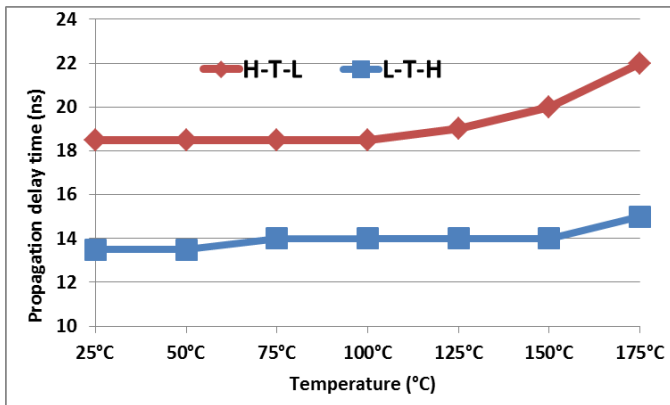


Fig. 15. Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

À partir des set-up de caractérisation, les consommations des trois drivers sont montrées dans le tableau 1. Le driver avec le transformateur coreless consomme le plus d'énergie en raison de la partie de modulation, 90% de la puissance consommée vient du modulateur. La consommation du driver avec levelshifter à miroir de courant est plus petite. La consommation du récepteur optique de driver avec transmission optique intégrée est à mi-chemin entre les deux autres sans compter la partie émetteur.

Tableau 1. Bilan de consommation de 3 drivers intégrés

	<u>25°C</u>	<u>200°C</u>
<i>Driver avec transformateur coreless</i>	41.2 mW	46.9 mW
<i>Driver avec levelshifter à miroir de courant</i>	2 mW	3 mW
<i>Driver avec transmission optique intégrée (Récepteur optique)</i>	4 mW	en cours de mesurer

4. CONCLUSION

Cet article propose la comparaison de trois techniques de transferts d'ordres intégrés dans un environnement sévère (haute température et fort dv/dt). Les résultats expérimentaux montrent pour chaque technique la capacité à fonctionner à des températures allant jusqu'à 200°C tout en offrant d'assez bons délais de propagation et pour certains d'entre eux une immunité satisfaisante aux dv/dt . Le levelshifter à base de miroir de courant pulsé a une dérive des temps de propagation

minimum, mais est limité en immunité aux dv/dt ainsi que pour les tensions de fonctionnement. Le driver coreless présente le meilleur compromis avec d'assez bons écarts de temps de propagation, une immunité correcte aux dv/dt et des tensions de fonctionnement élevées. La transmission optique reste la technique la plus immunisée aux dv/dt en théorie avec une consommation électrique satisfaisante mais reste aussi plus complexe à mettre en œuvre. Des travaux supplémentaires sont nécessaires pour confirmer ces premiers résultats.

ACKNOWLEDGEMENT

Ce projet a été financé par BPI France et OSEO (projet #MEGaN). Nous remercions également la société ID-MOS et le CEA LETI, partenaires du projet et du «Work Package Driver» pour leur partenariat tout au long du projet et des développements prototypes. Enfin, nous remercions le CIME-Nanotech/PTA pour son support technique et technologique.

REFERENCE

- [1] Kargarrazi, S. ; Lanni, L. ; Rusu, A. ; Zetterling, C.-M., "A monolithic SiC drive circuit for SiC Power BJTs" International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th, p285 – p288, 10-14 May 2015.
- [2] Badawi, N.; Knieling, P.; Dieckerhoff, S., "High-speed gate driver design for testing and characterizing WBG power transistors" 2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC), Pages: LS6d.4-1 - LS6d.4-6, 2012.
- [3] Farshid SARRAFIN-ARDEBILI, Bruno ALLARD, Jean-Christophe CREBIER, "Analysis of Gate-Drive Circuit requirements for H-Bridge Based Converters with GaN HFETs", EPE'15 ECCE-Europe, p1-10, sept 2015.
- [4] To, D.-N.; Rouger, N.; Lembeye, Y.; Arnould, J.-D.; Corrao, N., "Modeling and characterization of 0.35 μm CMOS coreless transformer for gate drivers" International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th, p330 – p333, 15-19 June 2014.
- [5] Yunwu Zhang; Jing Zhu; Weifeng Sun; Yangyang Lu; Lihui Gu; Sen Zhang; Wei Su, "A capacitive-loaded level shift circuit for improving the noise immunity of high voltage gate drive IC" IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD), p173 – p176, 2015.
- [6] To, D.-N. ; Rouger, N.; Arnould, J.-D.; Corrao, N.; Crebier, J.-C.; Lembeye, Y. "Integrated gate driver circuits with an ultra-compact design and high level of galvanic isolation for power transistors," IEEE CIPS, 2014, pp.348–353.
- [7] Rouger, N.; Crebier, J.-C.; Lesaint, O.; "Integrated low power and high bandwidth optical isolator for monolithic power MOSFETs driver", 2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), p356 - p359, 2011.
- [8] Xuan Zhang, He Li, John Alex Brothers, Jin Wang, Lixing Fu, Mico Perales and John Wu " A 15 kV SiC MOSFET Gate Drive with Power Over Fiber Based Isolated Power Supply and Comprehensive Protection Functions" IEEE Applied Power Electronics Conference and Exposition (APEC), March 2016.
- [9] Thanh-Long LE; Davy COLIN; Jean Christophe CREBIER; Nicolas ROUGER; "CMOS Gate Driver with Integrated Optical receiver for Power Electronics applications", EPE'15 ECCE-Europe, p1-10, sept 2015.