

Automatisation de la vérification du réseau ESD sur silicium : un enjeu majeur pour les circuits intégrés en technologies CMOS avancées

Benjamin Viale⁽¹⁾, Bruno Allard⁽²⁾, Philippe Galy⁽¹⁾, Mathieu Fer⁽¹⁾

⁽¹⁾STMicroelectronics, 850 Rue Jean Monnet, 38920 Crolles, France

⁽²⁾Université de Lyon, INSA, Laboratoire Ampère, UMR CNRS 5005, 21 Avenue Jean Capelle, 69621 Villeurbanne, France

RESUME – La diminution des dimensions de gravure, la hausse de la fréquence de fonctionnement ainsi que la baisse des tensions d'alimentation des circuits intégrés en technologies CMOS avancées ont conduit les fabricants majeurs de semi-conducteurs à modifier leurs méthodes d'assemblage boîtier pour minimiser les éléments parasites RLC sur les chemins d'alimentation. Cette amélioration de performances fonctionnelles s'est cependant avérée être une nouvelle source de danger pour la robustesse des circuits intégrés, en créant des points d'injection possibles dans le cœur des circuits intégrés lors d'un événement ESD. La stratégie classique de protection ESD, embarquée directement sur le silicium, a également dû être modifiée en conséquence. Il n'existe toutefois pas d'outils commerciaux d'analyse rapide systématique de ce nouveau type de réseau ESD, disséminé dans le cœur et plus uniquement dans la couronne d'entrées/sorties. Ce document expose les difficultés auxquelles devra faire face l'outil que nous projetons de concevoir : ESD IP Explorer.

Mots-clés — Décharge électrostatique (ESD), Vérification ESD, Réseau de protection ESD, Méthodes d'analyse prédictive, Automatisation.

1. INTRODUCTION

Les circuits intégrés sur silicium en technologies CMOS avancées conçus par STMicroelectronics suivent la tendance générale du monde du semi-conducteur [1] [2]. Celle-ci est caractérisée par une diminution des dimensions de gravure (« More-Moore ») ainsi que par l'intégration d'un nombre toujours plus élevé de fonctionnalités sur une même surface de silicium, qui grandit en conséquence (« More-than-Moore »). Les performances globales des circuits intégrés tendent également vers une amélioration constante grâce à une augmentation de la fréquence de fonctionnement des composants et à une diminution des tensions d'alimentation. Ces évolutions contraignent les concepteurs de circuit intégrés à adopter de nouvelles méthodes d'assemblage boîtier de manière à réduire du mieux possible les problèmes de chute de tension.

En parallèle, la robustesse des circuits intégrés soumis à des événements de type ESD est également impactée, les composants étant de plus en plus sensibles, du fait du rapprochement des valeurs de tension de claquage d'oxydes

et/ou de jonction vers la tension nominale de fonctionnement (Tableau 1).

Tableau 1. Evolution des tensions maximales avant destruction pour différents nœuds technologiques.

Nœud technologique	Tension de claquage	
	GO1	GO2
NMOS 40nm	100% (V_{REF1})	100% (V_{REF2})
NMOS 28nm Bulk	88%	75%
NMOS 28nm FDSOI	76%	44%

La problématique ESD constitue donc actuellement un des principaux défis des fabricants de semi-conducteurs et des laboratoires de recherche. Il est important de souligner qu'elle touche tous les facteurs d'échelle, de la cellule d'entrée/sortie au PCB, et que les méthodes de protection ESD appliquées sur silicium peuvent l'être au niveau du circuit imprimé sur lequel est soudé le circuit intégré.

2. IMPLEMENTATION DE TYPE « FLIP-CHIP »

L'architecture traditionnelle d'un circuit intégré se décompose en un cœur abritant les fonctions électroniques à réaliser, entouré d'un anneau de cellules d'entrée/sortie, servant d'interfaces, abutées les unes à côté des autres (Figure 1 (a)). Celles-ci sont constituées d'éléments passifs et actifs. Les composants passifs sont les rails de propagation des alimentations et les plots d'E/S. La partie active, quant à elle, assure la fonction d'interfaçage entre le cœur et le monde extérieur (conditionnement et acheminement des signaux) ainsi que la protection contre d'éventuels événements ESD.

Cependant, les progrès réalisés sur les techniques de lithographie impliquent que la largeur des cellules d'E/S décroît moins rapidement que le périmètre de silicium nécessaire à la conception du cœur, à fonctionnalité constante. Ainsi, entre les nœuds technologiques 65nm et 28nm, un circuit intégré de 200 plots d'E/S en configuration « double rangée » a vu son périmètre décroître d'environ 10%, tandis que la surface dédiée au cœur a été divisée par deux. En conséquence, le nombre de cellules d'E/S est devenu un facteur limitant. De plus, des règles strictes sont appliquées sur leurs

dimensions et leur placement, car la hausse de la fréquence de fonctionnement des circuits intégrés impose de très fortes contraintes sur la longueur maximale des signaux et des chemins d'alimentation (typiquement la distance entre les plots d'E/S et les composants fonctionnels du cœur).

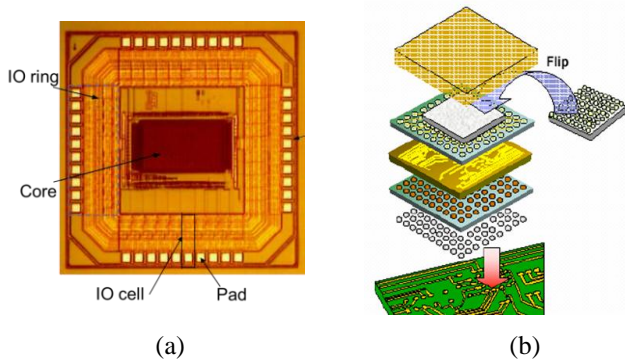


Figure 1. (a) Structure traditionnelle d'un circuit intégré en dehors de son boîtier. (b) Facteur d'échelle d'interconnexion entre le monde extérieur et le silicium pour la méthode d'assemblage « Flip-Chip ».

Afin de lever ces limites technologiques, une nouvelle technique d'assemblage boîtier du circuit intégré, appelée « Flip-Chip », a été adoptée (Figure 1 (b)). Celle-ci consiste à retourner le silicium sur lequel est gravé le circuit intégré de manière à avoir un accès direct aux éléments du cœur depuis l'extérieur. Ainsi la longueur des chemins d'accès sont minimaux, diminuant drastiquement les valeurs parasites R et L d'accès aux composants centraux. Le revers de cette nouvelle stratégie d'alimentation au plus près est son risque envers la robustesse contre les phénomènes ESD, car elle offre des portes d'entrées directes vers les structures sensibles internes du circuit alors que les protections ESD sont généralement implémentées dans la couronne d'E/S. Une nouvelle approche de protection ESD doit être élaborée en conséquence.

3. STRATEGIES DE PROTECTION ESD

3.1. Modèles de décharges électrostatiques

Il existe différents standards permettant de caractériser les décharges électrostatiques pouvant se produire au niveau d'un circuit intégré. Parmi ceux-ci, il est possible de citer les modèles du corps humain (« Human Body Model » – un individu ne portant pas un équipement adapté de mise à la masse touchant une broche du circuit [3]) et de la machine (« Machine Model » – matériel non correctement mis à la masse manipulant le circuit [4]). Le schéma électrique du banc de test associé est représenté dans la Figure 2. Ces modèles permettent de caractériser un stress ESD conduit deux points : le courant entre dans le dispositif à tester (DUT) à travers une broche et en ressort via une autre.

Les courbes de courant typiques lors d'une décharge électrostatique de type HBM ou MM sont donnés dans la Figure 3. Généralement, le courant traversant le circuit victime d'une décharge HBM atteint 1 à 3A pour une pré-charge du banc de test allant de 1 à 4kV. L'amplitude du pic de courant dépend principalement de la valeur de la résistance RESD (ici 1,5kΩ), l'impédance du dispositif à tester étant négligeable par

rapport à RESD. Le temps de montée typique d'une décharge HBM est d'environ 10ns.

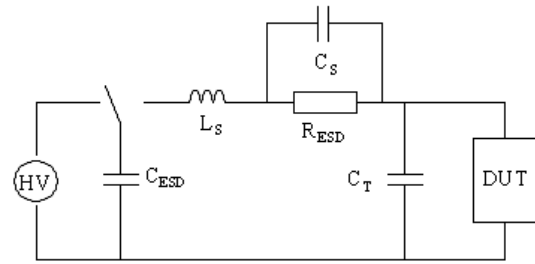
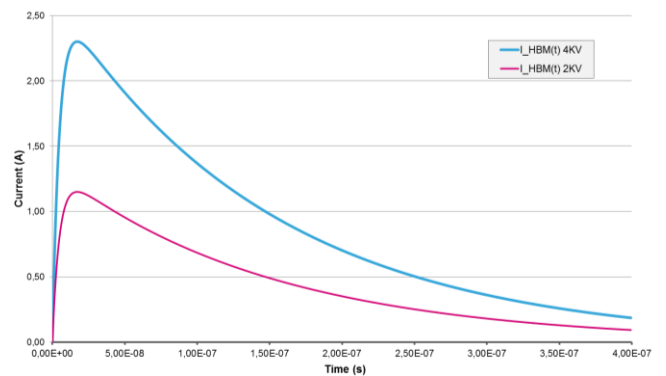
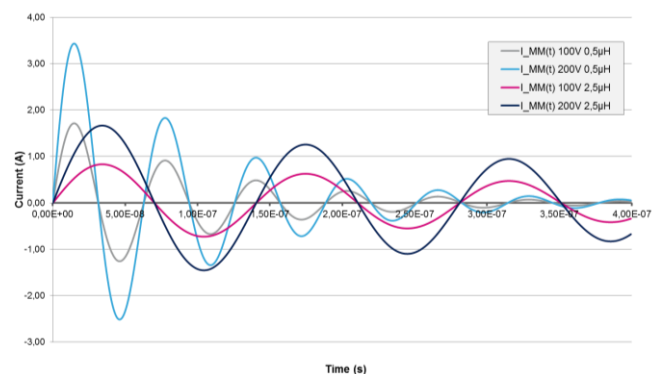


Figure 2. Schéma d'un banc de test HBM/MM. L_S , C_S et C_T représentent les éléments parasites du banc. Pour une décharge HBM, $C_{ESD}=100\text{pF}$, $R_{ESD}=1.5\text{k}\Omega$, $L_S=7.5\mu\text{H}$, $C_S=1\text{pF}$ et $C_T=10\text{pF}$. Pour une décharge MM, $C_{ESD}=200\text{pF}$, $R_{ESD}=10\Omega$, $L_S=0.5-2.5\mu\text{H}$, $C_S\approx 0\text{pF}$ et $C_T=10\text{pF}$.

Une décharge MM, quant à elle, fournit une valeur de pic de courant plus importante qu'une décharge HBM, à niveau égal de pré-charge. Ceci est dû à la faible valeur de résistance R_{ESD} utilisée en série avec une impédance L_S non négligeable, provoquant un phénomène oscillatoire de pseudo-période de l'ordre de la dizaine de nanosecondes. Les niveaux de pré-charge utilisés sont généralement situés entre 100 et 400V pour des pics de courant associés allant de 1 à 4A.



(a)



(b)

Figure 3. (a) Décharges typiques d'un événement HBM. (b) Décharges caractéristiques d'un événement MM. Pour (a) et (b), les paramètres C_S et C_T ont été négligés.

Par ailleurs, les événements de type CDM (« Charged Device Model ») proviennent d'une accumulation de charges

électriques par le circuit-même, par exemple de manière inductive sous l'effet d'un champ électrique environnant. Typiquement pour quelques centaines de volts, il se dégage un stress atteignant 1 à 20A en moins de 100ps pour un événement d'une durée totale d'environ 3ns [5] [6]. Cette catégorie de phénomènes ESD a la particularité de ne nécessiter qu'un seul point de conduction avec le monde extérieur. Bien qu'il doive être considéré dans le cadre de notre démarche exploratoire, cet événement agresseur atypique ne sera adressé que dans un second temps¹. Une comparaison des allures des courbes temporelles relatives à une décharge respectivement de type HBM, MM et CDM est toutefois disponible en Figure 4.

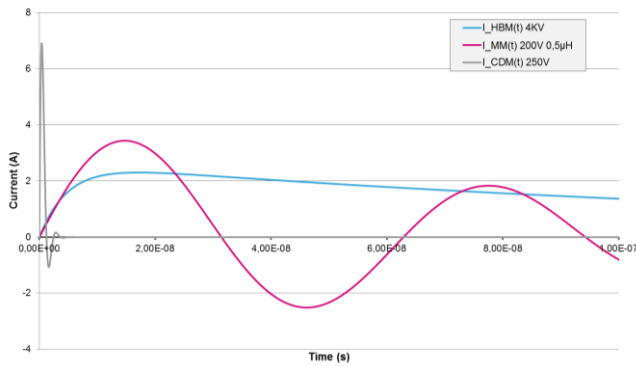


Figure 4. Comparatif entre plusieurs courbes temporelles typiques des décharges HBM, MM et CDM. La courbe CDM (en gris) correspond à une décharge à travers un circuit RLC série de paramètres $R_{CDM}=20\Omega$, $L_{CDM}=6,5nH$ et $C_{CDM}=17pF$.

3.2. Principe et types de protections ESD

3.2.1. Stratégies de protection

Pour protéger un circuit dans une configuration classique de cellules d'E/S en couronne, des éléments de protection (ou composants ESD) sont disposés à l'intérieur de celles-ci, en parallèle du circuit utile (Figure 5). Ceux-ci doivent être dessinés et implémentés de manière à avoir un impact minimal sur le reste du circuit intégré en régime de fonctionnement nominal. En effet, en général, plus le nombre et la taille des éléments de protection sont grands, plus le courant de fuite est important. De plus, dans le contexte d'applications RF, les protections peuvent se comporter comme des capacités parasites et altérer les performances globales du circuit, lors de commutations rapides [7]. A l'inverse, un circuit de protection doit shunter le circuit utile de manière à maintenir une tension à ses bornes inférieure à une valeur limite au-delà de laquelle il existe une probabilité non nulle qu'un composant sensible à protéger casse.

Outre l'efficacité individuelle de chaque protection, il est primordial de s'assurer qu'il existe bel et bien un chemin empruntable par le courant uniquement constitué des protections ESD et des rails d'alimentation, et ce, pour toutes

¹ Adresser la problématique CDM suppose que l'on est capable de déterminer la tenue du circuit intégré à une décharge de type HBM/MM. En effet le réseau de protection dédié aux événements de type CDM s'appuie sur le réseau mis en place pour faire face aux décharges de type HBM/MM. Sans réseau ESD HBM/MM de qualité, toute analyse CDM est inutile.

les configurations possibles de décharges. Dans le cas de la Figure 5, il y en a six au total.

Cependant, adopter systématiquement la stratégie de protection locale de la Figure 5 n'est en réalité pas possible car les éléments de protection utilisés (principalement le clamp sur la partie droite de la figure) requièrent une grande surface de silicium. En pratique, d'autres configurations reposant sur un principe de mutualisation sont donc utilisées.

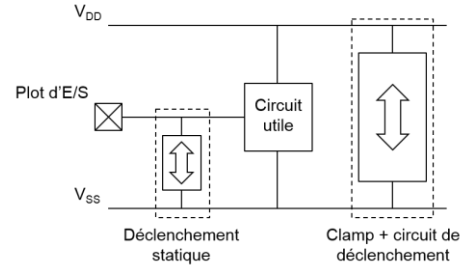


Figure 5. Schéma de principe d'une stratégie de protection ESD locale entre un plot d'E/S, une alimentation V_{DD} , et une masse V_{SS} . Les flèches décrivent le sens dans lequel le courant peut circuler. La protection entre le plot d'E/S et V_{SS} est déclenchée par détection d'une chute de tension. Le clamp bidirectionnel l'est au moyen d'un circuit de déclenchement annexe.

Parmi celles-ci, on peut noter la stratégie dite « centrale » qui consiste à utiliser des protections unidirectionnelles en courant pour relier les plots d'E/S aux rails d'alimentation V_{DD} et V_{SS} (Figure 6). La jonction entre V_{DD} et V_{SS} est assurée par des cellules contenant quasiment exclusivement des clamps bidirectionnels de grande dimension accompagnés de leur propre circuit de déclenchement et qui sont espacées régulièrement le long de la couronne d'E/S. Si la longueur entre deux cellules contenant les gros clamps est trop grande, la résistance des rails d'alimentation risque de provoquer des surtensions dommageables pour les composants à protéger.

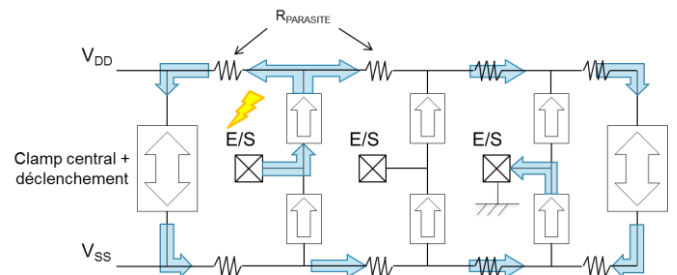


Figure 6. Stratégie de protection centrale. Le courant à évacuer lors d'une décharge électrostatique entre deux plots d'E/S suit les chemins décrits par les flèches bleues. $R_{PARASITE}$ représente les résistances des rails d'alimentation.

La configuration de protection « distribuée » est censée relaxer cette contrainte de distance limite entre deux clamps centraux en délocalisant les circuits de déclenchement et en répartissant des clamps bidirectionnels dans chacune des cellules d'E/S [8] (Figure 7).

Comme le laisse suggérer les différentes stratégies de protection décrites plus haut, un réseau ESD est constitué d'un assemblage de différents types d'éléments de protection, bidirectionnels ou non, avec des performances différentes (résistance à l'état passant, courant de fuite, vitesse de déclenchement) et dont les mécanismes utilisés pour les

déclencher différent. C'est aux concepteurs de circuit intégré, en relation avec les experts ESD de choisir les combinaisons qui semblent les plus optimales.

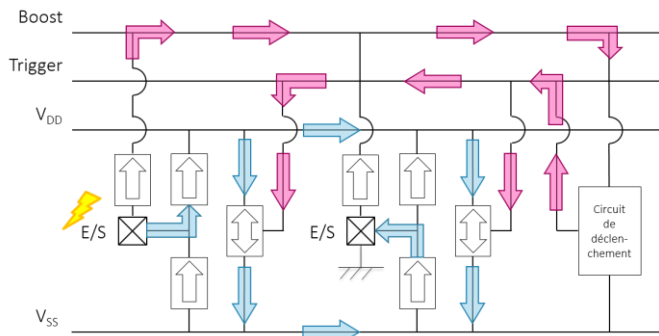


Figure 7. Stratégie de protection distribuée. Le principe de détection d'un événement ESD est illustré au moyen des flèches en violet.

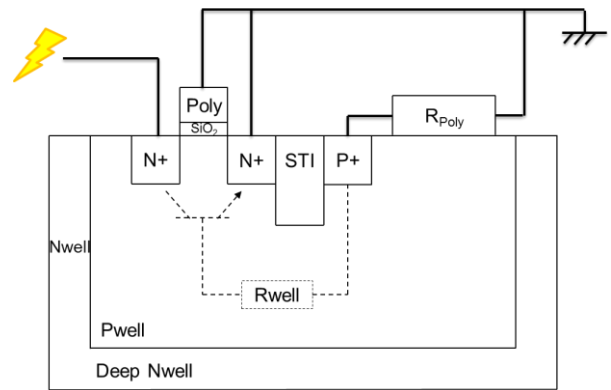
3.2.2. Principaux types de composants de protection

Il existe différents types de protections ESD, qui présentent chacun des avantages et inconvénients. Ainsi il est possible d'utiliser un transistor NMOS (également appelé clamp), qui présente l'intérêt d'être facilement contrôlable. Cependant, ce dernier nécessite la mise en place d'un circuit additionnel capable de détecter la survenue d'un événement ESD et d'exercer une action sur la grille du clamp pour le déclencher. Un autre inconvénient réside dans le fait que la conduction en courant pour un tel composant est en majeure partie surfacique, ce qui oblige les experts ESD à augmenter leurs dimensions [7].

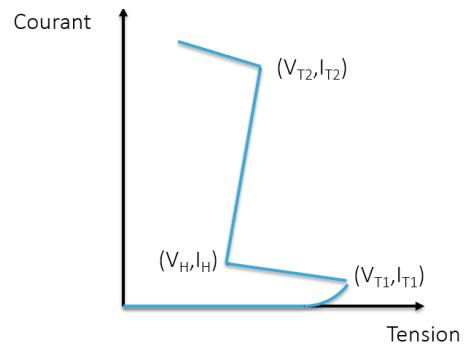
Un autre composant ESD très répandu de par sa simplicité est la jonction PN (diode N+/Pwell isolé ou P+/Nwell). Lorsqu'elle est polarisée en direct, la jonction PN devient passante dès que sa tension seuil (environ 0,6V) est atteinte. Il est possible de modifier cette tension de déclenchement en plaçant plusieurs diodes en série, néanmoins cette configuration possède l'inconvénient d'augmenter la résistance équivalente en mode passant ainsi que la probabilité d'apparition d'effets parasites (thyristors). Une diode ESD n'est généralement pas utilisée en régime de polarisation inverse (déclenchement par phénomène d'avalanche) car sa robustesse face à un fort courant est faible dans cette situation [9].

Le ggNMOS pour « grounded-gate NMOS » est un transistor NMOS dont la grille et la source sont fixés au même potentiel (Figure 8 (a)). Lors d'un événement ESD positif entre le drain et la source du ggNMOS, la présence d'un transistor bipolaire NPN latéral parasite est à l'origine du déclenchement de celui-ci. En effet, le potentiel de base augmente par avalanche jusqu'à provoquer un phénomène de retournement (« snapback ») et rendre passante le ggNMOS (Figure 8 (b)). Son équivalent PMOS est rarement implémenté car moins performant du fait de la mobilité réduite des porteurs majoritaires. Il existe par ailleurs une autre configuration qui permet de tirer parti à la fois de l'effet bipolaire et de l'effet MOS et qui s'obtient en reliant la masse non pas à la source,

mais au substrat. Ce nouveau composant est appelé BIMOS [10].



(a)



(b)

Figure 8. (a) Configuration d'un ggNMOS. (b) Allure typique de la caractéristique quasi-statique du courant en fonction de la tension pour un ggNMOS. Le point (V_{T2}, I_{T2}) correspond au point de casse du composant ESD par échauffement.

Le SCR (Silicon Controlled Rectifier) ou thyristor est un composant composé de deux transistors bipolaires parasites NPN et PNP (Figure 9). Sa résistance à l'état passant est très faible, cependant sa tension de maintien V_{HOLD} l'est aussi, ce qui augmente les risques de latch-up (le SCR ne parvient plus à repasser en état de haute impédance) [11]. Il est donc primordial lors de la conception d'un SCR de veiller à garantir un V_{HOLD} ou un courant de maintien I_{HOLD} suffisamment grand.

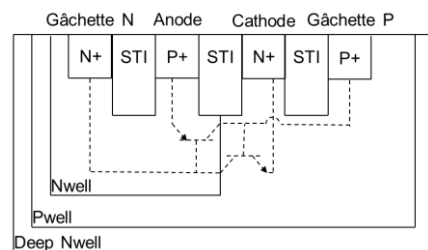


Figure 9. Représentation des transistors bipolaires parasites d'un SCR. Plusieurs configurations peuvent être implémentées sur silicium. La tension de déclenchement du SCR peut être réglée en appliquant un certain potentiel sur chacune des gâchettes P et N.

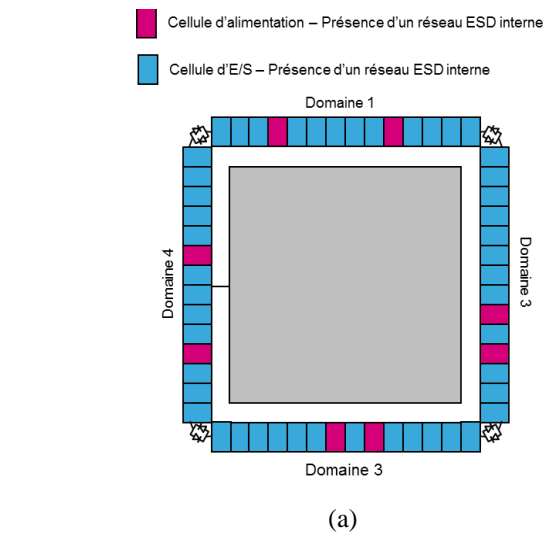
D'autres composants plus complexes existent, cependant il s'agit souvent d'un assemblage hybride entre les différents éléments décrits plus haut.

3.2.3. Limite des stratégies de protection traditionnelles

Comme décrit dans la section 3.2.1, la robustesse ESD d'un circuit intégré repose sur le principe de juxtaposition des cellules d'E/S, qui par mutualisation des éléments de protection, forment un réseau continu, offrant un chemin de faible résistance permettant à l'énergie générée par un événement ESD de s'évacuer à travers le réseau ESD plutôt qu'à travers les composants sensibles internes (Figure 10 (a)).

STMicroelectronics a mis en place des méthodes et outils propriétaires de vérification afin de s'assurer que la structure linéaire périphérique d'un réseau ESD sous configuration classique est suffisante pour supporter les hautes valeurs de courant lors d'un événement ESD HBM/MM tout en protégeant correctement les composants sensibles internes du circuit (cf. section 4.1).

Au contraire, la stratégie d'assemblage « Flip-Chip » nécessite de placer des composants de protection au plus près des points d'injection du circuit, c'est-à-dire dans le cœur [12]. Il est alors bien plus difficile de vérifier la cohérence de ce nouveau type de réseau, de par sa dissémination à travers l'ensemble du circuit intégré (cœur et périphérie, cf. Figure 10 (b)). Un des premiers tests à effectuer sera notamment la vérification de la tolérance à un événement ESD entre deux domaines d'alimentation², qui n'est plus garantie par simple accolage de plots d'E/S. Les concepteurs se devront alors d'assurer la connectivité du réseau ESD (pas de « trous » dans le réseau ESD) pour tout couple de domaines d'alimentation distincts. Un exemple est donné en Figure 16 : ici la connectivité d'un point de vue ESD entre les domaines d'alimentation 1 et 2 est assurée au moyen d'un élément de protection de cœur.



² Dans un circuit intégré, plusieurs domaines d'alimentation avec plusieurs masses sont présents. Ces masses sont isolées les unes des autres au moyen d'éléments de protection ESD placés entre elles (typiquement des diodes placées tête-bêche). Lorsqu'un événement ESD est détecté, les composants ESD s'activent et se comportent comme un court-circuit reliant les masses entre elles.

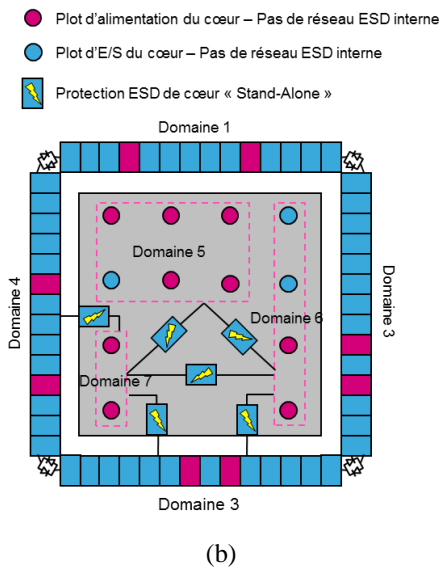


Figure 10. (a) Configuration classique d'un circuit intégré. Le cœur est entouré d'un anneau de cellule d'E/S. (b) Configuration « Flip-Chip ». Des éléments de protection ESD sont disséminés dans le cœur.

4. ESD IP EXPLORER

La capacité à estimer la validité du réseau ESD et à optimiser ce nouveau placement de composants de protection est devenue un verrou pour la qualification des circuits intégrés [13]. Afin de répondre à cette problématique, une phase d'étude a débuté. L'aboutissement de cette démarche sera l'implémentation d'un outil automatisé d'analyse du réseau ESD d'un circuit intégré : ESD IP Explorer.

4.1. Méthodes et outils existants

Les méthodes de vérification *a priori* du réseau ESD actuellement en place peuvent se résumer en deux catégories principales : la simulation et la vérification de règles topologiques et/ou de placement.

4.1.1. Vérification par règles

Les outils basés sur la vérification de règles sont chargés d'identifier des endroits ou des configurations particulières du circuit intégré pouvant être à l'origine d'un point de faiblesse. Il est possible de travailler sur une vue « schematic » du circuit ou sur une vue « layout ».

La vue schematic du circuit entier ou d'une portion de celui-ci est disponible généralement tôt dans le flot de conception du produit, ce qui autorise plus facilement d'éventuelles boucles de correction de la topologie du circuit. Par ailleurs, elle permet de s'affranchir de la géométrie du circuit, les règles à vérifier sont de ce fait moins complexes. Ainsi, il est par exemple possible de s'assurer qu'un plot d'E/S n'est pas directement connecté à la grille d'un composant fragile sans élément de protection branché en parallèle.

La vue physique (layout), quant à elle, est très proche du circuit final qui sera implémenté sur silicium. Ceci permet de vérifier des aspects du circuit qui ne peuvent pas être traités par une vue schematic comme le calcul des résistances de rails d'alimentation entre deux clamps centraux (cf. section 4.1.2). Cependant, les éventuels correctifs à appliquer sont coûteux en

temps et en ressource car la vue physique complète est généralement disponible très tard dans le flot de conception.

Parmi les outils utilisés au sein de STMicroelectronics basés sur la vérification de règles, certains se basent sur une liste de règles prédéfinies à vérifier à partir d'une liste d'interconnexions (« netlist ») ou bien à partir d'une vue physique. Le choix du type de vecteur d'entrée est fonction des règles considérées. Pour la vérification à partir de listes d'interconnexions, les outils incorporent généralement le langage propriétaire Calibre PERC de Mentor Graphics [14]. Ce dernier facilite entre autres la détection de conflits ou d'éléments manquant à l'intérieur du circuit via un système de propagation de signaux [15].

Une autre famille d'outils développés en interne utilise une représentation à mi-chemin entre la vue schematic et le layout, dont les éléments de base sont les cellules d'E/S ainsi que les blocs assurant la continuité de la couronne d'E/S et du réseau ESD (éléments qui ne sont pas pleinement considérés comme des E/S du fait qu'ils ne possèdent pas de plots permettant un contact électrique vers l'extérieur). Chaque cellule d'E/S est dotée de propriétés ESD. C'est l'agencement des cellules d'E/S, qui, au moyen d'algorithmes propriétaires analysant les propriétés ESD de chacune, va permettre de déterminer un niveau de robustesse ESD globale. Il s'agit d'une méthode de vérification plus indirecte que celle citée précédemment.

Ces logiciels requièrent l'existence d'une liste répertoriant la totalité des règles de vérification. Celles-ci ont généralement été fixées après qualification électrique des éléments de protection vis-à-vis des charges à protéger. Un circuit conforme d'un point de vue d'une règle donnée signifie qu'une configuration potentiellement dangereuse pour l'intégrité du circuit a été évitée. Cependant, il est généralement difficile de quantifier son degré de criticité. La violation d'une règle peut tout à fait rester sans conséquences pour le reste du circuit ou au contraire lui être fatale. Sans informations supplémentaires, par principe de précaution, les concepteurs sont contraints à surprotéger leurs architectures. De plus, et même si la liste de règles est régulièrement mise à jour, une configuration potentiellement dangereuse sortant du périmètre d'action des outils pourrait ne pas déclencher d'avertissements : c'est le cas de la configuration « Flip-chip » qui est à l'origine d'une dissémination de clamps isolés, destinés à la protection contre les décharges HBM/MM dans le cœur du circuit.

4.1.2. Vérification orientée simulation

La simulation permet d'obtenir des résultats quantifiables mais est généralement coûteuse en ressources et en temps de calcul. Nous excluons donc tous les outils utilisés en TCAD (« Technology Computer Aided Design »), qui, bien que très efficaces pour simuler le comportement de composants seuls, perd de son intérêt lorsque l'on vise un niveau d'abstraction plus élevé.

De même, aucun simulateur électrique ne peut effectuer une simulation temporelle au niveau d'un circuit intégré entier en un temps raisonnable. Ceci est particulièrement vrai lorsqu'il s'agit de reproduire cette analyse pour un grand

nombre de paires de plot d'E/S³. Par conséquent, nous avons ciblé des suites logicielles commerciales disponibles sur le marché de l'EDA (« Electronic Design Automation ») capables de simplifier le circuit pour ensuite mener des analyses statiques et en déduire des informations relatives à sa robustesse ESD. Parmi ceux-ci on peut citer le module Pathfinder d'Apache Design [16] ou encore l'outil ESDi de Magwel [17].

Pathfinder et ESDi sont tous deux capables d'effectuer une simulation DC par injection de courant entre deux plots pour estimer la distribution de courant au travers des lignes de métaux. Pour chaque ligne de métal, la valeur de la densité de courant associée ne doit pas dépasser une valeur maximale au-delà de laquelle la ligne peut être endommagée, que ce soit par fusion ou électro-migration. En recoupant résistance et distribution de courant, il devient possible d'estimer le niveau de tension aux bornes d'un composant à protéger entre deux nœuds.

Cependant, ces outils doivent recevoir comme entrée une vue physique. Ils souffrent donc des mêmes inconvénients que les fonctions des logiciels de vérification de règles nécessitant cette même vue physique comme vecteur d'entrée (cf. section 4.1.1).

De plus, les traitements haut-niveau effectués par ces logiciels commerciaux semblent n'utiliser comme paramètres de modélisation des éléments de protection ESD que des résultats issus de caractérisations TLP (« Transmission Line Pulse ») [18]. Or, ces courbes décrivent le courant traversant l'élément ESD en fonction de la tension à ces bornes de manière quasi-statique sans tenir compte des effets transitoires apparaissant lors des changements de régime des protections ESD. Ainsi, il a été montré dans [19], pour des temps de montée de stress TLP très courts (< 100ps) comparables au temps de montée d'un événement de type CDM, que des surtensions supérieures à la tension de déclenchement V_{T1} peuvent être observées au moment où l'élément de protection ESD passe dans un état de faible impédance. D'après [20] et [21], c'est au contraire lors de la décroissance lente du courant pendant un événement HBM que des surtensions oscillatoires apparaissent lors du passage à l'état haut impédance d'un composant à retournement. Nous avons d'ailleurs pu constater nous-même ces dernières surtensions dans le cas d'un BIMOS en technologie CMOS 28nm FDSOI, taillé pour agir normalement en tant que protection secondaire⁴ en parallèle d'un clamp déclenché dynamiquement dans une cellule d'alimentation (Figure 11). Généralement, ces pics en fin de décharge n'apparaissent pas du fait de la présence d'un clamp dynamique en parallèle et des courants de fuite de la charge à protéger. Toutefois, dans le contexte d'une implémentation ESD personnalisée type RF sur un petit circuit intégré, il est envisageable d'observer ce type de phénomène. En résumé, en ne considérant que la méthode TLP comme moyen de caractérisation ESD, on risque d'omettre des événements

³ Certains circuits peuvent comporter jusqu'à mille plots d'E/S.

⁴ Cette protection ESD permet de limiter la tension à ses bornes lors d'un événement agresseur non calibré au périmètre d'utilisation d'un clamp dynamique (CDM ou EOS – « Electrical Over-Stress »).

transitoires mis en évidence par la TCAD et les tests vf-TCS [19], potentiellement dangereux.

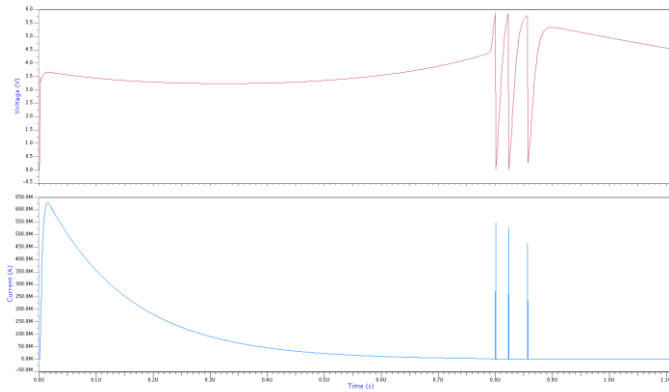


Figure 11. Simulation temporelle SPICE d'un BIMOS en technologie CMOS 28nm FDSOI lors d'un stress ESD de type HBM à 1kV. Paramètres de la simulation : $C_{ESD}=100\text{pF}$, $R_{ESD}=1.5\text{k}\Omega$, $L_S=7.5\mu\text{H}$, $C_S=1\text{pF}$ et $C_T=10\text{pF}$.

Enfin, toutes les protections ESD n'ont pas les mêmes comportements transitoires ni les mêmes tenues en courant. En effet, une protection CDM est conçue pour se déclencher au plus vite lors de l'apparition d'un événement ESD tandis qu'une protection HBM est dotée d'une tenue en courant plus importante, au détriment de sa rapidité de déclenchement. Il paraît donc réducteur de considérer tous les éléments ESD avec la même importance selon le type de stress qui est appliqué au circuit.

4.2. Méthode d'analyse alternative

L'évaluation de la robustesse ESD d'un circuit intégré consiste à vérifier la tenue du réseau ESD lui-même face au stress qui lui est appliqué lors d'un événement ESD, mais également sa capacité à limiter les surtensions aux bornes des éléments à protéger, et ce, pour les décharges de type HBM/MM (et CDM). Cependant, réaliser une telle analyse au niveau d'un circuit intégré entier de manière prédictive est extrêmement difficile. Notre objectif est de proposer une méthode d'analyse du réseau ESD innovante, souple et complémentaire des outils existant en considérant les critiques émises dans les sections 4.1.1 et 4.1.2. Ainsi, ESD IP Explorer devra respecter certaines contraintes :

- Permettre une analyse dès les premières étapes de conception du circuit (vue schematic).
- L'analyse pourra être raffinée après obtention de la vue physique de tout ou partie du circuit intégré.
- La modélisation choisie devra rester indépendante du nœud technologique et être compatible avec toutes les architectures possibles.
- La mise à contribution des différents outils et méthodes déjà disponibles sera autorisée en cas de nécessité.
- Veiller à maintenir un bon ratio « temps de calcul / justesse des résultats » et, si possible, tenter de mettre en place une métrique relative au degré de confiance des résultats fournis.

Une possibilité réside dans la mise à profit des algorithmes utilisés en théorie des graphes, très efficaces pour l'exploration

et l'analyse de réseaux complexes [22]. Les nœuds de tension sont ainsi représentés par des sommets et les éléments de protection ESD par des arêtes dirigées dont chacune hérite de différentes propriétés comme la tension de déclenchement V_{T1} , la capacité en courant maximale avant destruction I_{T2} , la résistance équivalente à l'état passant R_{ON} ou encore le niveau de surtension maximal possible pour un type de stress donné (Tableau 2).

Tableau 2. Proposition de modélisation pour quelques exemples de protections ESD. Le sens des arêtes représente le sens autorisé du courant.

Protection ESD	Schéma	Graphe équivalent
Diode		
ggNMOS		
Clamp + diode de retour explicite		

Une fois la reconnaissance du réseau ESD et son isolement par rapport au reste du circuit effectués, la première étape de l'analyse pourrait être la connectivité du réseau ESD pour toutes les configurations possibles (bidirectionnelles) de paires de plots d'E/S. Ainsi, la Figure 12 (a) montre un exemple de réseau ESD pouvant se trouver à l'intérieur d'une cellule d'E/S analogique et la Figure 12 (b) représente le graphe équivalent de ce réseau ESD. On voit qu'ici, pour tout couple de nœuds de tension, un chemin ESD existe.

Pour réaliser cette vérification de manière automatisée sur des circuits plus complexes, les algorithmes BFS et de Dijkstra pourront par exemple être implémentés. Il est intéressant de noter que le module Pathfinder d'Apache Design permet d'effectuer des vérifications de connectivité entre deux plots d'E/S. Cependant, l'aspect propriétaire des algorithmes utilisés et l'obligation d'utiliser une vue physique comment vecteur d'entrée est un frein à son utilisation.

Après avoir vérifié que le graphe représentant le réseau ESD est fortement connecté⁵, il pourra être envisagé d'utiliser les paramètres V_{T1} (et/ou les surtensions maximales transitoires) des arêtes pour vérifier que les tensions aux bornes des éléments à protéger ne dépasse pas un seuil critique (Figure 13). Ceci implique la mise en place d'un système de calque à superposer au présent graphe, cartographiant toutes les paires de nœuds auxquelles sont branchés les composants sensibles. Il ne s'agirait ici bien entendu que d'une première approximation.

⁵ Pour tout couple de sommets A et B, il existe au moins un chemin de A à B et au moins un autre de B à A.

Concernant la tenue du réseau ESD lui-même face à un fort courant, opter pour la simulation statique semble à première vue un meilleur choix que tenter d'implémenter une variante des algorithmes classiques de flot maximal (Ford-Fulkerson et Push-Relabel). Dans [23], des suggestions sont faites pour éviter les problèmes de convergence de la simulation due au retournement des éléments de protection tout en simplifiant au maximum le réseau ESD pour accélérer les temps de simulation.

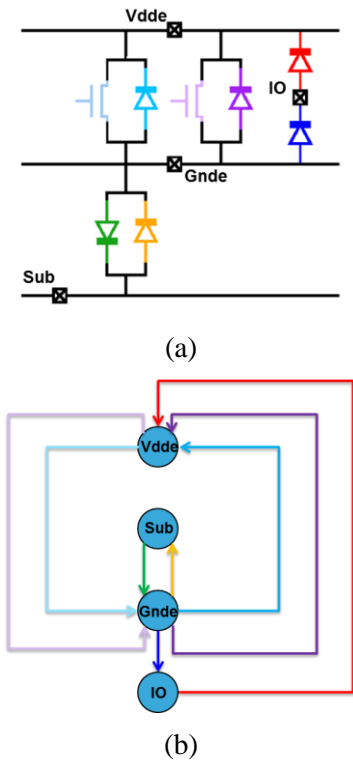


Figure 12. (a) Schéma du réseau ESD d'une cellule d'E/S analogique. Un plot d'E/S est représenté par le noeud IO. Les autres noeuds de tension VDDE, GNDE et SUB représentent les rails d'alimentation. (b) Représentation sous forme de graphe de la cellule d'E/S. Pour chaque combinaison possible de noeuds de tension, il existe au moins un chemin ESD.

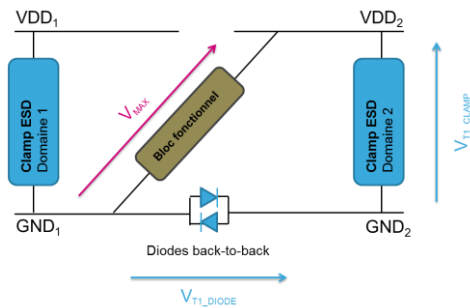


Figure 13. Configuration d'un réseau ESD protégeant un bloc fonctionnel alimenté entre VDD_2 et GND_1 . Une condition nécessaire à la bonne protection du circuit est de s'assurer que $V_{MAX} > V_{TL_DIODE} + V_{TL_CLAMP}$. Une condition suffisante est de garantir que $V_{TL_DIODE} + V_{TL_CLAMP} < V_{TECHNO}$ où V_{TECHNO} est la tension de claquage d'oxyde ou de jonction du nœud technologique considéré.

4.3. Optimisation du placement des protections de coeur

Un aspect important qui n'apparaît qu'une fois la vue physique disponible réside dans l'apparition des résistances dues à aux rails d'alimentation du circuit entier. Ceux-ci traversent la couronne d'E/S en périphérie et forment une grille d'alimentation au centre. En réalité pour chaque domaine d'alimentation dans le cœur, il existe deux grilles entremêlées entre elles : une pour l'alimentation et une autre pour la masse. Ces résistances peuvent causer des surtensions importantes au niveau des éléments sensible si la protection ESD environnante est placée trop loin. Les outils abordés en section 4.1.1 permettent de garantir que ces surtensions resteront sans conséquences au niveau de la couronne d'E/S. À propos du cœur, alors que la vérification du déploiement des clamps est notamment traitée sur les vues physiques par des solutions de type Apache (Pathfinder), le placement de ces protections n'est aujourd'hui pas totalement intégré et optimisé dans le flot de synthèse numérique des outils standards du commerce. Cette problématique de placement est illustrée dans la Figure 14, avec un seul domaine d'alimentation dans le cœur dans ce cas.

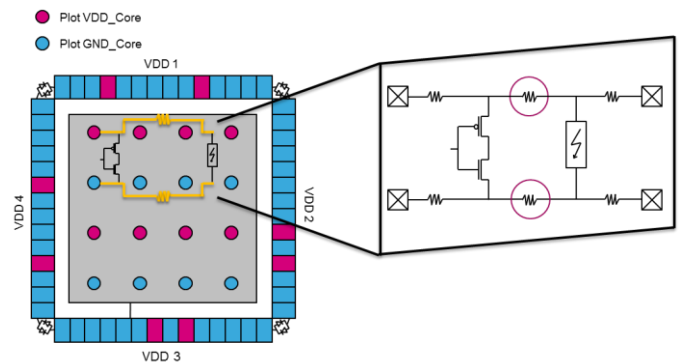


Figure 14. Résistance effective entre un inverseur et son clamp de protection le plus proche. La minimiser en rapprochant le clamp limite les surtensions pouvant apparaître aux borne de l'inverseur lors d'un événement ESD.

Il serait alors intéressant de proposer une méthode permettant d'optimiser le déploiement des clamps centraux pour à la fois diminuer leur nombre (économie de surface de silicium) et réduire la résistance effective entre chaque point d'injection du circuit à au clamp le plus proche (toujours en terme de résistance effective).

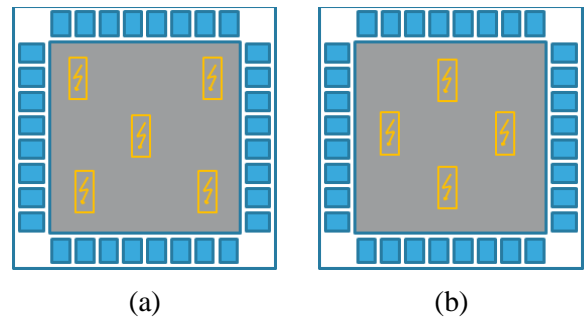


Figure 15. (a) Déploiement de 5 clamps de coeur conforme à une robustesse HBM 2kV. (b) Configuration alternative ne nécessitant que 4 clamps de coeur. La robustesse ESD HBM 2kV est-elle toujours respectée ? Si oui, de la surface silicium a été économisée.

Ce problème ressemble fortement au problème de déploiement optimal de capteurs sur un terrain [24] ou encore à celui de capacités de découplage au sein d'un système de distribution électrique [25]. [24] et [25] proposent tous deux une solution basée sur l'optimisation par essais particuliers pour converger vers une configuration correspondant à un minimum local. En adaptant ce type d'optimisation à notre problème de placement de clamps de cœur, on ne se contenterait alors plus de seulement vérifier le réseau ESD, mais on serait également capable de guider sur certains aspects les concepteurs de circuits intégrés.

4.4. Perspectives

Notre objectif à moyen terme est l'intégration de l'outil à développer ESD IP Explorer dans le flot de conception interne de STMicroelectronics. Ce changement permettra la prise en compte de la problématique ESD dès le début de la conception d'un circuit intégré, diminuant la probabilité d'aboutir à un réseau ESD déséquilibré, voire non fonctionnel [26]. L'apport d'une heuristique de placement générique des protections ESD de cœur, en complément de solutions d'analyse prédictive, sera un moyen d'accélérer significativement la mise en place du réseau ESD d'un circuit intégré, et donc *de facto*, le temps de mise sur le marché (« time-to-market »).

Il reste cependant primordial de renforcer les échanges entre les concepteurs de circuits intégrés et les personnes en charge des tests physiques. Optimiser la procédure de tests physiques en dressant une liste non exhaustive et pertinente de groupements de plots d'E/S à tester est un exemple de points à améliorer.

Enfin, nous sommes bien entendu conscients que notre projet n'en est qu'à ses prémices. La première difficulté que nous rencontrerons sera la reconnaissance du réseau ESD à partir de la liste d'interconnexions du circuit entier, puis dans la vue physique de celui-ci. Cette étape est cruciale car elle permettra de confronter nos propositions d'analyse à des architectures réelles.

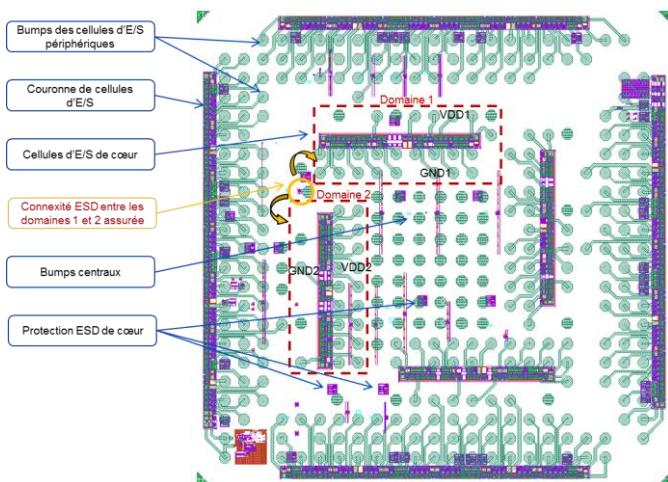


Figure 16. Circuit « Flip-Chip » en technologie CMOS 45nm.

5. CONCLUSIONS

Tous les fournisseurs de solutions « Flip-Chip » ont d'ores et déjà adopté une stratégie de dissémination des protections

ESD dans le cœur du circuit. Pour garantir sa compétitivité et sa place de pionnier face aux acteurs mondiaux du monde des semi-conducteurs, STMicroelectronics se doit de développer une solution permettant une pré-qualification de ses circuits intégrés sur silicium au plus tôt dans son flot de conception. Un partenariat avec le laboratoire Ampère (UMR5005) a été mis en place afin de bénéficier de l'expertise en caractérisation électrique et en qualification physique de ses membres, et de créer un effet de synergie. A termes, il sera possible d'éviter aussi bien le surdimensionnement du réseau ESD, coûteux en surface de silicium, en courant de fuite et perturbateur de la partie utile du circuit (capacité parasite), que le sous-dimensionnement, préjudiciable à la performance des produits STMicroelectronics vis-à-vis de la tolérance aux décharges électrostatiques.

6. REFERENCES

- [1] ITRS report, *Process, Integration, Devices and Structures*, International Technology Roadmap for Semiconductors, 2013.
- [2] W. Arden, M. Brillouët, P. Coge, M. Graef, B. Huizing and R. Mahnkopf, "More-than-Moore" White Paper, International Technology Roadmap for Semiconductors, 2010.
- [3] Joint JEDEC/ESDA Standard, *Joint JEDEC/ESDA Standard for Electrostatic Discharge Sensitivity Test – Human Body Model (HBM) – Component Level*, JS-001-2012, 2012.
- [4] EIA/JEDEC Standard, *Electrostatic Discharge (ESD) Sensitivity Testing - Machine Model (MM)*, EIA/JESD22-A115-A, 1997.
- [5] ESD Association Standard, *Electrostatic Discharge (ESD) Sensitivity Testing – Charged Device Model (CDM) – Component Level*, ANSI/ESD S5.3.1-2009, 2009.
- [6] JEDEC Standard, *Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components*, JESD22-C101C, 2004.
- [7] T. Lim, *Dispositifs de Protection Contre les Décharges Electrostatiques pour les Applications Radio Fréquences et Millimétriques*, Thèse, Université de Grenoble, 2013.
- [8] J. Miller, *SPICE-Based ESD Protection Design Utilizing Diodes and Active MOSFET Rail Clamp Circuits*, Tutorial EOS/ESD Symposium 2008.
- [9] J. Bourgeat, *Etude du thyristor en technologies CMOS avancées pour implémentation dans des stratégies locale et globale de protection contre les décharges électrostatiques*, Thèse, Université de Toulouse, 2011.
- [10] P. Galy, J. Jimenez, J. Bourgeat, A. Dray, G. Troussier, B. Heitz, N. Guitard, D. Marin-Cudraz, H. Beckrich-Ros, *BIMOS Transistor and its Applications in ESD Protection in Advanced CMOS Technology*, IEEE International Conference on IC Design and Technology (ICICDT) 2012, pp. 1 – 4.
- [11] A. Tazzoli, M. Cordoni, P. Colombo, C. Bergonzoni, G. Meneghesso, *Time-To-Latch-Up Investigation of SCR Devices as ESD Protection Structures on 65 nm Technology Platform*, European Symposium on the Reliability of Electron Devices, Failure Physics and Analysis 2010, vol. 50, pp. 1373 – 1378.
- [12] N. Chang, Youlin Liao, Ying-Shiun Li, P. Johari, A. Sarkar, *Efficient multi-domain ESD analysis and verification for large SoC designs*, EOS/ESD Symposium 2011, pp 1 – 7.
- [13] M.G. Khazhinsky, S. Cao, H. Gossner, G. Boselli, M. Etherton, *Electronic design automation (EDA) solutions for ESD-robust design and verification*, Custom Integrated Circuits Conference (CICC) 2012, pp. 1 – 8.
- [14] Calibre PERC, Mentor Graphics
http://www.mentor.com/products/ic_nanometer_design/verification-signoff/circuit-verification/calibre-perc/
- [15] J. Lescot, V. Bigny, D. Medhat, *Static Low Power Verification at Transistor Level for SoC Design*, International Symposium on Low Power Electronics and Design (ISLPED) 2012, pp. 129 – 134.

- [16] Module Pathfinder, Apache Design
<https://www.apache-da.com/products/totem/pathfinder>
- [17] ESDi, Magwel
<http://www.magwel.com/product-esdi.php>
- [18] T.J. Maloney, N. Khurana, *Transmission Line Pulsing Techniques for Circuit Modeling ESD Phenomena*, EOS/ESD Symposium 1985.
- [19] J.-R. Manouvrier, P. Fonteneau, C.-A. Legrand, P. Nouet, F. Azaïs, *Characterization of the Transient Behavior of Gated/STI Diodes and their Associated BJT in the CDM Time Domain*, EOS/ESD Symposium 2007, pp. 3A.2-1 – 3A.2-10.
- [20] E. Grund, M. Hernandez, *Obtaining TLP-like Information from an HBM Simulator*, EOS/ESD Symposium 2007, pp. 2A.3-1 – 2A.3-7.
- [21] K.-H. Meng, E. Rosenbaum, *Verification of Snapback Model by Transient I-V Measurement for Circuit Simulation of ESD Response*, IEEE Transactions, Device and Materials Reliability 2013, vol. 13, pp. 371 – 378.
- [22] C.-H. Liu, H.-Y. Liu, C.-W. Lin, S.-J. Chou, Yao-Wen Chang, Sy-Yen Kuo, Shih-Yi Yuan, Y.-W. Chen, *An Efficient Graph-Based Algorithm for ESD Current Path Analysis*, Computer-Aided Design of Integrated Circuits and Systems, IEEE 2008, pp. 1363 – 1375.
- [23] M. Streibl, F. Zängl, K. Esmark, R. Schwencker, W. Stadler, H. Gossner, S. Drüen, D. Schmitt-Landsiedel, *High Abstraction Level Permutational ESD Concept Analysis*, EOS/ESD Symposium 2003, pp. 1 – 9.
- [24] V. Kumar, P. Khanna, S. Bisht, *Adaptative PSO based Algorithm for Optimal WSN Deployment in 3 Dimensional Terrains*, National Conference on Advancement of Technologies – Information Systems & Computer Networks (ISCON) 2012, pp. 1 – 6.
- [25] M. Yarmohamadi, M.A. Taghikhani, *Capacitor Placement Optimization in Transmission System Using Hybrid PSO and HBMO Algorithms*, International Journal of Energy and Power 2012, vol. 1, pp. 26 – 30.
- [26] M. Muhammad, R. Gauthier, Junjun Li, A. Ginawi, J. Montstream, S. Mitra, K. Chatty, A. Joshi, K. Henderson, N. Palmer, B. Hulse, *An ESD design automation framework and tool flow for nano-scale CMOS technologies*, EOS/ESD Symposium 2010, pp. 1 – 6.