

Fiabilité d'une diode DT² reportée sur un substrat DBC par frittage de pâte d'argent

Fedia BACCAR¹, Loïc THEOLIER¹, Stéphane AZZOPARDI^{1,2}, François LE HENAFF¹,
Jean-Yves DELETAGE¹, Eric WOIRGARD¹

¹ Université de Bordeaux, Laboratoire IMS, UMR 5218, F-33400 Talence, France

² Bordeaux Institute of Technology, ENSEIRB-MATMECA, F-33400 Talence, France.

Email: fedia.baccar@ims-bordeaux.fr

RESUME - Actuellement, les composants à semi-conducteur de puissance sont basés sur des structures volumineuses pour tenir la tension. Dans ce contexte, une nouvelle terminaison (Deep Trench termination – DT²) basée sur une tranchée remplie de BenzoCycloButène (BCB) a été proposée en 2008. Pour la première fois, une diode DT² a été reportée sur un substrat DBC (Direct Bonded Copper) en utilisant le procédé de frittage d'argent, afin de confirmer la faisabilité d'intégrer cette nouvelle technologie dans les futurs assemblages de puissance. Dans un second temps, l'assemblage a été soumis à un vieillissement accéléré afin de confirmer la stabilité électrique de cette terminaison. Des mesures de tenue en tension, des observations optiques et des simulations sous TCAD-SENTAURUS ont été effectuées afin de fournir une explication aux phénomènes induits lié au vieillissement.

Mots-clés—*Deep Trench Termination, BenzoCycloButène, Tenue en tension, Vieillissements accélérés, TCAD-SENTAURUS.*

1. INTRODUCTION

La tenue en tension des dispositifs de puissance à semi-conducteurs à haute tension est l'une des caractéristiques les plus importantes. En conséquence, pour améliorer cette tenue en tension, il est nécessaire de créer une terminaison adaptée pour réduire le pic du champ électrique à la périphérie du composant [1].

De nombreuses études ont proposé plusieurs techniques de terminaison pour améliorer la tenue en tension en utilisant la technologie planaire. On peut citer par exemple : les extensions de jonction implantée (JTE) proposées par Temple en 1977 [2], la plaque de champ proposée par Goud [3] ou encore les semi insulating polycrystalline silicon (SIPOS) [4]. Malgré l'intérêt de ces techniques, elles consomment une grande surface pour les dispositifs haute tension.

Récemment la structure basée sur une tranchée profonde remplie d'isolant électrique est devenue l'une des options de conception pour les dispositifs semi-conducteurs. La terminaison DT² a la possibilité de réduire la surface de la terminaison comparée aux structures classiques.

La terminaison DT² a été présentée en 2009 [5], par la suite plusieurs études portant sur des améliorations électriques ont été proposées. Seto et al. [6] ont étudié la relation entre la profondeur de la tranchée et la longueur de terminaison afin d'avoir la conception optimale de la longueur de la terminaison

requis et / ou la profondeur de la tranchée. Kamibaba et al. [7] ont démontré que des charges positives dues aux trous accumulés dans la paroi latérale de la tranchée peuvent mettre fin au champ électrique élevé dans la région au bord de la puce.

Des études sur le BCB ont démontré la possibilité d'utiliser des couches de passivation de BCB dans le Wafer Level Chip Package Scale du processus (WLCSP) [8] ou de l'utiliser dans le but de créer un capteur d'humidité [9], mais il n'existe aucune étude sur la fiabilité de l'utilisation du BCB en couche épaisse pour les composants de puissance.

Le but de ce travail est d'étudier la fiabilité de la terminaison « Deep Trench Termination » (1200V) afin de confirmer la possibilité d'intégrer cette technologie dans les futurs assemblages. Cet article présente dans une première partie, les premiers assemblages des diodes DT². la diode a été reportée sur des substrats DBC en utilisant le procédé de frittage d'argent afin de confirmer que la présence des tranchées dans la structure n'affaiblit pas la résistance mécanique de la puce suite au procédé d'assemblage. Dans une seconde partie, le vieillissement accéléré par cyclage passif a été réalisé afin de caractériser la stabilité du comportement électrique des diodes. Pour cela, des mesures de caractéristiques en inverse de la diode et des simulations sous TCAD SENTAURUS ont été réalisées.

2. PRESENTATION DE LA STRUCTURE DE LA DIODE DT²

La structure de la diode 1200 Volts est présentée par la Figure 1. Nous pouvons observer que la zone active est encerclée par une tranchée de BCB et que la métallisation de la surface est en or. Les composants en notre possession ont une surface active d'un millimètre carré.

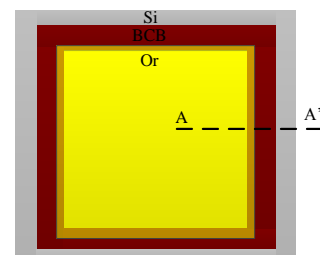


Figure 1 : Vue de dessus de la structure diode DT².

La Figure 2 présente une vue de coupe de la diode.

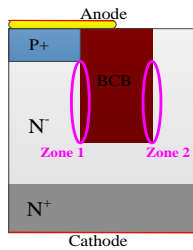


Figure 2 : Vue de coupe de la structure diode DT².

La diode est composée d'une large et profonde tranchée remplie par du BenzoCycloButène (BCB) et recouverte par une plaque de champ en surface. Pour une tenue en tension de 1200 Volts, la largeur de la tranchée est de 70 µm, sa profondeur est de 110 µm et la plaque de champ mesure 40 µm. Pour la compréhension des phénomènes électriques, il a été nécessaire de différencier l'interface interne (zone 1) et l'interface externe (zone 2) de la terminaison.

3. VALIDATION DU REPORT PAR FRITTAGE DE PÂTE D'ARGENT

3.1. Présentation du processus du frittage d'argent

Le frittage de pâte d'argent est une technologie d'assemblage récente qui offre une alternative intéressante à la technologie de brasage. En effet, en plus de propriétés électriques, thermiques et mécaniques de l'argent massif supérieures à celle des brasures et de sa température de fusion élevée (961 °C), de nombreux travaux ont démontré les avantages qu'apporte le frittage de pâte d'argent nanométrique dans le cadre de la réalisation d'assemblage de puissance [10].

Dans cette optique, le laboratoire IMS s'est doté d'un savoir-faire sur le frittage de pâte d'argent nanométrique. Les puces semi-conductrices ont donc été reportées sur des substrats DBC (Alumine et métallisation Cu/Ni/Au) en utilisant un procédé d'assemblage par frittage de pâte d'argent simple, rapide et reproductible en trois étapes présentées en Figure 3.



Figure 3 : Étape d'obtention d'un assemblage fritté.

La sérigraphie est une technique ancienne de report de motif (imprimerie) sur un substrat. Elle est largement utilisée dans l'industrie car elle permet le dépôt de pâte/creme sur de faibles épaisseurs. Elle permet d'obtenir des dépôts d'argent reproductibles et d'épaisseurs constantes.

Le déliantage est une étape préliminaire au frittage qui permet l'évacuation des différents solvants qui enrobent les particules à fritter. Cette étape est primordiale pour préparer le frittage car elle évite la formation de défauts dans l'attache. Le déliantage et le frittage nécessitent le maintien en température de l'assemblage ainsi qu'une mise en pression de l'assemblage pour le frittage.

3.2. Procédure expérimentale

Pour notre échantillon, nous avons effectué les étapes suivantes :

- Sérigraphie de 100 µm de la pâte d'argent Argomax®2020
- Déliantage : évacuation des solvants présents dans la pâte d'argent Argomax® 2020 à 130°C en 30 minutes en utilisant une presse Instron équipée de deux plateaux chauffants (Figure 4).
- Frittage sous pression (10 MPa), à température constante (250°C) pendant 1 minute.



Figure 4 : Presse Instron équipée de plateaux chauffants.

Le véhicule de test est présenté sur la Figure 5. Les diodes ont été reportées sur le substrat en utilisant le processus de frittage.



Figure 5 : Véhicule de test après le frittage d'argent.

Les premières puces assemblées à l'aide du processus de frittage d'argent ont donc été réalisées et une micro section a été faite afin d'observer l'effet du frittage sur la DT² (Figure 6).

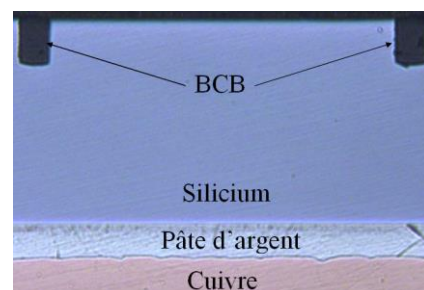


Figure 6 : Vue en coupe de la puce reportée sur substrat après le frittage d'argent.

La micro section montre que la pâte d'argent est homogène, avec une épaisseur constante sous toute la puce. Aucun vide ne peut être observé. En outre, la diode ne présente aucune fissure autour des tranchées, cela confirme que les tranchées

n'empêchent pas l'intégration de cette technologie dans les assemblages à haute température et à forte pression.

3.3. Caractéristiques électriques des diodes DT² après frittage

Après l'étape de frittage, les caractéristiques électriques en inverse ont été relevées afin de vérifier que le processus de frittage et le stockage des puces pendant 4 ans n'ont pas d'effet sur la tenue en tension en inverse des DT². La Figure 7 présente les deux comportements mesurés pour les diodes. La première est appelée "diodes 1" présentant un faible courant de fuite et la seconde est appelée "diodes 2" présentant un courant de fuite élevé.

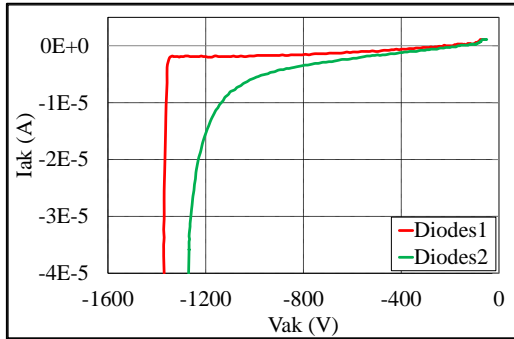


Figure 7 : Tenue en tension des diodes après frittage.

La tenue en tension des diodes DT² reste stable avec une valeur supérieure à 1200 volts avant et après frittage, pour toutes les diodes. Ces caractéristiques électriques inverses serviront de références afin de les comparer avec les caractéristiques mesurées après vieillissement thermique passif.

4. VIEILLISSEMENT PASSIF ACCELEREE

Pendant la durée de vie d'un composant, ce dernier est soumis à des variations de températures provenant de l'environnement ou de l'auto-échauffement du composant lui-même. Ainsi, des tests de cyclage passifs sont réalisés lors de la procédure de qualification du composant.

4.1. Approche expérimentale

Les profils de température des tests de vieillissements accélérés ont été définis pour caractériser la fiabilité des assemblages par rapport aux demandes de l'industrie automobile (-40°C / +125°C, chocs et paliers de 30 minutes) (Figure 8).

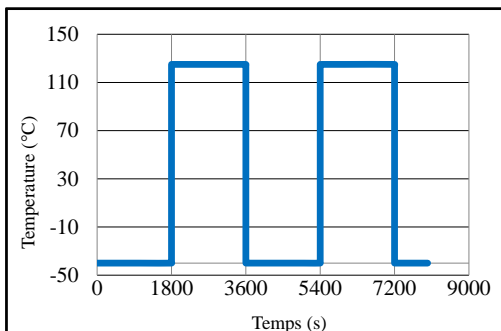


Figure 8 : Profil de température du vieillissement passif.

4.2. Résultats

Tous les 50 cycles, les composants sont retirés de l'enceinte thermique afin d'être caractérisés électriquement. Seule la caractéristique inverse des diodes a été mesurée dans cette étude.

La Figure 9 présente les caractéristiques en inverse après vieillissement thermique des diodes 1. Une augmentation de la tenue en tension peut être observée pour ces diodes. Les diodes 1 présentent un excellent comportement après 400 heures de cyclage thermique avec une tenue en tension proche de 1600 V.

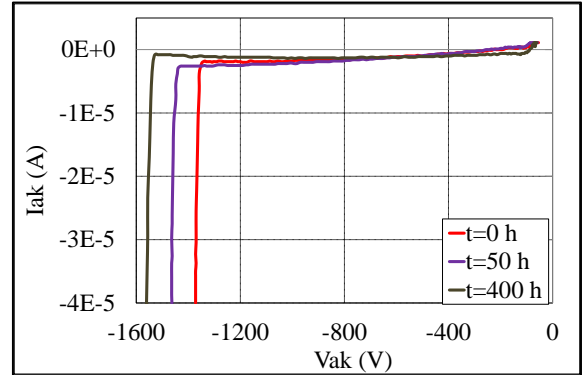


Figure 9 : Tenue en tension des diodes 1 après cyclage passif.

Une hypothèse expliquant cette augmentation peut être proposée : des charges électriques positives fixes seraient stockées à l'interface Si / BCB, ce qui donnerait naissance à une nouvelle jonction virtuelle P⁺ / N⁻ autour de la tranchée.

La Figure 10 présente les caractéristiques électriques en inverse des diodes 2. Une diminution de la tenue en tension avec une diminution du courant de fuite peut être observée pour ces diodes. Les diodes 2 sont encore fonctionnelles après 400 heures de cyclage thermique, mais avec une tension de claquage de 900 V.

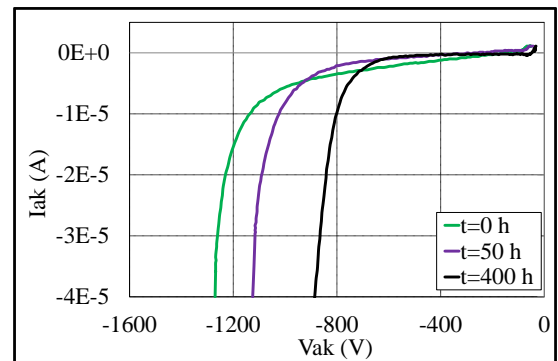


Figure 10 : Tenue en tension des diodes 2 après cyclage passif.

Les observations optiques ne permettent pas de visualiser un décollement entre la résine et le silicium pouvant expliquer ces variations. Comme pour les diodes 1, une hypothèse pour expliquer cette variation serait que des charges électriques négatives soient stockées dans l'interface Si / BCB, ce qui donnerait naissance à une nouvelle jonction virtuelle N⁺ / N⁻ autour de la tranchée. Par conséquent, il nous semble intéressant de comprendre l'influence d'un décollement et

l'influence de charges fixes par simulation. Le logiciel de modélisations par éléments finis TCAD-SENTAURUS a été choisi pour intégrer ces dégradations et déterminer les caractéristiques électriques du modèle.

5. SIMULATIONS PAR ELEMENTS FINIS

La structure simulée est composée de deux cellules : une cellule de base et la terminaison (Figure 11). Afin de représenter le plus fidèlement le composant, il est nécessaire de définir un *Area Factor* pour chaque cellule afin de prendre en compte les différentes surfaces de chaque zone.

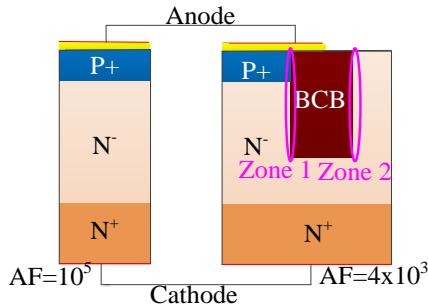


Figure 11: Modèle adopté sous TCAD SENTAURUS pour modéliser la diode.

Les simulations électriques sont réalisées à partir du mode mixte du logiciel SENTUARUS. Ce mode permet de simuler électriquement des structures par éléments finis associés à des composants décrits en modèles compact pour définir un circuit. La Figure 12 représente le circuit simulé avec *DI* et *DT* présentant respectivement la cellule centrale et la terminaison. Tandis que *Va* est une source de tension variable permettant de balayer la caractéristique de la diode et *R* une résistance limitant le courant d'avalanche.

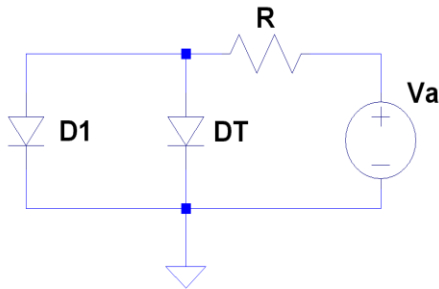
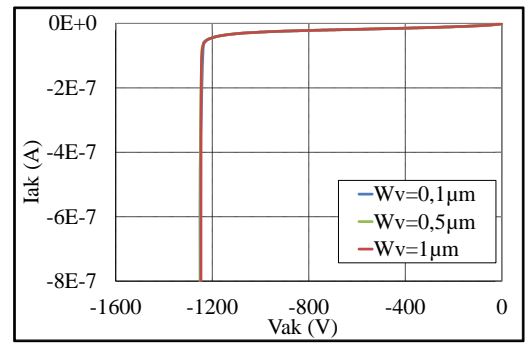


Figure 12 : Circuit électrique défini en mode mixte.

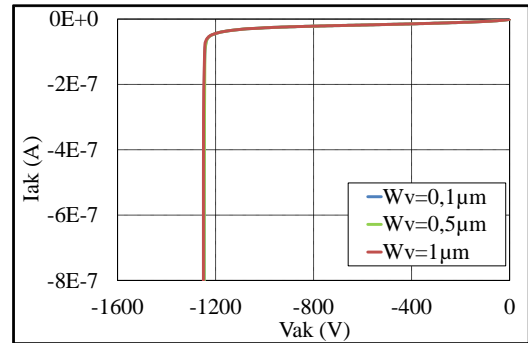
5.1. Insertion d'un vide dans la structure

5.1.1. Variation de la tenue en tension

À l'interface Si / BCB, plus précisément dans l'interface interne de la terminaison (zone 1, Figure 2) et l'interface externe de la terminaison (zone 2, Figure 2), nous avons créé différentes largeurs de vide (*Wv*) afin d'observer leurs impacts sur la structure. La Figure 13 présente les caractéristiques en inverse de la structure après la création du vide.



(a)

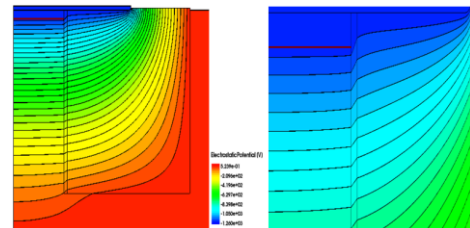


(b)

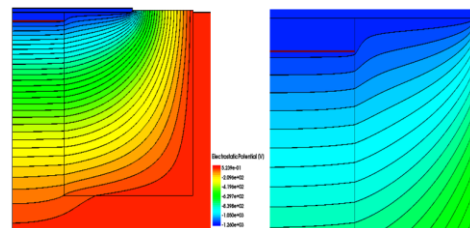
Figure 13 : Variation de la caractéristique inverse de la diode en fonction de l'épaisseur de décollement à l'interface Si/BCB interne (a) et externe (b).

Ces figures montrent qu'un décollement à l'interface Si / BCB n'affecte pas la tenue en tension. Ceci s'explique par le fait que le champ électrique dans la structure est concentré au bout de la plaque de champ et que nous n'apportons pas de modification dans cette région.

L'insertion d'un vide dans la structure à l'interface Si / BCB modifie la répartition des lignes de potentiel dans celle-ci à cause de la faible permittivité du milieu (Figure 14).



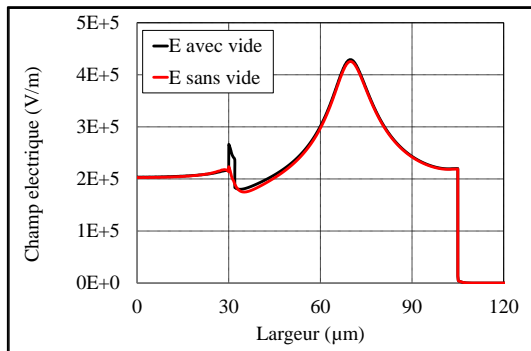
(a)



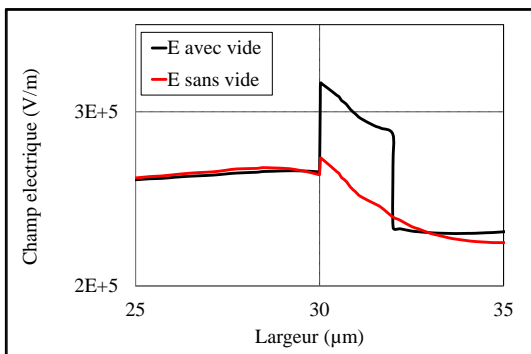
(b)

Figure 14 : La distribution des lignes de potentiel dans la structure et son grossissement avec (a) et sans (b) création de vide.

Cette modification de ligne de potentiel engendre une augmentation locale du champ électrique, mais reste très faible et n'intervient pas dans la tenue en tension de la structure (Figure 15). Un décollement des deux matériaux ne peut donc pas être identifié par une modification de la tenue en tension.



(a)



(b)

Figure 15 : coupe horizontale du champ électrique (a) et son grossissement autour de l'interface SI / BCB (b).

5.1.2. Variation de la capacité parasite de la structure

Le comportement dynamique de la diode est lié en partie à la capacité inter-électrodes qu'il faut charger et décharger lors des commutations. Le décollement de l'interface Si / BCB peut augmenter de façon importante cette capacité et donc être obtenue par une caractéristique C(V).

La capacité de la structure a été simulée et la figure 16 présente la variation de cette capacité pour différentes largeurs de vide créé dans la structure.

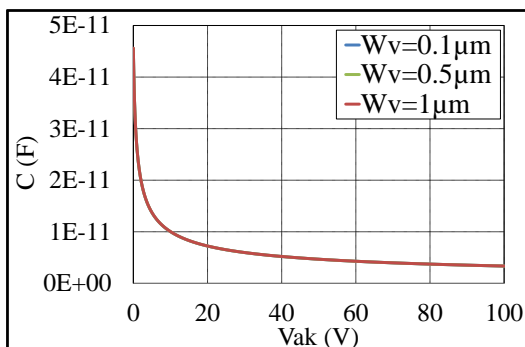


Figure 16 : Variation de la capacité parasite en fonction de différentes largeurs de vides.

On observe que le vide créé à l'interface n'a pas d'effet sur la capacité parasite. Afin de comprendre la superposition des courbes de variation des capacités, nous avons modélisé la structure par ces capacités parasites élémentaires, comme présenté dans la Figure 17.

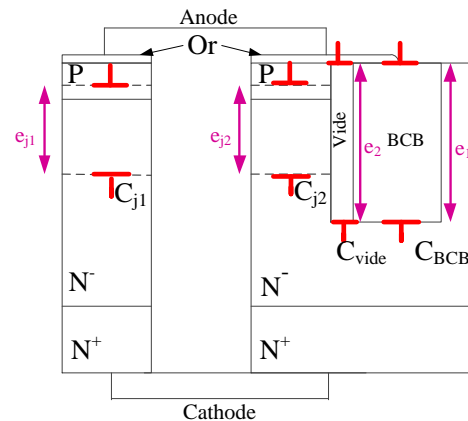


Figure 17 : Capacités parasites de la structure.

Il existe trois types de capacités : la capacité de jonction associée à une région de déplétion, la capacité associée au vide, et la capacité associée au BCB. La capacité totale est présentée Figure 18 :

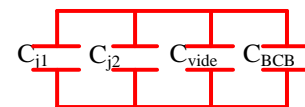


Figure 18 : Schéma équivalent des capacités parasites de la structure.

C_{j1} et C_{j2} présentent respectivement les capacités de D1 et DT, C_{BCB} présente la capacité de la terminaison et C_{vide} présente la capacité du vide.

Ces diverses capacités s'appuient sur la formulation générale d'une capacité :

$$C = \frac{\epsilon_0 \epsilon_r A}{e} \quad (1)$$

Où ϵ_0 présente la permittivité du vide ($\epsilon_0 = 8,854 \times 10^{-12} Fm^{-1}$), ϵ_r est la permittivité relative du matériau, e est la distance entre les deux plaques de la capacité, et A est la surface d'une plaque de condensateur (Figure 19).

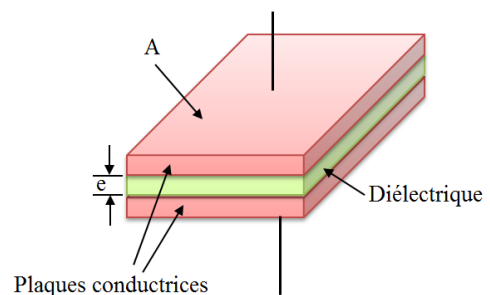


Figure 19 : Modèle d'une capacité plan.

Les différentes valeurs des capacités ont été calculées pour une tension V_{ak} égale à 1000 V afin de trouver la valeur

minimale de la capacité de la jonction PN (capacité de *DI* et *DT*).

- Capacité du BCB :

$$C_{BCB} = \frac{\epsilon_0 \epsilon_{BCB} A_1}{e_1} \quad (2)$$

$$\left. \begin{array}{l} \bullet \epsilon_{BCB} = 3,9 \\ \bullet A_1 = 3.10^5 \mu m^2 \\ \bullet e_1 = 105 \mu m \end{array} \right\} C_{BCB} = 98 nF$$

- Capacité du vide

$$C_{vide} = \frac{\epsilon_0 \epsilon_{vide} A_2}{e_2} \quad (3)$$

$$\left. \begin{array}{l} \bullet \epsilon_{vide} = 1 \\ \bullet A_2 = 4.10^2 \mu m^2 \\ \bullet e_2 = 105 \mu m \end{array} \right\} C_{vide} = 33 pF$$

- Capacité de D1

$$C_{j1} = \frac{\epsilon_0 \epsilon_{Si} A_{j1}}{e_{j1}} \quad (4)$$

$$\left. \begin{array}{l} \bullet \epsilon_{j1} = 11,7 \\ \bullet A_{j1} = 10^6 \mu m^2 \\ \bullet e_{j1} = 100 \mu m \end{array} \right\} C_{j1} = 1 \mu F$$

- Capacité de DT

$$C_{j2} = \frac{\epsilon_0 \epsilon_{Si} A_{j2}}{e_{j2}} \quad (5)$$

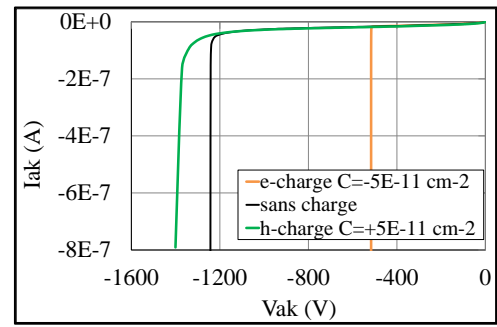
$$\left. \begin{array}{l} \bullet \epsilon_{j2} = 11,7 \\ \bullet A_{j2} = 12.10^4 \\ \bullet e_{j2} = 100 \mu m \end{array} \right\} C_{j2} = 124 nF$$

Nous pouvons observer que $C_{vide} \ll C_{BCB} \ll C_{j2} \ll C_{j1}$. Ce résultat confirme que le vide créé dans la structure n'a pas d'effet sur les caractéristiques électriques de la diode et qu'il ne peut être identifié ni par la variation de la tenue en tension ni par la mesure de la capacité parasite du composant.

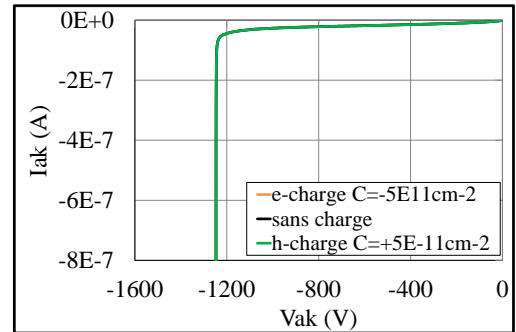
5.2. Insertion de charges dans la structure

5.2.1. Variation de la tenue en tension

Un autre type de dégradation de la structure simulée est l'insertion d'une quantité de charges à l'interface Si / BCB. La Figure 20 présente les caractéristiques en inverse de la diode avec les charges à l'interface Si / BCB dans les zones 1 et 2.



(a)



(b)

Figure 20 : Variation de la caractéristique inverse de la diode en fonction des types de charges insérés dans la zone 1 (a) et zone 2 (b).

Nous remarquons que les deux zones réagissent différemment à la présence de charges électriques. En effet, la zone de charge d'espace étant du côté interne de la tranchée (zone 1), elle n'est pas influencée par des charges sur l'interface externe de la terminaison. Par contre, l'insertion de charges positives (trous) crée une jonction P⁺ verticale le long de l'interface interne et protège la jonction P⁺N⁻, ce qui augmente la tension de claquage. Inversement, l'insertion de charges négatives (électrons) crée une jonction N⁺ verticale le long de l'interface interne ce qui limite la déplétion des charges dans le silicium à proximité de la tranchée et réduit la tenue en tension de la structure. Ces résultats peuvent donc expliquer la tendance observée dans les mesures expérimentales.

5.2.2. Variation de la capacité parasite de la structure

La Figure 20 présente l'effet des charges insérées à l'interface Si / BCB sur la capacité parasite pour les faibles valeurs de tension inverse.

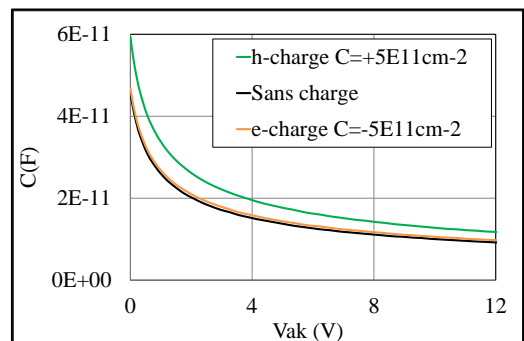


Figure 21 : Variation de la capacité en fonction du type des charges pour les faibles valeurs de V_{ak} .

L'insertion des trous a créé une couche verticale P⁺, d'où la création d'une nouvelle jonction P⁺N⁻ comme modélisée dans la Figure 22 (a). Dans ce cas, une capacité supplémentaire en parallèle s'ajoute aux autres comme présentée dans la Figure 22 (b). Cette capacité supplémentaire pourra être mesurée électriquement ultérieurement pour confirmer la présence de trous.

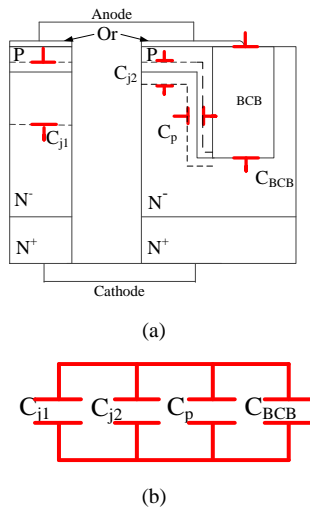


Figure 22 : Capacité de la structure (a) et schéma équivalent des capacités.

La Figure 23 présente l'effet de charges insérées à l'interface Si / BCB sur la capacité parasite pour de grandes valeurs de tension inverse.

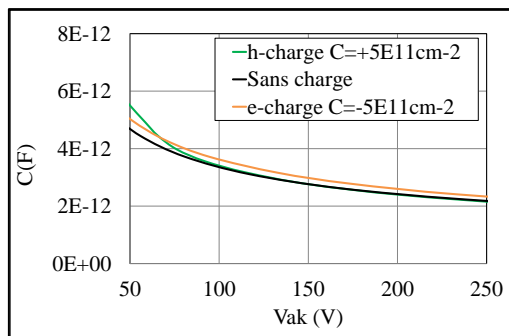


Figure 23 : Variation de la capacité en fonction du type de charges pour les fortes valeurs de Vak.

On remarque que les courbes se superposent quasiment sans pouvoir garantir de mesurer cet écart en pratique. Cela peut être expliqué par l'augmentation de la zone de charge d'espace sous la jonction plane, réduisant progressivement la surface de C_p.

Les trous peuvent être identifiés par l'augmentation de la tenue en tension et par l'augmentation de la valeur de la capacité, par contre les électrons peuvent être identifiés seulement par la diminution de la tenue en tension, ce qui ne nous satisfait pas entièrement.

6. CONCLUSIONS

Cette étude montre que la diode DT² remplie par du BCB peut être reportée sur des substrats DBC alumine avec la technologie de frittage de pâte d'argent sans engendrer l'apparition de fracture dans le silicium. Elle présente également le fait qu'il est difficile de confirmer la présence d'un décollement le long de l'interface silicium / BCB par une mesure électrique. Par contre, cette étude propose de justifier les variations électriques après une série de vieillissements électriques par l'apparition de charges électriques fixes autour de la terminaison. Il serait intéressant d'effectuer de nouvelles mesures électriques telles que des mesures de courant de fuites ou de capacités parasites pour confirmer les résultats de simulation.

7. REMERCIEMENTS

Ces travaux ont été financés par l'Agence Nationale de la Recherche française (ANR) à travers le projet SUPERSWITCH (ANR 2011 BS09 033) et le pôle de compétitivité (Aerospace Valley).

8. REFERENCES

- [1] L. Théolier, H. Mahfoz-Kotb, K. Isoird, F. Morancho, S. Assie-Souleille, and N. Mauran, "A New Junction Termination Using a Deep Trench Filled With BenzoCycloButene," *IEEE Electron Device Lett.*, vol. 30, no. 6, pp. 687–689, Jun. 2009.
- [2] V. A. K. Temple and W. Tantraporn, "Junction termination extension for near-ideal breakdown voltage in p-n junctions," *IEEE Trans. Electron Devices*, vol. 33, no. 10, pp. 1601–1608, Oct. 1986.
- [3] C. B. Goud and K. N. Bhat, "Two-dimensional analysis and design considerations of high-voltage planar junctions equipped with field plate and guard ring," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1497–1504, Jun. 1991.
- [4] D. Jaume, G. Charitat, J.-M. Reynes, and P. Rossel, "High-voltage planar devices using field plate and semi-resistive layers," *IEEE Trans. Electron Devices*, vol. 38, no. 7, pp. 1681–1684, Jul. 1991.
- [5] L. Théolier, H. Mahfoz-Kotb, K. Isoird, and F. Morancho, "A new junction termination technique: The Deep Trench Termination (DT2)," in *21st International Symposium on Power Semiconductor Devices IC's, 2009. ISPSD 2009*, 2009, pp. 176–179.
- [6] K. Seto, R. Kamibaba, M. Tsukuda, and I. Omura, "Universal trench edge termination design," in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, pp. 161–164.
- [7] R. Kamibaba, K. Takahama, and I. Omura, "Design of trench termination for high voltage devices," in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, pp. 107–110.
- [8] K. O. Lee, J. Yu, J. Y. Kim, and I. S. Park, "Thermo-mechanical reliability of the benzocyclobuten (BCB) film in a WLCSP process," in *Electronic Materials and Packaging, 2001. EMAP 2001. Advances in*, 2001, pp. 84–87.
- [9] A. Tetelin, A. Achen, V. Pouget, C. Pellet, M. Topper, and J.-L. Lachaud, "Water Solubility and Diffusivity in BCB Resins used in Microelectronic Packaging and Sensor Applications," in *Proceedings of the IEEE Instrumentation and Measurement Technology Conference, 2005. IMTC 2005*, 2005, vol. 2, pp. 792–796.
- [10] F. Le Henaff, S. Azzopardi, J. Y. Deletage, E. Woigard, S. Bontemps, and J. Joguet, "A preliminary study on the thermal and mechanical performances of sintered nano-scale silver die-attach technology depending on the substrate metallization," *Microelectron. Reliab.*, vol. 52, no. 9–10, pp. 2321–2325, Sep. 2012.